

# Microchip社 FPGA DDRメモリー使用時の注意事項について

# 本資料について

- 本資料ではMicrochip社FPGA [PolarFire](#)や[PolarFire SoC](#)を使用しDDRメモリーを使用する際の留意事項について記載します。
- 開発時や開発後にDDRがTraining errorやVerify errorで動作せず見直す際にご参考ください。
- メーカーの最新のドキュメントを併せてご確認ください。  
(ドキュメント更新により、本資料の情報が古くなることがあります。)

メーカードキュメントのURL:

- PolarFire FPGA  
<https://www.microchip.com/en-us/products/fpgas-and-plds/fpgas/polarfire-fpgas#Documentation>
- PolarFire SoC FPGA  
<https://www.microchip.com/en-us/products/fpgas-and-plds/system-on-chip-fpgas/polarfire-soc-fpgas#Documentation>

# PolarFireの場合

# Agenda

1. FPGA選定
2. DDRメモリー選定
3. 開発ツール、IP
4. DDRのパラメーター設定
5. クロック
6. リセット
7. タイミング解析
8. IBISモデルの生成
9. ODT設定
10. Board側
11. 実機使用:CK/CA additive offset の最適値確認
12. Appendix: チェックリスト

# FPGA選定

- スピードグレードによってMin~Maxが決まっていますので PolarFire FPGA Datasheet > Maximum PHY Rate for Memory Interface IP の項目をご参考ください。

<https://www.microchip.com/en-us/products/fpgas-and-plds/fpgas/polarfire-fpgas#Documentation>

## 5.1.5 Maximum PHY Rate for Memory Interface IP

The following tables describe the maximum PHY rate for memory interface IP.

-STD speed grade is offered for Extended Commercial (E), Industrial (I), Military (M), and Automotive (T2) temperature grades.

-1 speed grade is offered for Extended Commercial (E), Industrial (I), and Automotive (T2) temperature grades only.

**Table 5-7. Maximum PHY Rate for Memory Interfaces IP for HSIO Banks**

Memory Standard	Gearing Ratio	V <sub>DDAUX</sub>	V <sub>DDI</sub>	STD	STD	-1	-1	Fabric	Fabric	Fabric	Fabric
				(Mbps)	(Mbps)	(Mbps)	(Mbps)	Clock	Clock	Clock	Clock
				Min	Max	Min	Max	STD	STD	-1	-1
				(MHz)	(MHz)	(MHz)	(MHz)	Min	Max	Min	Max
DDR4	8:1	1.8V	1.2V	800	1333	800	1600	100	167	100	200
DDR3	8:1	1.8V	1.5V	800	1067	800	1333	100	133	100	167

**Maximum PHY Rate for Memory Interfaces IP for GPIO Banks**

STD	STD	-1	-1	Fabric	Fabric	Fabric	Fabric
(Mbps)	(Mbps)	(Mbps)	(Mbps)	Clock	Clock	Clock	Clock
Min	Max	Min	Max	STD	STD	-1	-1
(MHz)	(MHz)	(MHz)	(MHz)	Min	Max	Min	Max
800	800	800	1067	100	100	100	133
500	500	500	500	62.5	112.5	62.5	112.5

# DDRメモリー選定

- ご参考：実績のある型番（2025年9月時点）

## Micron® Memory Support for Microchip® Platforms

Save yourself time and money—Micron memory comes **validated** on Microchip platforms

		Microchip Polar Fire™ Family				Microchip Smart Fusion2™ Family		Microchip Igloo2™ Family	
		Polar Fire SoC Family		Polar Fire FPGA		Smart Fusion 2 SoC FPGA		Igloo2 FPGA	
Micron DRAM	Type	DDR3/DDR3L	DDR4	DDR3/DDR3L	DDR4	DDR3/DDR3L	DDR4	DDR3/DDR3L	DDR4
	Density	4Gb	8Gb	8Gb	4Gb, 8Gb	2Gb			
	Config	4Gb (256Mb x 16)	8Gb (512Mb x 16)	8Gb (1Gb x 8)	4Gb (256Mb x 16), 8Gb (1Gb x 8)	2Gb (256Mb x 8)			
	Package	96 TFBGA	96 TFBGA	78 TFBGA	96 TFBGA, 78 TFBGA	78 TFBGA	N/A	N/A	N/A
	Validated PN¹	MT41K256M16TW-107:P TR	MT40A512M16LY-075:E	MT41K1G8SN-125:A	MT40A256M16GE-083E:B (EOL) MT40A1G8WE-083E:B (EOL)	MT41K256M8DA-125 AIT:K TR			
	Qty/Board	1	1	2	2, 1	5			
Micron LPDRAM	Type	Mobile LPDDR3	Mobile LPDDR4/X²			Mobile LPDDR3	Mobile LPDDR	Mobile LPDDR3	Mobile LPDDR
	Density	16Gb	16Gb				512Mb		512Mb
	Config	16Gb (512Mb x 32)	16Gb (512Mb x 32)				512Mb (32Mb x16)		512Mb (32Mb x 16)
	Package	178 VFBGA	200 WFBGA	N/A	N/A	N/A	60 VFBGA	N/A	60 VFBGA
	Validated PN¹	MT52L512M32D2PF-093 WT:B TR	MT53D512M32D2DS-053 WT:D TR				MT46H32M16LFBF-5 IT:C		MT46H32M16LFBF-5 IT:C
	Qty/Board	1	1				1		1
Micron SPI NOR Flash	Type	SPI NOR	Xccela™	SPI NOR	Xccela™	SPI NOR	Xccela™	SPI NOR	Xccela™
	Density	1Gb	1Gb	1Gb	1Gb	1Gb			
	Config	1Gb (128Mb x 8)	1Gb (128Mb x 8)	1Gb (128Mb x 8)	1Gb (128Mb x 8)	1Gb (256Mb x 4)			
	Package	16 SOIC	24-Ball T-PBGA	16 SOIC	24-Ball T-PBGA	16-pin SOP			
	Validated PN¹	MT25QL01GBBB8ESF-0SIT	MT35XU01GBBA1G12-0SIT	MT25QL01GBBB8ESF-0SIT TR MT25QL01GBBB8ESF-0SIT MT25QU01GBBB8ESF-0SIT	MT35XU01GBBA1G12-0SIT	N25Q00AA13GSF40G	N/A	N/A	N/A
	Qty/Board	1	1	1	1	1			

# 開発ツール、IP

- 開発ツール、各種IP(DDR Memory Controller以外も含め)は**最新バージョン**を使用頂くことをおすすめします。
- Libero SoC v2025.1 よりも古いバージョンを使用する場合**issueがあります**。

Enabling ZQCS commands in the PolarFire Fabric based DDR Controller

<https://microchip.my.site.com/s/article/Enabling-ZQCS-commands-in-the-PolarFire-Fabric-based-DDR-Controller>

How to re-calibrate the DDR controller of PolarFire device

<https://microchip.my.site.com/s/article/How-to-re-calibrate-the-DDR-controller-of-PolarFire-device>

Libero SoC v2025.1での修正内容はRelease Notes Libero SoC v2025.1 > 1. New in This Version をご参考ください。

## **1.1.2. PolarFire, PolarFire SoC, RT PolarFire, and RT PolarFire SoC** (Ask a Question)

### **1.1.2.1. DDR3, DDR4, LPDDR3 Fabric Core Updates** (Ask a Question)

- Support for ZQCS command
- Re-initialization enabled to restart DDR training
- Fast simulation training IP
- Removal of ODT activation setting on read
- Support for CK/CA additive offset "0" value in the configurator for the DDR3/DDR4/LPDDR3 controller. Additionally, the Read ODT option has been removed from the configurator

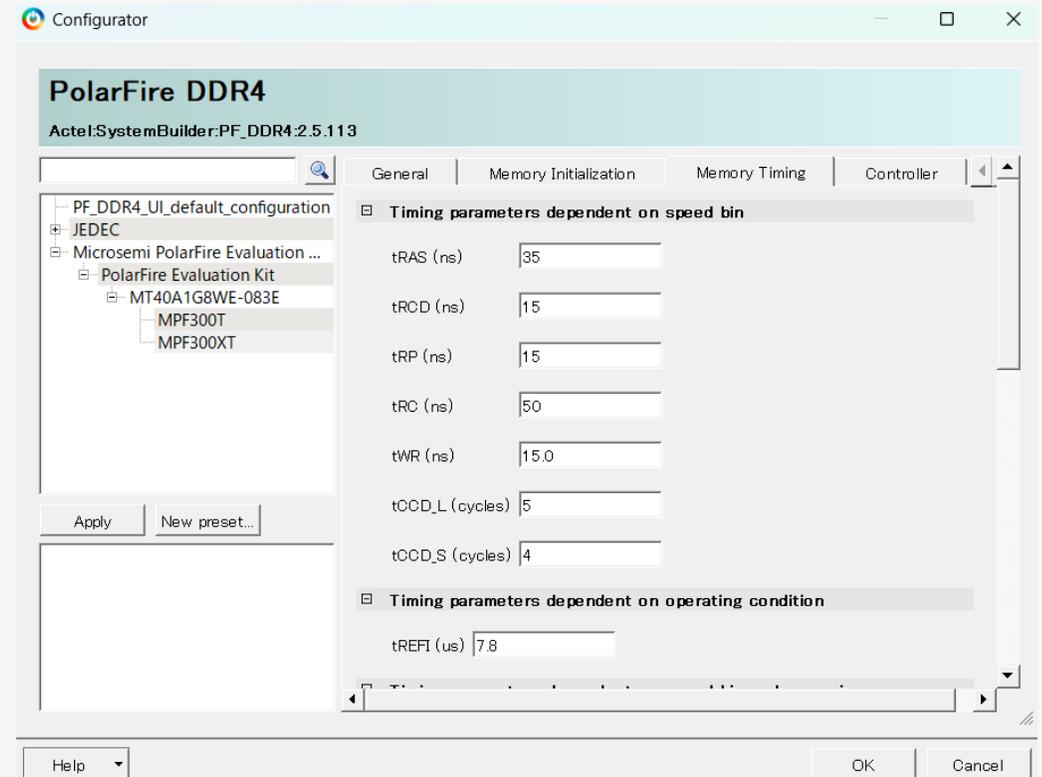
[https://ww1.microchip.com/downloads/aemDocuments/documents/FPGA/swdocs/libero/libero\\_soc\\_v2025\\_1\\_release\\_notes.pdf#page=6](https://ww1.microchip.com/downloads/aemDocuments/documents/FPGA/swdocs/libero/libero_soc_v2025_1_release_notes.pdf#page=6)

# DDRのパラメーター設定

- Timing Parameterは使用するDDR Memoryデバイスのデータシートにて推奨された値を設定して下さい
- パラメーター入力の際、データシートに情報が見当たらない、値をxxに設定しても良いかどうか等もし分からない点がありましたら、ご使用のメモリーメーカーへご確認ください。
- DDR3を使用され  
Burst Length = Fixed BL8 の場合には  
**tWTR**についてMin + 1 の値設定を  
おすすめします。  
(eg. DDR3-1333の場合には5を設定する)

## Timing parameters dependent on speed bin and clock frequency

tWTR (cycles) 4



# DDRのパラメーター設定

- DDR4でのtCCD\_L設定について

- PolarFire Family Memory Controller User Guideではスループット向上のためDDR4使用時に、tCCD\_Lを4に設定することについて言及されています。

**Table 2.2. Throughput**

Memory	Fabric Interface Frequency (MHz)	Fabric Interface Data Width	DDR Memory Data Width	Theoretical Throughput	Actual Throughput		Actual Throughput (%)	
				Max Throughput (MB/s)	Write (MB/s)	Read (MB/s)	Write (%)	Read (%)
DDR3	166.66	256	32	5344	4945.19	4987.06	92.5%	93.3%
DDR3 (AXI4)	166.66	256	32	5344	5338.89	4866.08	99.9%	91.2%
DDR4 (NI <sup>1</sup> )	200	256	32	6400	5916.5	5866.9	92.4%	91.6%
DDR4 (AXI4)	200	256	32	6400	6395.9	5558.12	99.9%	86.84%
LPDDR3 (NI <sup>1</sup> )	166.66	256	32	5344	5034.4	4917.6	94.2%	92%
LPDDR3 (AXI4)	166.66	256	32	5344	5340.59	4681.22	99.9%	87.5%

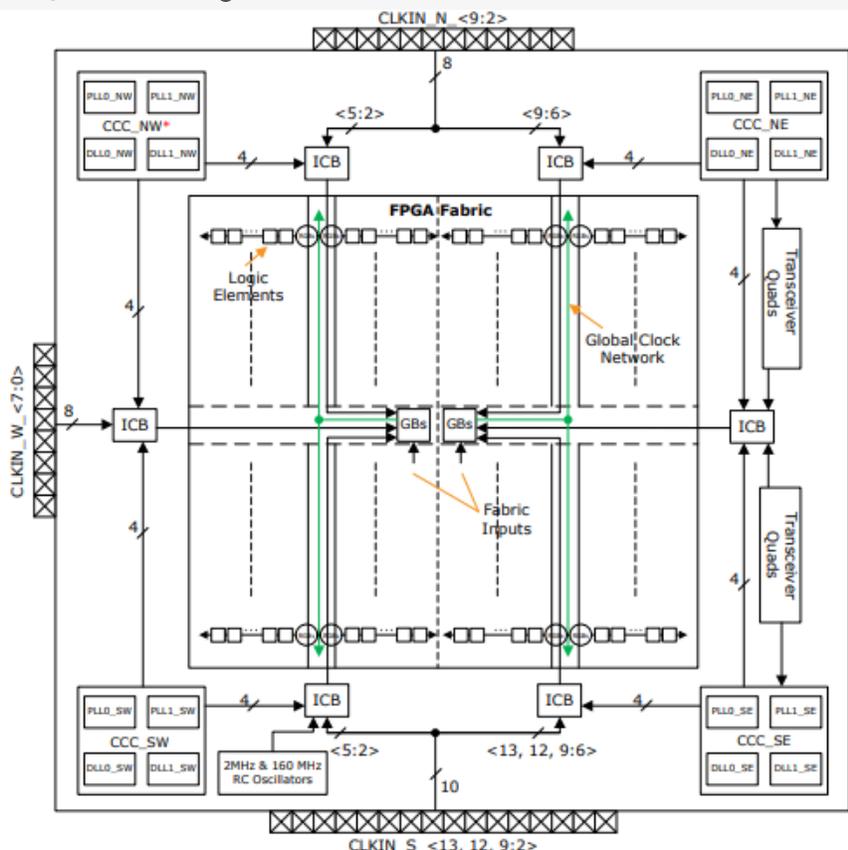
**Notes:**

1. NI refers to native interface.
2. To get high DDR4 throughput, set tCCD\_L to 4 on the Memory Timing tab of the PF\_DDR4 Configurator.

- Microchip社ではMicron社製のDDR4メモリーを用いtCCD\_Lに設定しても動作することを確認しておりますが、他のメモリーメーカーのデバイスを用い値を”4”に設定し、正しく動作しないケースが報告されています。
- tCCD\_Lの値を”4”にして動作するかどうかは使用されるDDRメモリーのデバイスメーカーへご確認ください。

# クロック

- DDR Memory コントローラーにはPLLが内蔵されています。
- PLLを駆動できるクロック入力ピンは限られますのでご注意ください。  
CCC\_PLL\_REF\_CLKに繋がっているクロック入力ピンへピンアサインして下さい。



PKG.PIN	MPF300T/MPF300TS-FCVG484 Pin Names	DDR Lane	Bank	IO Type	Clock		
					CCC_PLL_REF_CLK_0	CCC_PLL_REF_CLK_1	
0) B22	GPIO26NB2/DQS	DDR S.6	2	I/O	GPIO	N/A	N/A
1) C22	GPIO27PB2/CLKIN S.8/CCC SE CLKIN S.8/CCC SE PLL0 OUT0	DDR S.6	2	I/O	GPIO	PLL0 SE/PLL1 SE	PLL0 SE/PLL1 SE
2) D22	GPIO27NB2	DDR S.6	2	I/O	GPIO	N/A	N/A
3) C20	GPIO28PB2/CCC SE PLL0 OUT1	DDR S.6	2	I/O	GPIO	N/A	N/A
4) C19	GPIO28NB2	DDR S.6	2	I/O	GPIO	N/A	N/A
5) D21	GPIO29PB2/CLKIN S.9/CCC SE CLKIN S.9	DDR S.6	2	I/O	GPIO	PLL0 SE/PLL1 SE	PLL0 SE/PLL1 SE
6) D20	GPIO29NB2	DDR S.6	2	I/O	GPIO	N/A	N/A

# クロック

- DDR Memoryコントローラーへ供給するクロックを宣言いただくと、I/O Editorにて、DDRの配置とクロックのI/O standard設定に応じたピンアサインの選択肢を確認可能です。

**PF\_DDR4\_C0\_0**

Port Function	Port Name	Pin Number	Fu
▶ NORTH_NE	Unassigned		
▶ NORTH_NW	_DDR4_C0_0(width=16, rate=133		
▶ SOUTH_SE	Unassigned		
	DDR_REFCLK_P	2	INPUT LVDS25 U4
	DDR_REFCLK_N	3	INPUT LVDS25 U4 U10

Port Function	Port Name	Pin Number	Fu
▶ NORTH_NE	Unassigned		
▶ NORTH_NW	Unassigned		
▶ SOUTH_SE	PF_DDR4_C0_0(width=16, rate=1333)		
	DDR_REFCLK_P	2	INPUT LVDS25 C11
	DDR_REFCLK_N	3	INPUT LVDS25 C11 D13

# クロック

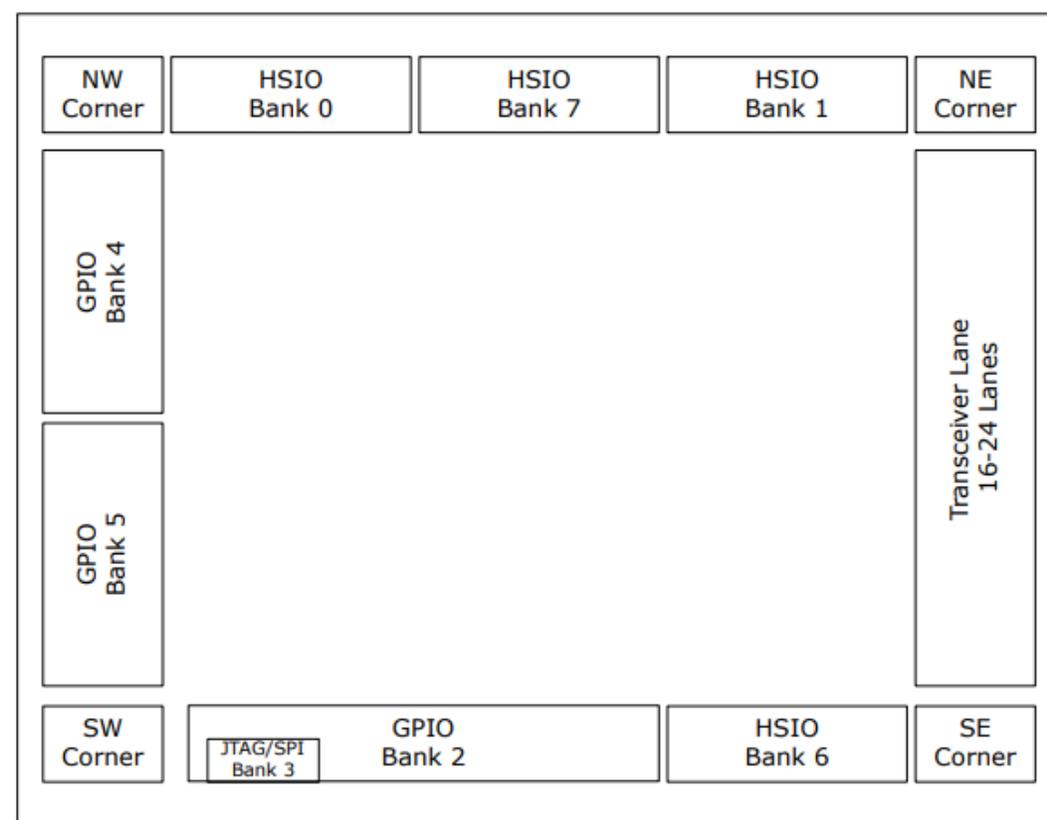
- pdcファイルでピンアサインを書くと  
DDRのアサインに応じたClockピンの選択肢確認ができないため  
I/O Editorを活用することをおすすめします。
- I/O EditorでのDDRのピンアサイン方法については下記FAQをご参考下さい。

Microchip FPGA: Libero SoCにてDDR3やDDR4はどのようにピンアサインしたら  
いいですか？

<https://www.macnica.co.jp/business/semiconductor/support/faqs/microchip/145970/>

# クロック

- Transceiverバンクからクロックを入力し  
DDR Controllerが配置されたバンクへ供給する場合  
距離が長くなる分レイテンシーが増えることが懸念されますので  
避けていただくことを推奨します。



# クロック

- クロックがglobal lineにのっていることをご確認ください

The screenshot shows a software interface with a 'Reports' window. On the left, a tree view shows the project structure: 'top reports' > 'Synthesize' > 'synthesis' > 'top\_compiled\_netlist.log' (highlighted with a blue 'i' icon). Below this, 'Place and Route' > 'top\_glb\_net\_report.xml' is highlighted with a red box. The main area displays the 'Global Net Report' for Microchip Technology Inc. - Microchip Libero Software Release v2024.1 (Version 2024.1.0.3), dated Tue Sep 17 21:47:47 2024. The report title is 'Global Nets Information'. A table lists global nets with their 'From' locations:

	From
1	PF_DDR4_C0_0/CCC_0/clkint_4/U0
2	PF_DDR4_C0_0/DDRPHY_BLK_0/IOD_TRAINING_0/COREDDR_TIP_INT_U/reset_n_int_rep_RNI9T6V1[0]/U0
3	PF_DDR4_C0_0/MS_C_i_0/MS_C_i_1/MS_C_i_488/MS_C_i_489/MS_C_i_490/MS_C_i_491/s1_RNIPSG93/U0
4	PF_DDR4_C0_0/CCC_0/clkint_4/U0_GB0
5	Clocks and Resets 0/MIN 27MHz QUIT 150MHz 80MHz/PE CCC_C0_0/clkint_4/U0

# クロック

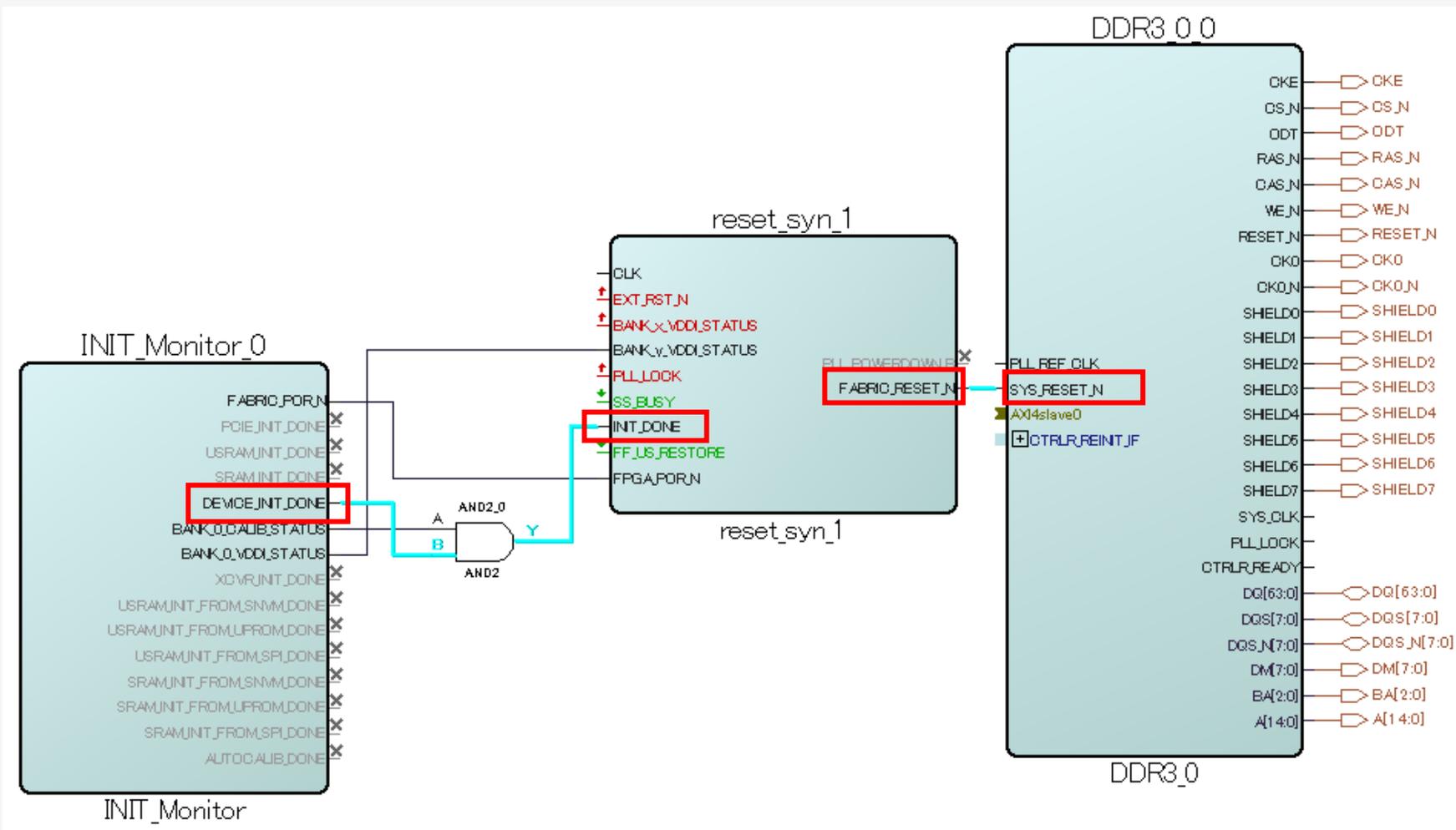
- DDR Memory コントローラーのGUI に設定する「Reference Clock」の周波数が、実際に入力するクロックの周波数と同じであることを確認します (CCC PLL Reference clock frequency)
- DDR Controller 出力のクロック周波数が、期待通りのものであることを確認します

Clock configuration GUI showing the following settings:

Memory Clock Frequency (MHz)	800.0
CCC PLL Clock Multiplier	5
CCC PLL Reference Clock Frequency (MHz)	160.000
User Logic Clock Rate	QUAD
User Clock Frequency	200.0

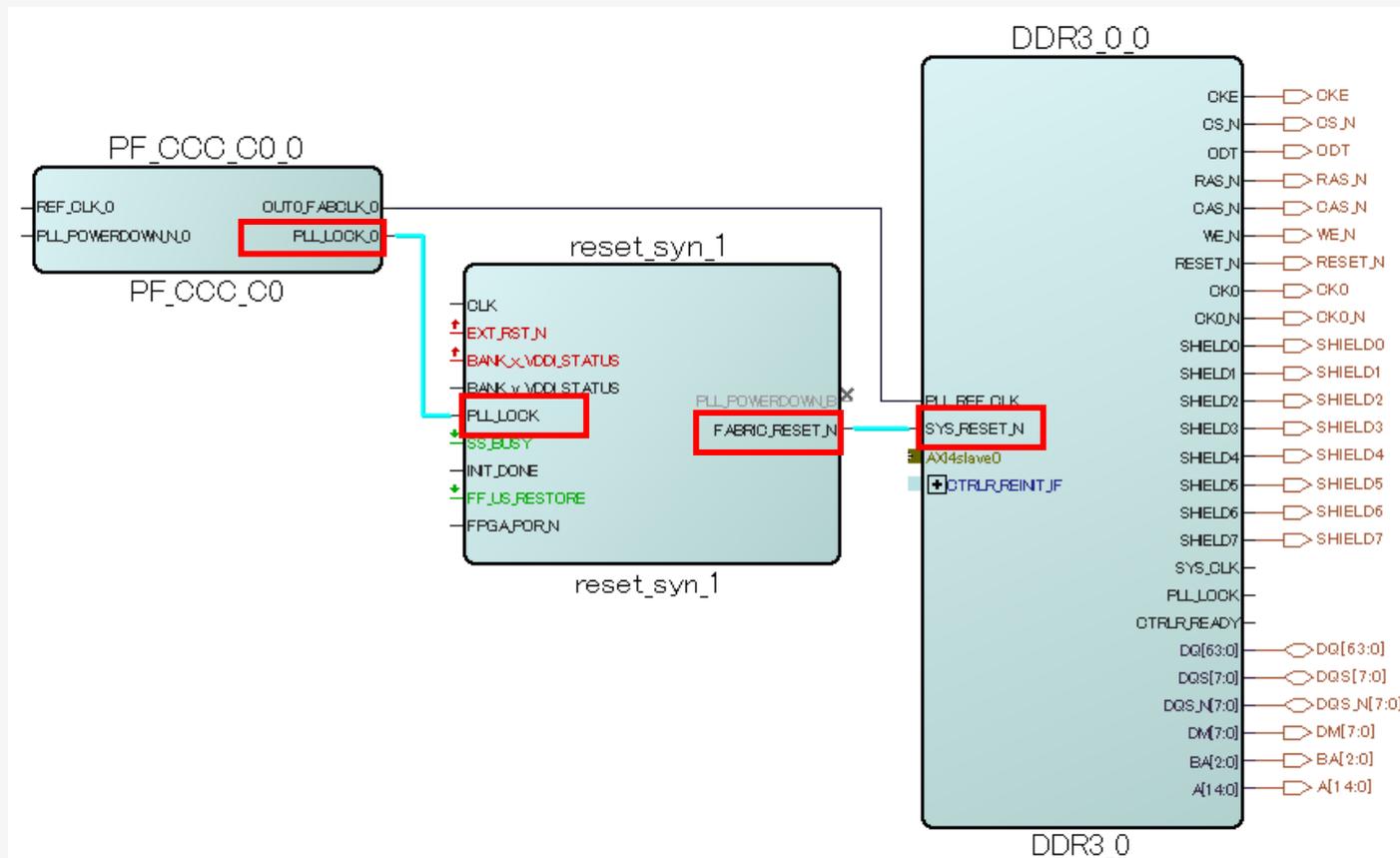
# リセット

- デバイス初期化とリセット解除のタイミング
  - DEVICE\_INIT\_DONE (デバイスの初期化完了)後に、DDR Controller のリセットが解除されるようにします



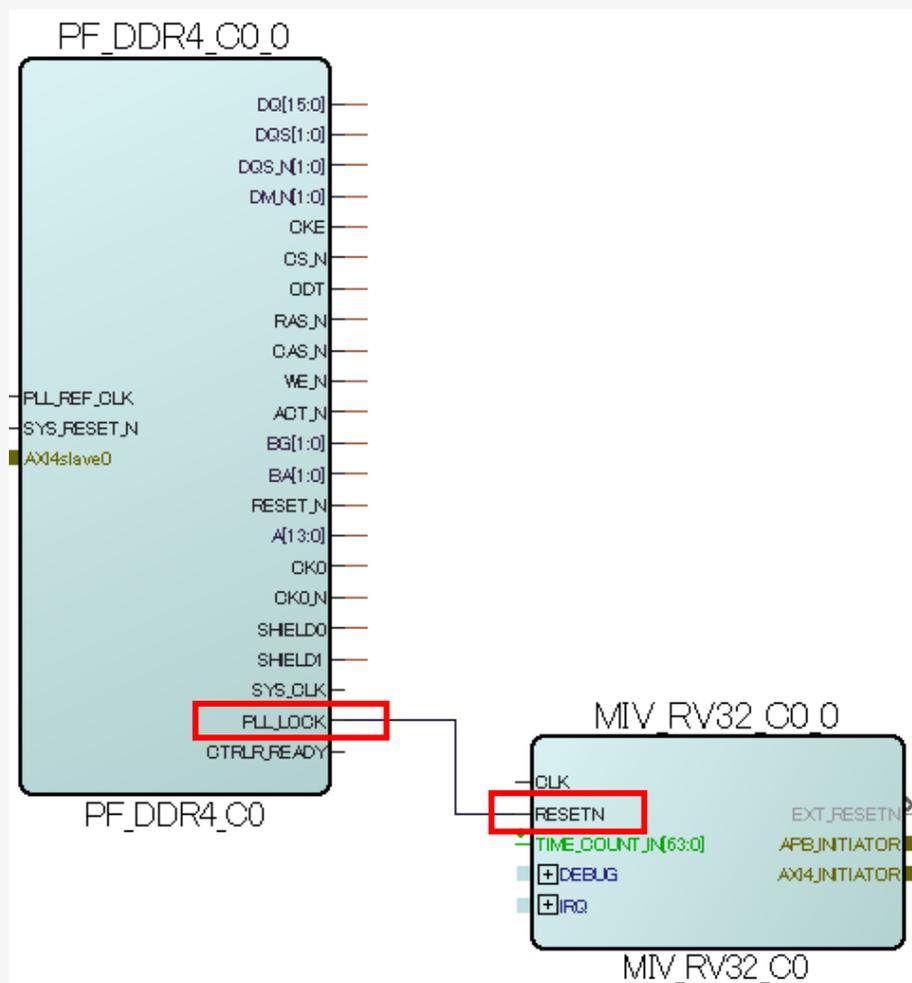
# リセット

- DDR Controllerの入力 REF\_CLK が安定したのちに、DDR Controllerのリセット入力が解除されるようにします
- PLLをカスケードしPLL出力をREF\_CLKにしている場合にはPLLのLOCK信号後にリセットが解除されるようにします



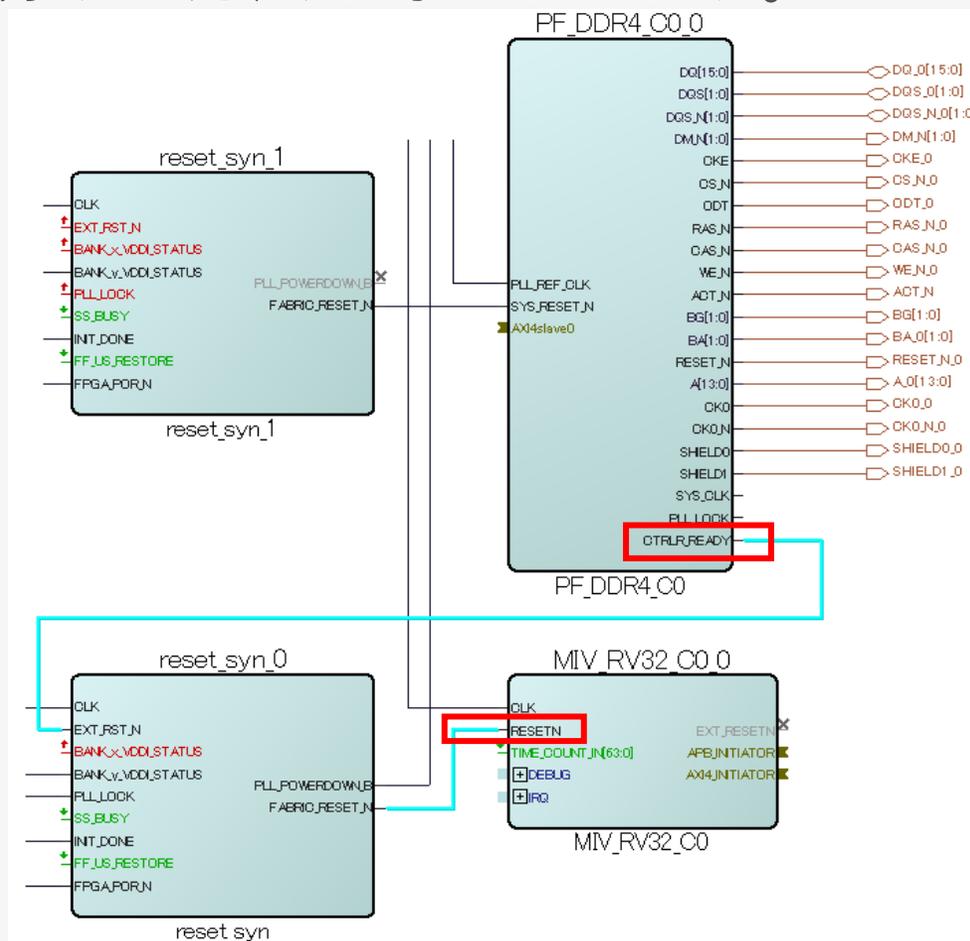
# リセット

- DDR Controller 内部の PLL が LOCK した後に、DDR Controller 出力クロックを使用するロジック(例えばMi-V等)がリセット解除される回路構成にします



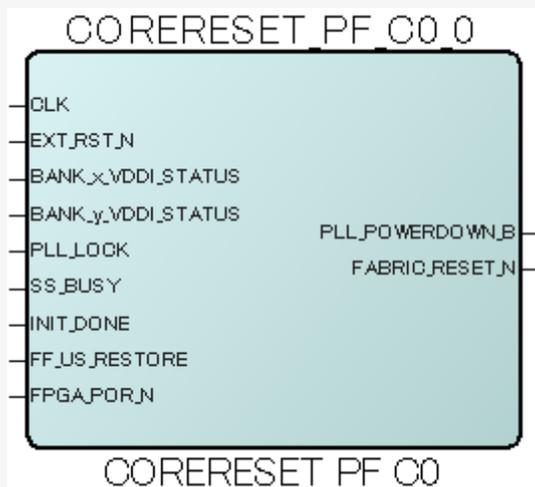
# リセット

- DDRコントローラーのPLL\_LOCK信号の代わりに初期化とトレーニングシーケンス完了後にアサートされるCTRLR\_READYを活用して、DDR Controller出力クロックを使用するロジック(例えばMi-V等)のリセットを解除する方法も考えられます。



# リセット

- CoreReset\_PFのBANK\_x\_VDDI\_STATUS、BANK\_y\_VDDI\_STATUSの処理についてはメーカードキュメントを参照してください。

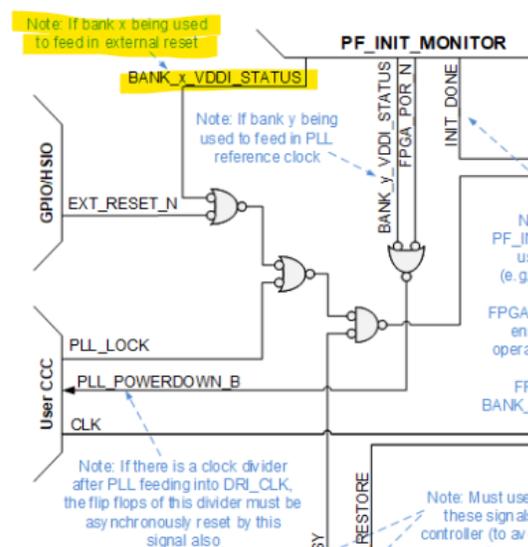


PolarFire FPGA and PolarFire SoC FPGA Power-Up and Resets > 2.3 Design and Memory Initialization

**Note:** I/Os must be calibrated before initiating the training logic of the DDR controller. This requires generating a reset signal by ANDing the DEVICE\_INIT\_DONE and BANK\_#\_CALIB\_STATUS signals of the PFSOC\_INIT\_MONITOR IP. BANK\_# refers to the BANK where DDR subsystem is placed.

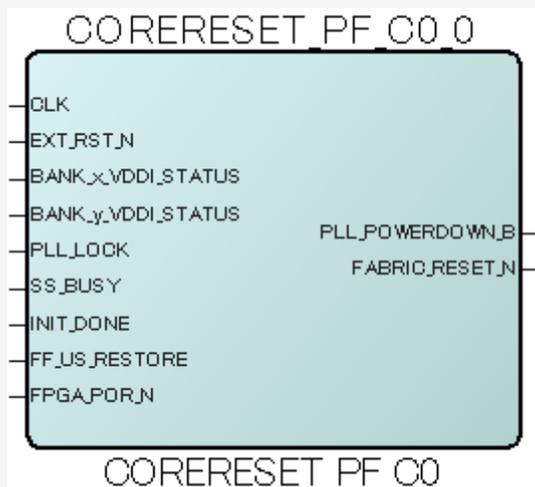
HB0794 Handbook CoreReset\_PF v2.3 > 2 Introduction

Figure 1 • CoreReset\_PF Block Diagram



# リセット

- CoreReset\_PFのBANK\_x\_VDDI\_STATUS、BANK\_y\_VDDI\_STATUSの処理についてはメーカードキュメントを参照してください。(続き)



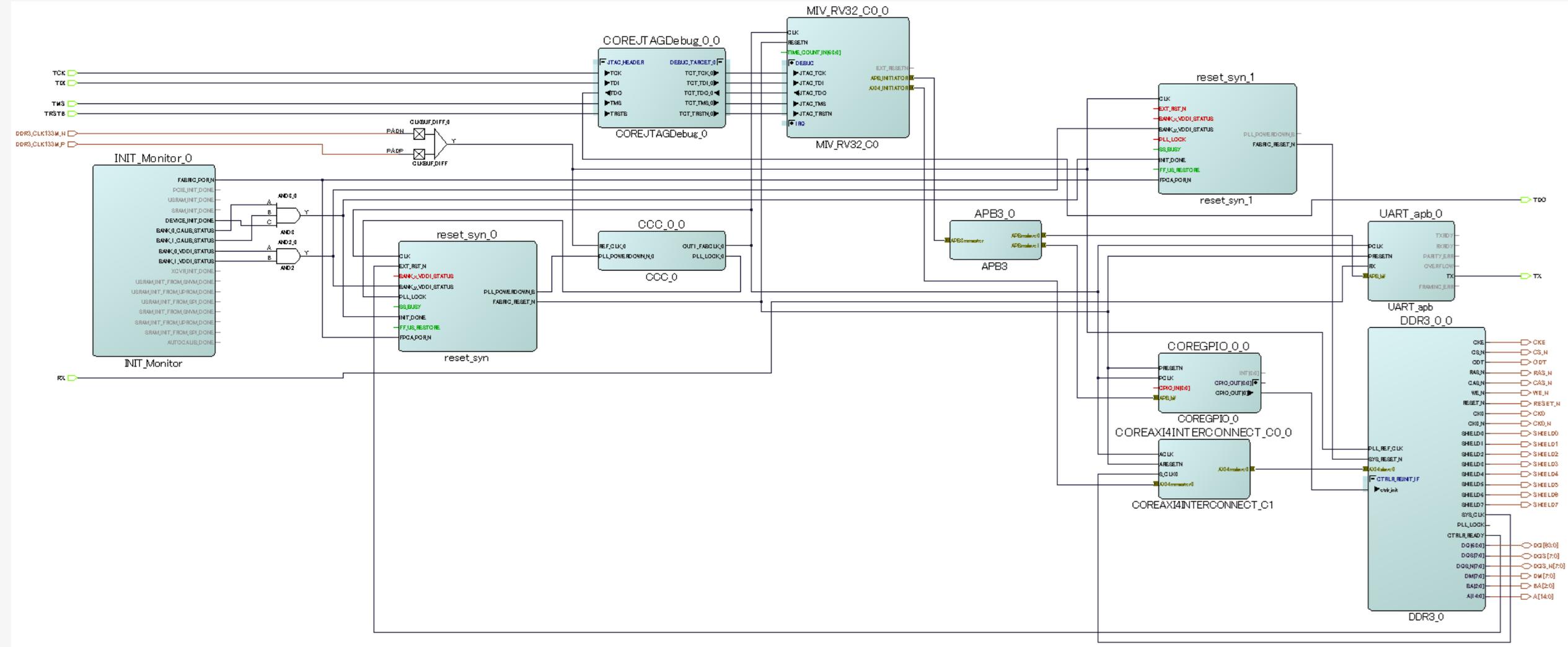
HB0794 Handbook CoreReset\_PF v2.3 > 3.1 I/O Signals

Table 2 • CoreReset\_PF I/O Signal Descriptions

Port Name	Type	Description
FABRIC_RESET_N	Output	This is the output reset, which may be used to reset user logic in the fabric. It is an active low reset, which asserts asynchronously, but negates synchronously to CLK.
BANK_x_VDDI_STATUS	Input	This signal is used to monitor VDDI supply on specific supply banks. When EXT_REST_N signal is not used, this signal must be tied high.
BANK_y_VDDI_STATUS	Input	This signal is used to monitor VDDI supply on specific supply banks.
FPGA_POR_N	Input	Active low input, asserted when the fabric is non-operational.

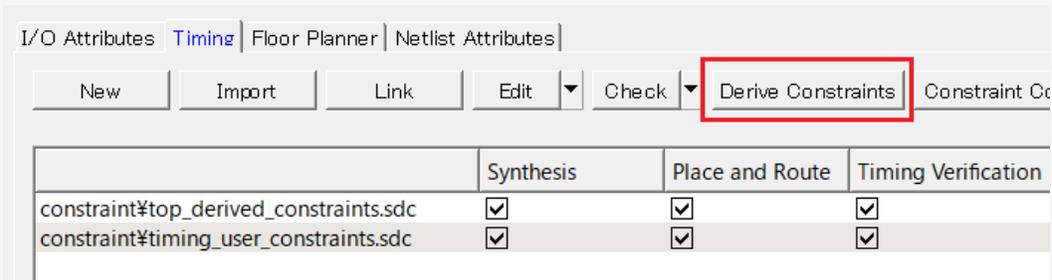
<https://www.microchip.com/en-us/products/fpgas-and-plds/fpgas/polarfire-fpgas#Documentation>

# リセット回路例



# タイミング解析

- Derive Constraintsを実施下さい
- Derive Constraintsで自動生成されたタイミング制約をユーザーのSDCファイルで上書きしないようにしてください



- リファレンスデザインに準拠し、ユーザーのSDCファイルへset\_clock\_uncertaintyの追記をおすすめします

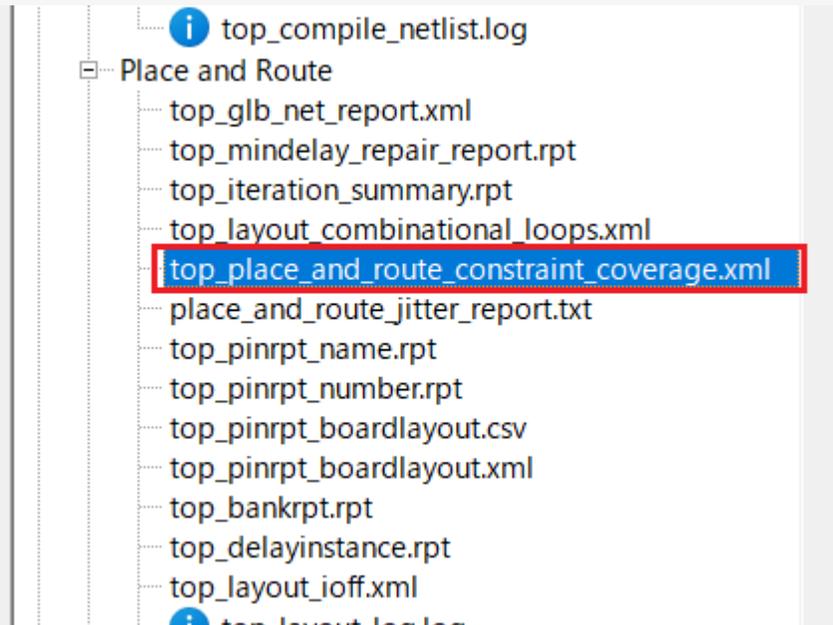
赤枠部分はDDRコントローラーを配置した時のインスタンス名になります

```
set_clock_uncertainty -setup 0.15 [ get_clocks {PF_DDR4_C0_0/CCC_0/pll_inst_0/out0 } ]
set_clock_uncertainty -setup 0.15 [ get_clocks {PF_DDR4_C0_0/CCC_0/pll_inst_0/out1 } ]
set_clock_uncertainty -setup 0.15 [ get_clocks {PF_DDR4_C0_0/CCC_0/pll_inst_0/out2 } ]
set_clock_uncertainty -setup 0.15 [ get_clocks {PF_DDR4_C0_0/CCC_0/pll_inst_0/out3 } ]

set_clock_uncertainty -setup 0.15 [ get_clocks {PF_DDR3_C0_0/CCC_0/pll_inst_0/out0 } ]
set_clock_uncertainty -setup 0.15 [ get_clocks {PF_DDR3_C0_0/CCC_0/pll_inst_0/out1 } ]
set_clock_uncertainty -setup 0.15 [ get_clocks {PF_DDR3_C0_0/CCC_0/pll_inst_0/out2 } ]
set_clock_uncertainty -setup 0.15 [ get_clocks {PF_DDR3_C0_0/CCC_0/pll_inst_0/out3 } ]
```

# タイミング解析

- 正しくタイミング解析を行うため、タイミング制約未制約のパスがないかご確認ください。  
タイミング制約が不要な部分についてはset\_false\_pathを追記します。



top\_compile\_netlist.log

Place and Route

- top\_glb\_net\_report.xml
- top\_mindelay\_repair\_report.rpt
- top\_iteration\_summary.rpt
- top\_layout\_combinational\_loops.xml
- top\_place\_and\_route\_constraint\_coverage.xml**
- place\_and\_route\_jitter\_report.txt
- top\_pinrpt\_name.rpt
- top\_pinrpt\_number.rpt
- top\_pinrpt\_boardlayout.csv
- top\_pinrpt\_boardlayout.xml
- top\_bankrpt.rpt
- top\_delayinstance.rpt
- top\_layout\_ioff.xml
- top\_layout\_log.log

### Coverage Summary

Type of check	Constrained	UnConstrained	Total
Setup	73987	6	73993
Recovery	34037	0	34037
Output Setup	266	6	272
Total Setup	108290	12	108302
Hold	73987	6	73993
Removal	34037	0	34037
Output Hold	266	6	272
Total Hold	108290	12	108302

# タイミング解析

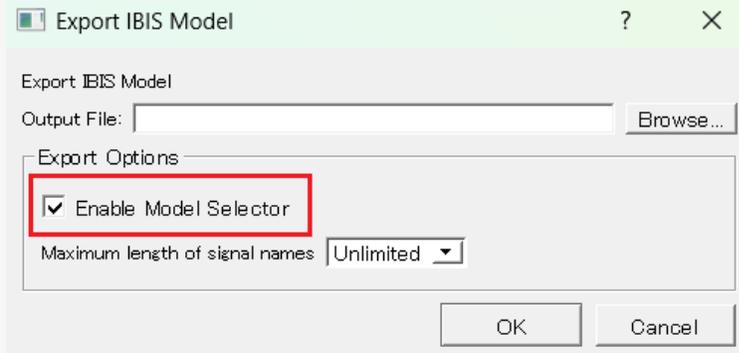
- タイミング違反がないかどうか確認、必要に応じてデザインを見直して下さい。

The screenshot shows the Timing Report Explorer interface. On the left, there are tabs for 'Max Analysis' and 'Min Analysis'. Below these are buttons for 'Save', 'Save As', 'Insights', and 'Help'. The main area displays a table of timing paths. The table has columns for 'Slack (ns)', 'From/To', 'Edges', 'Arrival (ns)', 'Required (ns)', and 'Source Clock'. The first five rows of the table are visible, each showing a green checkmark in the Slack column, indicating no timing violations.

	Slack (ns)	From/To	Edges	Arrival (ns)	Required (ns)	Source Clock
1	✓ 2.602	From: .../MSC_i_488/MSC_i_489/cal_select:CLK To : ...C_i_135/MSC_i_136/precharge_ob[3]:D	R F	11.877	14.479	PF_DDR4_C0_0/ pll_inst_0/OUT1
2	✓ 2.602	From: .../MSC_i_488/MSC_i_489/cal_select:CLK To : ...C_i_135/MSC_i_136/precharge_ob[1]:D	R F	11.877	14.479	PF_DDR4_C0_0/ pll_inst_0/OUT1
3	✓ 2.614	From: .../MSC_i_488/MSC_i_489/cal_select:CLK To : ...C_i_135/MSC_i_136/precharge_ob[2]:D	R F	11.865	14.479	PF_DDR4_C0_0/ pll_inst_0/OUT1
4	✓ 2.682	From: .../MSC_i_488/MSC_i_489/cal_select:CLK To : ...C_i_135/MSC_i_136/precharge_ob[0]:D	R F	11.797	14.479	PF_DDR4_C0_0/ pll_inst_0/OUT1
5	✓ 2.752	From: .../MSC_i_488/MSC_i_489/cal_select:CLK	R F	11.726	14.479	PF_DDR4_C0_0/ pll_inst_0/OUT1

# IBISモデルの生成について

- IBISモデル生成時は、Enable Model Selectorへチェックを入れて下さい。



- I/O Editorで設定できないI/O Standardで伝送線路シミュレーションしないように実際にピンアサインして確認いただくことをおすすめします。
- 双方向モデルは生成されません。Read、Write個別にシミュレーションを実施して下さい。

参考ナレッジ：

How to generate the Bi-Directional IBIS simulation models for DQ pins of the DDR controller of PolarFire FPGA

<https://microchip.my.site.com/s/article/How-to-generate-the-Bi-Directional-IBIS-simulation-models-for-DQ-pins-of-the-DDR-controller-of-PolarFire-FPGA>

# ODT設定について

- 推奨のODT設定について、User Guideには以下を記載しています。

 **Important:** 60Ω ODT is the recommended ODT setting for DDR4 DIMM/on-board DDR4 component. 30Ω ODT is the recommended ODT setting for on-board DDR3 component. 60Ω ODT is the recommended ODT setting for DDR3 DIMM.

PolarFire DDR Memory Controller User Guide, Page 105より引用

<https://www.microchip.com/en-us/products/fpgas-and-plds/fpgas/polarfire-fpgas#Documentation>

正確な値を設定するには伝送線路シミュレーションを実施してください

# ODT設定について

- ODTは
  - DDR Memoryコントローラー
  - I/O Editor

それぞれに設定箇所があります

Mode Register 1

ODT Rtt Nominal Value: RZQ/4

Memory Additive CAS Latency: RZQ/4

Output Drive Strength: RZQ/4

Mode Register 2

Output Drive Strength: RZQ/7

Mode Register 2

Dynamic ODT (Rtt\_WR): Disabled

Mode Register 3

Fine Granularity Refresh Mode: RZQ/3

	Port Name	Direction	I/O Standard	Pin Number	Locked	Configuration	Bank	I/O	Location	Power	Storage	Operation	Interrupt	Input	On Die Termination	Odtt Value (Ohm)	Level	Drive	Impedance (ohm)	Output Load (pF)	
1	CLK_IN	INPUT	LVCNOS18	AH24	☑	INBUF	Bank1	None	☐	ON	Up	☐	OFF	--	OFF	120	OFF	--	--	--	
2	DIP1	INPUT	LVCNOS18	AH22	☑	INBUF	Bank1	None	☐	ON	Up	☐	OFF	--	OFF	120	OFF	--	--	--	
3	DIP2	INPUT	LVCNOS18	AJ21	☑	INBUF	Bank1	None	☐	ON	Up	☐	OFF	--	OFF	120	OFF	--	--	--	
4	DIP3	INPUT	LVCNOS18	AG21	☑	INBUF	Bank1	None	☐	ON	Up	☐	OFF	--	OFF	120	OFF	--	--	--	
5	DIP4	INPUT	LVCNOS18	AH21	☑	INBUF	Bank1	None	☐	ON	Up	☐	OFF	--	OFF	120	OFF	--	--	--	
6	FLASH	INPUT	--	L13	☑	PF_SPI	--	--	☐	--	--	☐	--	--	--	--	--	--	--	--	
7	IFACE	INPUT	--	L12	☑	PF_SPI	--	--	☐	--	--	☐	--	--	--	--	--	--	--	--	
8	▼ PF_DDR4_C0_0				☐				☐			☐									
9	▼ A				☐				☐			☐									
10	A[0]	OUTPUT	HSTL121	AE5	☑	TRIBUFF	Bank0	None	☐	ON	None	☐	--	--	--	50	--	OFF	--	50	5
11	A[1]	OUTPUT	HSTL121	AF5	☑	TRIBUFF	Bank0	None	☐	ON	None	☐	--	--	--	50	--	OFF	--	50	5
12	A[2]	OUTPUT	HSTL121	AF2	☑	TRIBUFF	Bank0	None	☐	ON	None	☐	--	--	--	50	--	OFF	--	50	5
13	A[3]	OUTPUT	HSTL121	AF3	☑	TRIBUFF	Bank0	None	☐	ON	None	☐	--	--	--	50	--	OFF	--	50	5
14	A[4]	OUTPUT	HSTL121	AH3	☑	TRIBUFF	Bank0	None	☐	ON	None	☐	--	--	--	50	--	OFF	--	50	5

# Board側

- 伝送線路シミュレーションを実施するようにしてください
- PolarFireやDDR4など各VDD電源はOperating Condition の範囲内になるようにしてください

# Board側

## ● 等長配線

- Addr、CMD、CtrlはClockと等長にしてください
- DQ、DM、DQSは等長にしてください
- 併せてSkew Constraints For Signal Groupsの項目をご参考ください

**Table 6.1.** DDR3, LPDDR3, DDR3L, and DDR4 Parameters

Parameter	DDR3	LPDDR3	DDR3L	DDR4
VDDIO	1.5V	1.2V	1.35V	1.2V
VTT, VREF	0.75V	0.6V	0.675V	0.6V
Clock, Address, and Command (CAC) Layout	Daisy Chained (Fly-by)	Point to point	Daisy Chained (Fly-by)	Daisy Chained (Fly-by)
Data Strobe	Differential	Differential	Differential	Differential
ODT	Dynamic	Dynamic	Dynamic	Dynamic
Match Addr/CMD/Ctrl to Clock Tightly	Yes	Yes	Yes	Yes
Match DQ/DM/DQS Tightly	Yes	Yes	Yes	Yes
Match DQS to Clock Loosely	Not Required	Not Required	Not Required	Not Required
I/O Standard	SSTL_15	HSUL-12	SSTL_135	POD-12 <sup>1</sup>
RZQ	240_1%	240_1%	240_1%	240_1%

例：DDR4の場合

### 6.3.1.2. Skew matching constraints [\(Ask a Question\)](#)

1. The address and command groups must be skew matched with respect to CK signals within  $\pm 100$  ps.
2. The DQ, DM signals must be skew matched with respect to DQS within  $\pm 25$  ps.
3. The read DQ/DQS training will adjust DQS signal to optimal sampling point based on the board skew between DQ and DQS.

# Board側

- FPGAへの供給クロックについて  
FPGAのリセット解除時に入力クロックが安定しているようにしてください



- FPGAのピン・アサインに応じてご設計ください

	Port Function	Port Name	Pin Number	Function	Max Memory Width	Max Data Rate	Bank Name
1	▶ NORTH_NE	Assigned			72	1600	--
146	▼ NORTH_NW	PF_DDR4_C0_0(width=64, rate=1600)			72	1600	--
147	A0		AE5	3PB0/CCC_NW_CLK	72	1600	Bank0
148	A1		AF5	HSIO173NB0	72	1600	Bank0
149	A2		AF2	9PB0/CCC_NW_PLL	72	1600	Bank0
150	A3		AF3	HSIO169NB0	72	1600	Bank0
151	A4		AH3	HSIO167PB0	72	1600	Bank0
152	A5		A13	HSIO167NB0	72	1600	Bank0

# Board側

- Board上の接続が User Guide の通りになっているか確認します
- PolarFire Family Memory Controller User Guide > 6. PolarFire Board Design Recommendations  
<https://www.microchip.com/en-us/products/fpgas-and-plds/fpgas/polarfire-fpgas#Documentation>

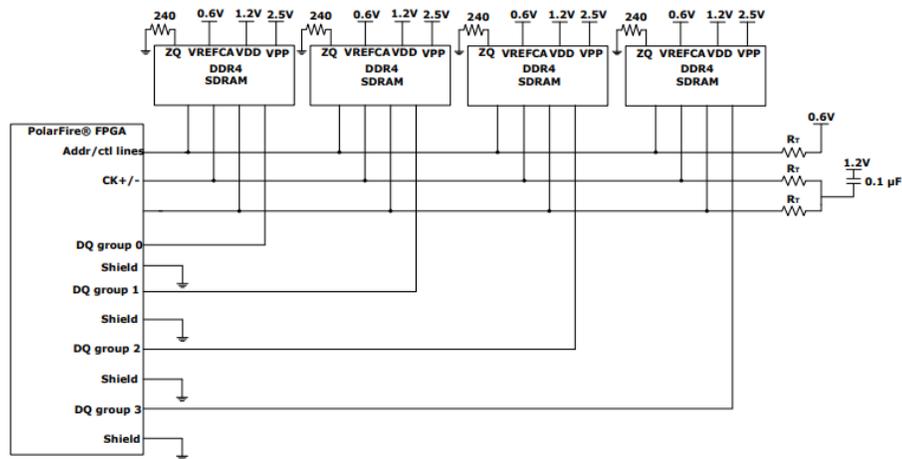
## 6.3. DDR4 (Ask a Question)

The following are the guidelines for connecting the device to the DDR4 memory:

- DDR4 data nets have dynamic ODT built into the controller and SDRAM. The configurations are 80Ω, 120Ω, and 240Ω. DQ lines do not need VTT termination. However, VTT termination resistors need to be placed at the end of address and control lines on the PCB.
- Characteristic impedance:  $Z_0$  is typically 50Ω and  $Z_{diff}$  (differential) is 100Ω.

The following figure shows the features supported by PolarFire FPGA in the DDR4 memory interface.

Figure 6.8. DDR4 Interface Example



例：DDR4の場合

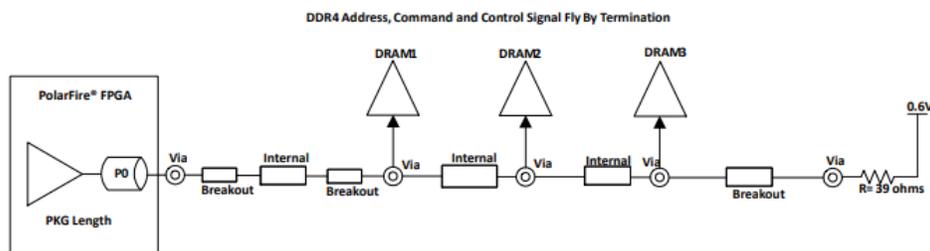
# Board側

- Board上の接続が User Guide の通りになっているか確認します (続き)

## 6.3.1.1. DDR4 Routing Topology (Ask a Question)

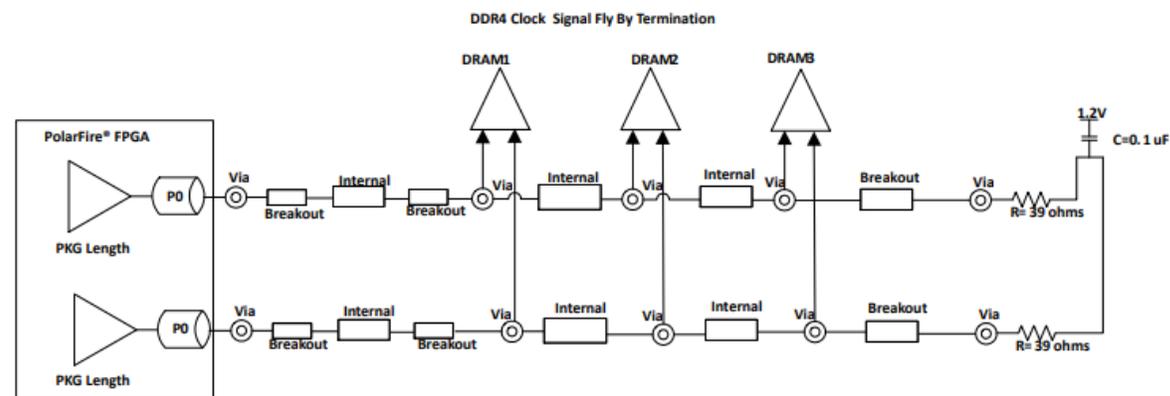
The following figure shows the Flyby termination of DDR4 ADDR/CMD signals.

Figure 6.9. DDR4 ACC Signals FlyBy Termination



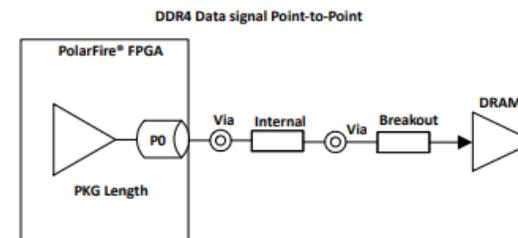
The following figure shows the Flyby termination of the DDR4 clock signal.

Figure 6.10. DDR4 Clock Signal FlyBy Termination



The following figure shows the point-to-point routing of the DDR4 data signal.

Figure 6.11. DDR4 Data Signal Point-to-Point



例：DDR4の場合

# Board側

- Board上の接続が User Guide の通りになっているか確認します (続き)

**Table 7.1.** DDR3, LPDDR3, DDR3L, LPDDR4, and DDR4 Parameters

Parameter	DDR3	LPDDR3	DDR3L	DDR4	LPDDR4
VDDIO	1.5V	1.2V	1.35	1.2V	1.1V
VTT, VREF	0.75V	0.6V	0.675V	0.6V	0.55V
Clock, Address, and Command (CAC) Layout	Daisy Chained (Fly-by)	Point to point	Daisy Chained (Fly-by)	Daisy Chained (Fly-by)	Point-to-Point <sup>2</sup>
Data Strobe	Differential	Differential	Differential	Differential	Differential
ODT	Dynamic	Dynamic	Dynamic	Dynamic	Dynamic
Match Addr/CMD/Ctrl to Clock Tightly	Yes	Yes	Yes	Yes	Yes
Match DQ/DM/DQS Tightly	Yes	Yes	Yes	Yes	Yes
Match DQS to Clock Loosely	Not Required	Not Required	Not Required	Not Required	Not Required
I/O Standard	SSTL_15	HSUL-12	SSTL_135	POD-12 <sup>1</sup>	LVSTL 1.1V
RZQ	240_1%	240_1%	240_1%	240_1%	240_1%

# 実機使用 : CK/CA additive offset の最適値確認

- DDRメモリーコントローラーのCK/CA additive offsetは値をsweepさせて、実機にて最適値を確認します。

- 手戻りを防ぐため、DDRのパラメーターを正しく設定している、タイミング違反がないなど、前述の各項目について対応済みであることを確認します
- 実機での確認のためCK/CA additive offset 0-7それぞれに設定したLiberio SoCプロジェクトを用意します。

General	Memory Initialization	Memory Timing	Con
☐ <b>Top</b>			
Protocol	DDR4 ▾		
Generate PHY only	<input type="checkbox"/>		
☐ <b>Clock</b>			
Memory Clock Frequency (MHz)	800.0		
CCC PLL Clock Multiplier	4 ▾		
CCC PLL Reference Clock Frequency (MHz)	200.000		
User Logic Clock Rate	QUAD ▾		
User Clock Frequency	200.0		
CK/CA additive offset	4		

# 実機使用 : CK/CA additive offset の最適値確認

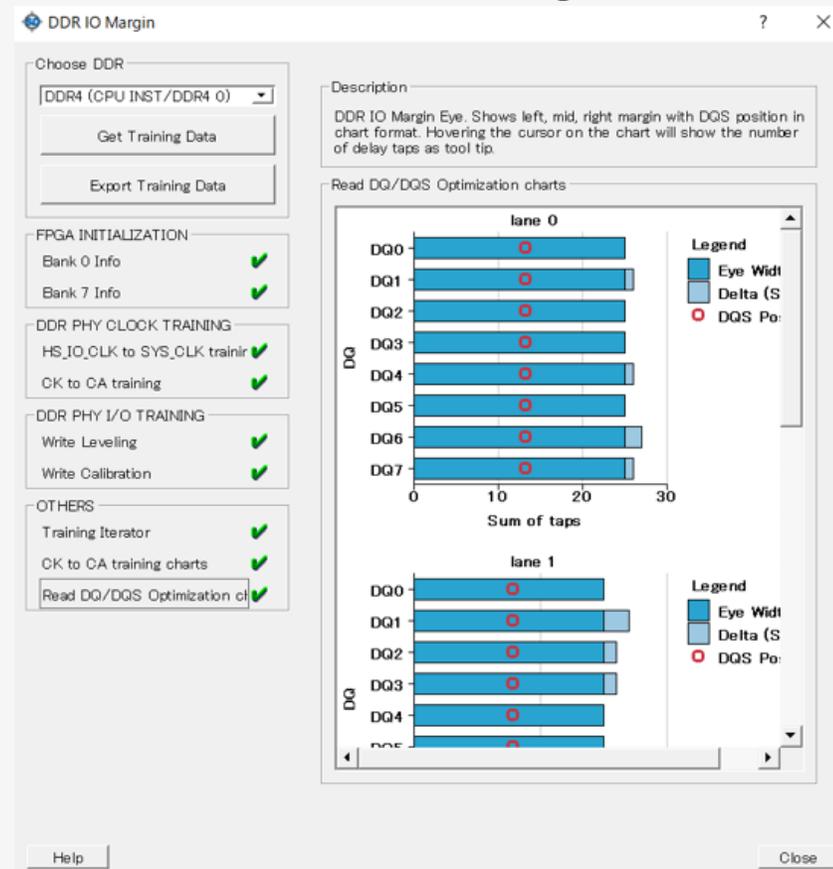
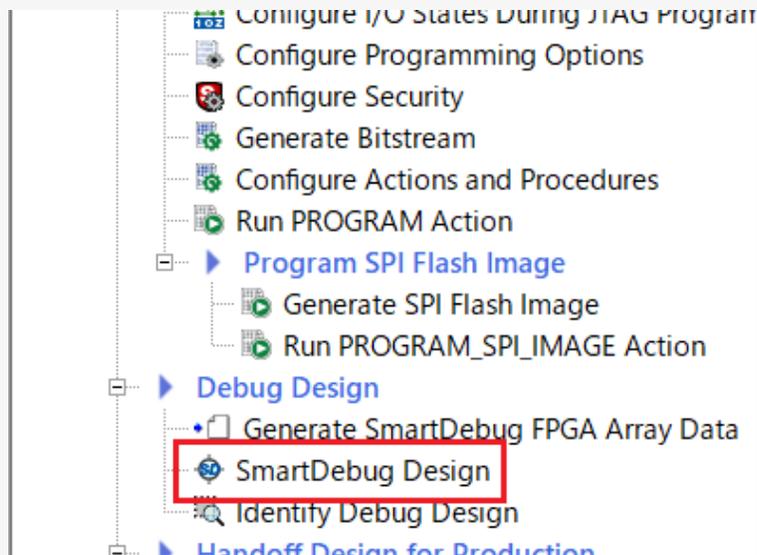
## 確認項目 :

- Offset値 0~7 のうち
  - Trainingがpassする
  - Write/Readテストを実施し、Readデータが期待通りの値となるCK/CA Offset 値を確認します
  
- Trainingがpassし、Readデータが期待通りの値となるCK/CA Offset 値は複数あるケースがほとんどのため、この中から
  - Write Leveling数値が小さい
  - Write Leveling数値のレーン間ばらつきが少ないCK/CA Offset値を選択します

# 実機使用 : CK/CA additive offset の最適値確認

## ● Trainingのpassについて

- SmartDebug Designから確認可能です。
- TrainingがfailとなるCK/CA additive offset値は選択肢から除外します
- 後ほどWrite Leveling値を比較するため、この時のSmartDebugの結果はメモされることをおすすめします。



# 実機使用 : CK/CA additive offset の最適値確認

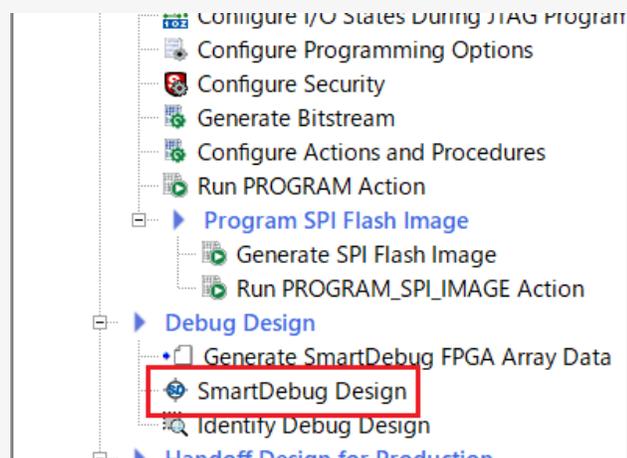
- Write/Readテスト実施、Readデータの確認について
  - Mi-Vを用い、Write/ReadのVerify結果をUARTにて結果を確認する  
PolarFire Video Kit、PolarFire Evaluation Kit向けのReference Designがあります。  
御社担当代理店より入手、Write/Readテスト方法の参考としてください。
  - Write/Readテストを実施し、Write/Read結果が不一致となるCK/CA additive offset値は  
選択肢から除外します

# 実機使用 : CK/CA additive offset の最適値確認

## ● Write Leveling値の確認

- SmartDebug DesignからDDRのWrite Leveling値を確認します。  
CK/CA additive offset値それぞれの場合のLane 0-7の結果についてメモします。

※ Write LevelingはDRAMの初期化中に使用されるトレーニングモードになります。Write Levelingプロセス中に、Write DQSの立ち上がりエッジがメモリークロックの立ち上がりエッジと一致するまでの遅延を特定します。



Write Leveling	
DQS/DQ write clock delay taps	
Lane 0	59
Lane 1	61
Lane 2	51
Lane 3	46
Lane 4	12
Lane 5	12
Lane 6	8
Lane 7	11

# 実機使用 : CK/CA additive offset の最適値確認

- Write Leveling数値
  - 各CKCA-xの場合のLane平均を確認します。
  - 下記例の場合、CKCA-3が最もLane平均が小さいです。
  - CKCA-0やCKCA-7は他CKCA-xに比べて大きいいため除外します。
- Write Leveling数値のレーン間ばらつき
  - 各CKCA-xの場合のLane間ばらつきを確認します。
  - 下記例の場合、CKCA-0、CKCA-7が最もレーン間ばらつきが小さいです。
  - CKCA-2、CKCA-3、CKCA-4はレーン間ばらつきが大きいいため除外します。
- 両条件を満たすCK/CA additive offset値を選定し使用します。(CKCA-6)

	Lane0	Lane1	Lane2	Lane3	Lane4	Lane5	Lane6	Lane7	Lane Max	Lane Min	Lane Max - Lane Min差分	レーン平均
CKCA-0	44	46	38	32	54	54	53	52	54	32	<b>22</b>	46.625
CKCA-1	Write/Read Verify failのため除外											
CKCA-2	57	5	52	46	12	13	12	12	57	5	52	26.125
CKCA-3	10	12	5	53	19	19	18	18	53	5	48	<b>19.25</b>
CKCA-4	16	18	11	59	25	25	25	24	59	11	48	25.375
CKCA-5	Training failのため除外											
CKCA-6	29	33	24	17	41	40	40	39	41	17	24	32.875
CKCA-7	37	26	31	24	46	46	45	45	46	24	<b>22</b>	37.5

# Appendix : チェックリスト

# チェックリスト (1/5)

番号	項目	✓
<u>1</u>	DDRの動作周波数に応じたスピードグレード(-1, std)のデバイスを選定している PolarFireFPGA Datasheet > Maximum PHY Rate for Memory Interface IP	
<u>2</u>	Libero SoCは最新バージョンのものを使用している	
<u>3</u>	Libero SoC v2024.2以前のバージョンを使用する場合は PF_DDRx_C0.vファイルのcfg_auto_zq_cal_en部分を修正している	
<u>4</u>	PolarFire DDRxに限らず各IPは最新バージョンのものを使用している	
<u>5</u>	PolarFire DDRx IP、Memory Timingタブのパラメーターを 使用するDDRのデータシートに準拠して設定している	
<u>6</u>	DDR3を使用する場合、PolarFire DDR3 IPにて Burst Length = Fixed BL8 にしている場合にはtWTRについてMin + 1 の値の設定している (eg.DDR3-1333の場合には5を設定する)	
<u>7</u>	DDR4を使用し、tCCD_Lを“4”に設定する場合、使用するDDRメモリーが tCCD_L=4に対応していることを確認している	

# チェックリスト (2/5)

番号	項目	✓
<a href="#">8</a>	DDR Memoryコントローラーへ供給するクロックはI/O Editorにてプルダウンで選択できるクロックを選択している。	
<a href="#">9</a>	DDRのReference Clockを、Transceiverバンクから供給していないこと。 HSIOやGPIOバンクから供給している。	
<a href="#">10</a>	クロックがglobal lineにのっている Reports > Place and Route > top_glb_net_report.xml	
<a href="#">11</a>	PolarFire DDRx IPでのCCC PLL Reference clock frequency (MHz)欄が 実際に入力するクロックの周波数と同じである	
<a href="#">12</a>	DDR Controller 出力のクロック周波数 User Clock Frequency欄が ユーザーの意図している周波数になっている	
<a href="#">13</a>	DEVICE_INIT_DONE (デバイスの初期化完了)後に、 DDR Controller のリセットが解除される	
<a href="#">14</a>	DDR Controllerの入力 REF_CLK が安定したのちに、 DDR Controllerのリセット入力が解除される (FPGAへ供給されるクロックは、FPGAのリセット解除時には安定している)	

# チェックリスト (3/5)

番号	項目	✓
<a href="#">15</a>	PLLをカスケードしPLL出力をREF_CLKにしている場合 CCC IPのPLL LOCK後にPolarFire DDRx IPのリセットが解除される	
<a href="#">16</a>	DDR Controller 内部の PLL が LOCK した後に、DDR Controller出力クロックを使用するロジック(例えばMi-V等)がリセット解除される回路構成になっている	
<a href="#">17</a>	CoreReset_PF IPのBANK_x_VDDI_STATUS、BANK_y_VDDI_STATUSの処理が メーカードキュメントに準拠している。 - PolarFireFPGA and PolarFireSoC FPGA Power-Up and Resets > 2.3 Design and Memory Initialization - HB0794 HandbookCoreReset_PFv2.3 > 2 Introduction - HB0794 HandbookCoreReset_PFv2.3 > 3.1 I/O Signals	
<a href="#">18</a>	Derive Constraintsを実施している	
<a href="#">19</a>	Derive Constraintsで自動生成されたタイミング制約を ユーザーのSDCファイルで上書きしていない	
<a href="#">20</a>	リファレンスデザインに準拠し、ユーザーのSDCファイルへ set_clock_uncertaintyを追記している	

# チェックリスト (4/5)

番号	項目	✓
<a href="#">21</a>	正しくタイミング解析を行うため、タイミング制約未制約のパスがない状態となっている (Place and Route > top_place_and_route_constraint_coverage.xml)	
<a href="#">22</a>	タイミング違反がない。 タイミング違反がある場合デザインを見直しタイミング違反がない状態にしている。	
<a href="#">23</a>	伝送線路シミュレーション用のIBISモデル生成はLibero SoCにて Enable Model Selectorにチェックを入れて生成している。 (Libero SoCからIBISモデルを生成せず、Libero SoCのI/O editorで選択できないIBISモデルを使用しないよう注意する)	
<a href="#">24</a>	伝送線路シミュレーションを実施している	
<a href="#">25</a>	ODT値設定について、PolarFire DDRx IP、I/O Editor の2箇所両方を適切に設定している。	
<a href="#">26</a>	Addr、CMD、CtrlがClockと等長になっている DQ、DM、DQSが等長になっている	
<a href="#">27</a>	ボードについて、PolarFireやDDR4など各VDD電源はOperating Condition の範囲内になっている	

# チェックリスト (5/5)

番号	項目	✓
<a href="#">28</a>	ボード上のピン接続と、Libero SoCのI/O Editorでのピン・アサインが一致している	
<a href="#">29</a>	ボード上の接続がUser Guideに準拠している - PolarFireFamily Memory Controller User Guide > 6. PolarFireBoard Design Recommendations - Table 7.1. DDR3, LPDDR3, DDR3L, LPDDR4, and DDR4 Parameters	
<a href="#">30</a>	実機使用：PolarFire DDRx IPのCK/CA additive offset値をsweepさせ最適値を確認している。確認は、手戻りを防ぐためにDDRのパラメーターを正しく設定している、タイミング違反がないなど、各項目を対応済みの状態で実施している。	

# PolarFire SoCの場合

# 補足

- PolarFire SoCは、MSS側とFPGA Fabric側で異なるタイプのDDRコントローラーを利用いただけます。

MSS側：ハードメモリーコントローラー

FPGA Fabric側：ソフトメモリーコントローラー

ここではMSS側のハードメモリーコントローラーについて説明しています。

FPGA Fabric側については前半の『[PolarFireの場合](#)』の章をご参照ください。

# Agenda

1. FPGA選定
2. DDRメモリー選定
3. 「x16 + ECC」構成の場合
4. IBISモデルの生成
5. DDRトレーニング状況確認

# FPGA選定

- スピードグレードによってMin~Maxが決まっていますので  
PolarFire SoC Datasheet> MSS DDRの項目をご参考ください。  
<https://www.microchip.com/en-us/products/fpgas-and-plds/system-on-chip-fpgas/polarfire-soc-fpgas#Documentation>

## 4.1.3 MSS DDR<sup>4, 5, 7</sup>

The following table describes the MSS DDR speed grades.

Table 4-4. MSS DDR Speed Grades

Memory Standard	Package	DRAM Type	STD Min <sup>9</sup>	STD Max	-1 Min	-1 Max	Unit
DDR4	All	Single rank component	1333	1333	1333	1600	Mbps
	All	1 rank DIMM <sup>1, 2</sup>	1333	1333	1333	1600	Mbps
	All	2 rank DIMM <sup>1, 3, 8</sup>	1333	1333	1333	1333	Mbps
LPDDR4	All	Single die package	1333	1333	1333	1600	Mbps
	All	Dual die package <sup>6</sup>	1333	1333	1333	1600	Mbps
DDR3	All	Single rank component	1067	1067	1067	1333	Mbps

# DDRメモリー選定

- PolarFire SoC特有の制約：

- サポートしているmemory density、die densityの範囲内で検討下さい。
- PolarFire Family Memory Controller User Guide > Maximum Density Supported by the PolarFire SoC MSS DDR Controller の項目をご参考ください。
- <https://www.microchip.com/en-us/products/fpgas-and-plds/system-on-chip-fpgas/polarfire-soc-fpgas#Documentation>

## 1.2. Maximum Density Supported by the PolarFire SoC MSS DDR Controller (Ask a

Question)

The MSS DDR Controller requires that the minimum Refresh Cycle Interval ( $t_{REFI}$ ) must be greater than 4 times the Refresh Cycle time ( $t_{RFC}$ ). The Refresh Cycle Interval is the period between successive refresh commands, and the Refresh Cycle time is the duration of a refresh operation. DDR manufacturers specify the  $t_{REFI}$  for the DDR memory's operating case temperature. The preceding requirements restrict the maximum supported DDR die density at higher temperatures for DDR4 and LPDDR4. This restriction does not apply to DDR3 and LPDDR3 memories.

The Refresh Cycle time is proportional to the memory die density. The following table lists the maximum supported DDR die density at different case temperatures.

**Table 1.1.** PolarFire SoC FPGA Maximum Die Density

Device	Maximum Die Density			
	$-40 < T_c^1 < 85 \text{ }^\circ\text{C}$	$-40 < T_c < 95 \text{ }^\circ\text{C}$	$-40 < T_c < 105 \text{ }^\circ\text{C}$	$-40 < T_c < 125 \text{ }^\circ\text{C}$
Memory Case Temperature				
DDR4	16 Gb	16 Gb	8 Gb	2 Gb
LPDDR4	16 Gb	4 Gb	4 Gb	4 Gb

**Note:**

# DDRメモリー選定

- ご参考：実績のある型番（2025年9月時点）

## Micron® Memory Support for Microchip® Platforms

Save yourself time and money—Micron memory comes **validated** on Microchip platforms

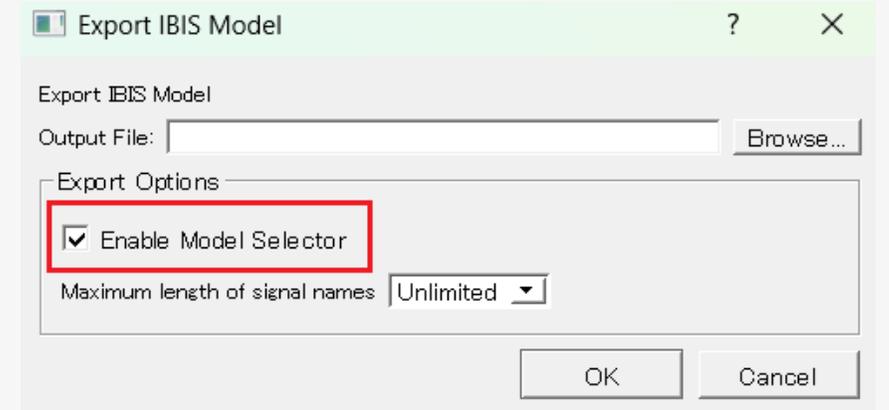
		Microchip Polar Fire™ Family				Microchip Smart Fusion2™ Family		Microchip Igloo2™ Family	
		Polar Fire SoC Family		Polar Fire FPGA		Smart Fusion 2 SoC FPGA		Igloo2 FPGA	
Micron DRAM	Type	DDR3/DDR3L	DDR4	DDR3/DDR3L	DDR4	DDR3/DDR3L	DDR4	DDR3/DDR3L	DDR4
	Density	4Gb	8Gb	8Gb	4Gb, 8Gb	2Gb			
	Config	4Gb (256Mb x 16)	8Gb (512Mb x 16)	8Gb (1Gb x 8)	4Gb (256Mb x 16), 8Gb (1Gb x 8)	2Gb (256Mb x 8)			
	Package	96 TFBGA	96 TFBGA	78 TFBGA	96 TFBGA, 78 TFBGA	78 TFBGA	N/A	N/A	N/A
	Validated PN¹	MT41K256M16TW-107:P TR	MT40A512M16LY-075:E	MT41K1G8SN-125:A	MT40A256M16GE-083E:B (EOL) MT40A1G8WE-083E:B (EOL)	MT41K256M8DA-125 AIT:K TR			
	Qty/Board	1	1	2	2, 1	5			
Micron LPDRAM	Type	Mobile LPDDR3	Mobile LPDDR4/X²			Mobile LPDDR3	Mobile LPDDR	Mobile LPDDR3	Mobile LPDDR
	Density	16Gb	16Gb				512Mb		512Mb
	Config	16Gb (512Mb x 32)	16Gb (512Mb x 32)				512Mb (32Mb x16)		512Mb (32Mb x 16)
	Package	178 VFBGA	200 WFBGA	N/A	N/A	N/A	60 VFBGA	N/A	60 VFBGA
	Validated PN¹	MT52L512M32D2PF-093 WT:B TR	MT53D512M32D2DS-053 WT:D TR				MT46H32M16LFBF-5 IT:C		MT46H32M16LFBF-5 IT:C
	Qty/Board	1	1				1		1
Micron SPI NOR Flash	Type	SPI NOR	Xccela™	SPI NOR	Xccela™	SPI NOR	Xccela™	SPI NOR	Xccela™
	Density	1Gb	1Gb	1Gb	1Gb	1Gb			
	Config	1Gb (128Mb x 8)	1Gb (128Mb x 8)	1Gb (128Mb x 8)	1Gb (128Mb x 8)	1Gb (256Mb x 4)			
	Package	16 SOIC	24-Ball T-PBGA	16 SOIC	24-Ball T-PBGA	16-pin SOP			
	Validated PN¹	MT25QL01GBBB8ESF-0SIT	MT35XU01GBBA1G12-0SIT	MT25QL01GBBB8ESF-0SIT TR MT25QL01GBBB8ESF-0SIT MT25QU01GBBB8ESF-0SIT	MT35XU01GBBA1G12-0SIT	N25Q00AA13GSF40G	N/A	N/A	N/A
	Qty/Board	1	1	1	1	1			

# 「x16 + ECC」構成の場合

- ボード・デザインに関する Knowledge Baseをご参考ください
- ECC Bit connection on board for the MSS DDR of MPFSoC  
<https://microchip.my.site.com/s/article/ECC-Bit-connection-on-board-for-the-MSS-DDR-of-MPFSoC>

# IBISモデルの生成

- PolarFireと異なり、PolarFire SoCの場合は Enable Model Selectorへチェックを入れても複数モデル出ないのでご注意ください。
- MSS Configurator設定に応じたIBISモデルが生成されます。下記FAQをご参考ください。



Microchip FPGA: PolarFire SoC MSS ConfiguratorのDDR ControllerタブにあるDQ Drive、DQS Drive、ADD/CMD Drive、Clock Driveはどのように設定したら良いですか？  
<https://www.macnica.co.jp/business/semiconductor/support/faqs/microchip/146737/>

# DDRトレーニング状況確認

- Libero SoC v2025.1以降 SmartDebugが使用できます。

## 1.4.13. Enhanced SmartDebug [\(Ask a Question\)](#)

Libero SoC v2025.1 introduces MSS DDR I/O training results, a new feature to SmartDebug.

This release also adds the following enhancements:

- Signal integrity settings persistence
- XCVR eye monitor: Persistent eye plot
- Fabric DDR I/O margin training results

- Libero SoC v2024.2以前の場合、PolarFire SoCはUARTにてログを出し結果のテキストデータをMemory Log Analyzerへ読み込ませて確認します。

手順については下記FAQをご参考ください。

Microchip FPGA: PolarFire SoC使用時MSS DDRのトレーニング状況はどのように確認できますか？

<https://www.macnica.co.jp/business/semiconductor/support/faqs/microchip/146821/>

# 改版履歴 (1/2)

リビジョン	日付	概要
V1.0	2025年5月	初版
V2.0	2025年7月	<ul style="list-style-type: none"><li>• DDRのパラメーター設定 Min + 1 の値の設定についてtWTRを追記</li><li>• CK/CA additive offset選択についてWrite Levelingの例追加</li></ul>
V3.0	2025年8月	<ul style="list-style-type: none"><li>• tCCD_Lについて追記</li><li>• クロックについてref_clkを差動へ差し替え、CCC_PLL_REF_CLKについて追記、DDRアサインのFAQ追記</li><li>• リセットのスクリーンショットを修正、回路例追記</li><li>• ODTについてUserGuide情報を追記</li><li>• CK/CA additive offset選択について例や説明を追加</li><li>• PolarFire SoC MSSのSmartDebug対応について追記</li></ul>
V3.1	2025年8月	<ul style="list-style-type: none"><li>• アジェンダの文字色修正</li><li>• 実績のある型番について文面変更</li><li>• ZQキャリブレーションのIssueについてKnowledgeのリンク追加</li><li>• 誤植訂正</li><li>• チェックリスト追加</li><li>• PolarFire SoCについて MSS/FabricのDDR Controllerについて追記</li></ul>
V3.2	2025年8月	<ul style="list-style-type: none"><li>• PolarFire、PolarFire SoCドキュメントリンク追加</li><li>• 誤植訂正</li></ul>
V3.3	2025年9月	<ul style="list-style-type: none"><li>• 型番スライドについて資料公開月を追記</li><li>• v2025.1でのEnable RE-INIT修正について追記</li><li>• カスケードについて記述削除</li><li>• set_clock_uncertaintyのインスタンス名について追記</li><li>• どの信号を等長配線にするか追記</li><li>• チェックリスト更新</li></ul>

# 改版履歴 (2/2)

リビジョン	日付	概要
V3.4	2025年9月	命名規則に従って表記修正

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。



- ・本資料に記載されている会社名、商品またはサービス名等は各社の商標または登録商標です。なお、本資料中では、「™」、「®」は明記していません。
- ・本資料のすべての著作権は、第三者または株式会社マクニカに属しており、(著作権法で許諾される範囲を超えて) 無断で本資料の全部または一部を複製・転載等することを禁じます。
- ・本資料は作成日現在における情報を元に作成されておりますが、その正確性、完全性を保証するものではありません。