



DIGITAL INDUSTRIES SOFTWARE

大規模 FPGA における 等価性検証の事例

Executive summary

等価性検証は、従来、カスタムIC設計における系統誤差を排除し、製造のための設計サインオフを示すために使用されてきました。現在では、大規模なフィールド・プログラマブル・ゲートアレイの設計においても、同様の目的で活用されています。本論文では、この新しいアプリケーションの背景と、このニーズを満たすために必要な新しいタイプの等価性検証技術について考察します。

はじめに：FPGA 設計フローのシステムティックな問題点を解消するために

集積回路（IC）に混入する可能性のあるハードウェアのバグには、2つの種類があります。

ヒューマンエラーによる設計バグは、機能検証時に必ず排除されなければなりません。

一方、システム的な問題は、自動化された設計改良ツールチェーンによって導入され、通常、機能検証プロセスではチェックされません。これらは検出が難しく、最終的なデバイスに入り込むと損害を与える可能性があります。

等価検証は、従来、カスタムIC設計における系統誤差を排除し、製造のための設計サインオフを示すために使用されてきました。現在では、大規模なフィールドプログラマブルゲートアレイ（FPGA）設計においても、同様の目的で活用されています。この論文では、この新しいアプリケーションの背景と、このニーズを満たすために必要な新しいタイプの等価性チェック技術について考察します。

FPGA のトレンドが新たな設計アプローチを推進

カスタムICの製造コスト上昇に伴い、様々なアプリケーションでFPGAの利用が加速しています。これは、FPGA技術の大幅な向上により、より大きく、より速く、より電力効率の高いデバイスを、これまで以上に安価に製造することが可能になったためです。さらに、FPGAは、フィールドでのダウンロード可能なアップデート、1つのデバイスで複数の機能を実行、簡素化されたプロトタイピングなど、カスタム・シリコンでは得られない多くの機能を提供します。

最新のFPGAは、2000万ゲート以上の設計に加え、マルチコアArm®ベースのプラットフォームや通信、DSP、その他の機能ブロックに対応可能です。高価で時間がかかり、リスクの高い製造要件に妨げられることなく、これらのデバイスが、大量生産または低電力アプリケーションを除くすべてのASICに取って代わることは不思議ではありません。FPGAの設計数はASICの7倍とされています。

高品質のFPGAソリューションは、ツールチェーンの有効性、特に合成と配置配線（P&R）機能による最適化に依存しています。FPGAデザインでは、レジスタとレジスタ間ロジックの比率はある程度固定されており、この比率がデザインコード全体でアンバランスになると、マトリックスの一部が無駄になる可能性があります。そのため、論理ゲートに対してフリップフロップの位置を変更するシーケンシャル最適化は、FPGAの合成およびP&R機能として重要です。Figure 1.を参照。

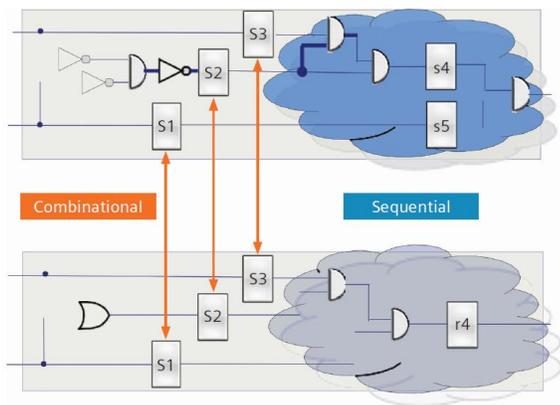


Figure 1. FPGA sequential optimization

これらの要求により、FPGA ベンダーは複雑な最新鋭の合成技術に投資するようになりました。最高品質の設計を実現するために、これらのツールでは非常に積極的な最適化が行われ、FPGA の価値提案の重要な側面が実現されています。

小型FPGAデバイスの場合、ゲートレベルまたはRTLレベルでデザインを記述し、合成して、ターゲットFPGAデバイスにダウンロードし、システム内で実際にFPGAを動作させて正しい動作を確認することが一般的でした。しかし、この方法は、長くて扱いにくいデバッグプロセスや、テストベンチ上でデザインに効果的なテストを適用することが難しいため、最小のプログラマブルロジックデバイス

(PLD) 以外のデザイン実現には現実的でないことがすぐに判明しました。

RTLコードを合成前にシミュレーションすることで、設計のバグを排除し、結果の品質と設計時間を改善する方法は、急速に標準化されました。しかし、中小規模のデバイスでは、RTLからビットストリームへの変換に起因するシステムティックなバグはまれであり、ハードウェア内でのFPGAの最終テスト中に発見されると考えられていました。最新の設計フローを活用した大規模なデバイスでは、この前提に誤りがあることが証明されており、重大な設計上の問題を引き起こす可能性があります。

システムティックバグに対する等価性検証ソリューション

タイミング解析や電力解析、ユーザーの指示により、積極的な最適化を行う合成ツールとP&Rツールの組み合わせは、システムティックエラーが発生しやすいものです。このツール群は、RTLコードのわずかな違いに敏感に反応するため、可能な限りの設計とツールの最適化の組み合わせを前もってテストすることは不可能です。そのため、最適化のレベルを上げていき、特定のデザインにシステムティックエラーが発生していないことを確認することで、最良の結果を得ることができます。

ASICやカスタムICの設計では、合成やP&Rの後に、ゲートレベルの抽象化を検証することが一般的です。このゲートレベルの検証は、本来シミュレーションによって行われ、ASIC設計プロセスで発生するシステムティックエラーを排除するものです。ASIC設計における形式検証ベースの等価性チェックの登場は、ゲートとRTLコードとの徹底的な比較を可能にしました。RTLコードが検証されたことにより、全体的なソリューションとして、設計をファブ리케이션にコミットするための信頼性の高い方法が提供されるようになりました。

FPGAにはASICのようなサインオフ要件はありませんが、ゲートレベルの設計表現のテストは、特に大規模な設計の場合、依然として重要な要件となっています。その理由は、システムティックな設計問題の性質にあります。

設計フローに起因するシステム的な問題は、FPGAのあらゆる場所で発生する可能性があり、現在開発中のデザインとは関係がないことが多いということが言えます。また、予期しない動作が発生したり、通常とは異なるコーナーケース・シナリオでトリガーされたりすることが多く、FPGA上でそれらを見出すための一連のテスト作成は複雑で時間がかかります。デバッグの際には、デザイン全体を調査する必要がありますが、問題の原因に関する情報がほとんどないため、厄介な問題です。最終的に、予期しない動作であるため、FPGAのテスト実行中にまったく検出されず、最終製品に入り込んでしまい、

製造後の理スピンを引き起こす可能性もあります。

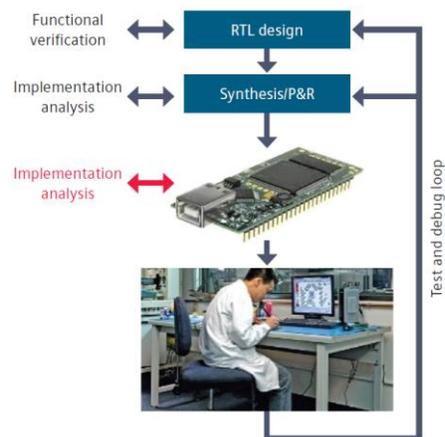


Figure 2. Enhanced FPGA design flow

Figure 2 のような FPGA フローで等価性チェックを使用し、最適化を完全にサポートすることで、システムティックな不具合を排除することができます。これには、以下のようなメリットがあります。

FPGAの最終テストで観察された問題は、設計に関連したものであり、システムティックなものではないという確信が得られ、デバッグプロセスの迅速化と容易化が促進されます。デバッグには何日もかかるので、これは大幅なスケジュール改善となります。システムティックエラーを対象とした複雑なテスト項目の作成、またはシステムティックエラーの障害状況の予測を試みるという時間のかかる必要性を排除できます。

最終デザインにシステムティックなコーナーケースのバグが存在しないことを確信し、全体的な品質を高め、RTL機能検証テストと最終デバイスの間の一貫性を確保できます。

エラーの発生を気にすることなく、最も積極的な最適化を活用できる信頼性。これにより、消費電力、パフォーマンス、デザインサイズの向上を実現します。

そのため、等価検証の利用は、最終的な設計品質、信頼性、設計スケジュール、エンジニアリング効率に直結する。当然のことながら、世界中の大型FPGAを扱う多くのエレクトロニクス企業で使用されています。

360 EC-FPGA

シーメンス・デジタル・インダストリーズ・ソフトウェアのシーメンスEDAは、その強力なフォーマルブーフエンジン群を活用し、非常に幅広い合成最適化をサポートできる等価性チェックソリューションを提供します。Xilinx Vivado、Synopsys® Synplify-Pro®、Altera® Quartus®など、サードパーティの先進的なFPGA合成ツールをサポートしていることが特徴です。組み合わせとシーケンシャルの両方の証明エンジンを使用することにより、合成ツールから「サイドファイル」やその他のヒント情報を得ることなく、合成前と合成後のコードを完全に独立して比較することができ、厳密なチェックの信頼性を高めることができるのである。また、ユーザーによる比較点の一致は要求されません。

シーメンスEDAの360 EC-FPGAには、問題の根本原因を明確に示す、図3を参照した先進のデバッグ・ソリューションが搭載されています。セットアップも簡単で、従来は手作業が必要だったクロックやリセット信号などの入力を自動的に検出します。

まとめ

最近の大規模なFPGA設計では、ツールチェーンで使用される最適化の性質上、系統的なバグはほぼ不可避です。ASIC設計と同様に、ゲート表現にシステマティックバグがないことを確認することで、大幅な時間短縮、品質向上、フィールドで起こりうる問題の回避が可能になります。

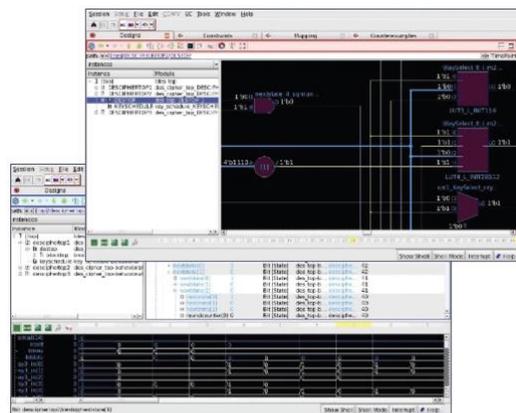


Figure 3. 360 EC-FPGA debug

また、メモリや乗算器などの大規模で複雑なFPGA設計構造も、ユーザーの手を煩わせることなく処理することができます。さらに、高速に動作し、高い処理能力を発揮します。必要であれば、並列実行オプションにより、さらに高い処理能力を発揮します。FPGAサプライヤとの密接なパートナーシップもあり、現在、FPGA等価性チェックの主要ツールとなっています。

現在、多くのエレクトロニクス企業が、高信頼性やセーフティクリティカルな設計シナリオを含め、この目的のために360 EC-FPGAを活用しています。

Siemens Digital Industries Software

Americas: 1 800 498 5351

EMEA: 00 800 70002222

Asia-Pacific: 001 800 03061910

For additional numbers, click [here](#).

About Siemens Digital Industries Software

Siemens Digital Industries Software is driving transformation to enable a digital enterprise where engineering, manufacturing and electronics design meet tomorrow. Xcelerator, the comprehensive and integrated portfolio of software and services from Siemens Digital Industries Software, helps companies of all sizes create and leverage a comprehensive digital twin that provides organizations with new insights, opportunities and levels of automation to drive innovation. For more information on Siemens Digital Industries Software products and services, visit [siemens.com/software](https://www.siemens.com/software) or follow us on [LinkedIn](#), [Twitter](#), [Facebook](#) and [Instagram](#). Siemens Digital Industries Software – Where today meets tomorrow.

[siemens.com/software](https://www.siemens.com/software)

© 2022 Siemens. A list of relevant Siemens trademarks can be found [here](#). Other trademarks belong to their respective owners.

84268-D2 1/22 C