

やってみよう！ Questa CDC チュートリアル

FPGA プロジェクトをインポートして CDC 解析

macnica

株式会社マクニカ アルティマ カンパニー

Rev.1 2022/2

Agenda

- 概要
- チュートリアル用のソースで Quartus® Prime プロジェクトを作成
- Questa CDC に FPGA プロジェクトをインポート
- Design Analysis
- Running Clock Analysis
- Review Message and Setup Checks
- Analyzing Clocks
- Review Message and Setup Checks
- Running CDC Analysis
- Creating and Applying Waivers

概要

macnica

Questa CDC は、こんなソリューションです

● CDC 構造検証

- すべてのクロックとクロック・ドメイン・クロッシング (CDC) を自動的に識別

● CDC プロトコル検証

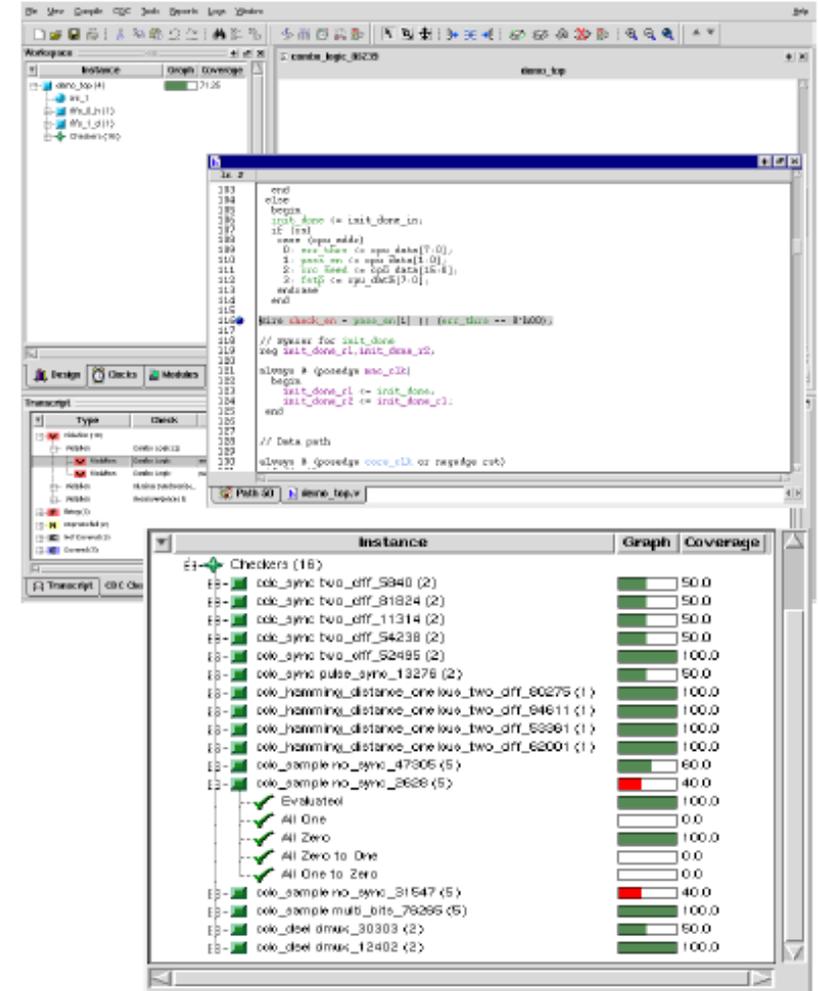
- CDC プロトコルを自動的に証明
- CDC プロトコルのアサーションをシミュレート

● リコンバージェンス検証

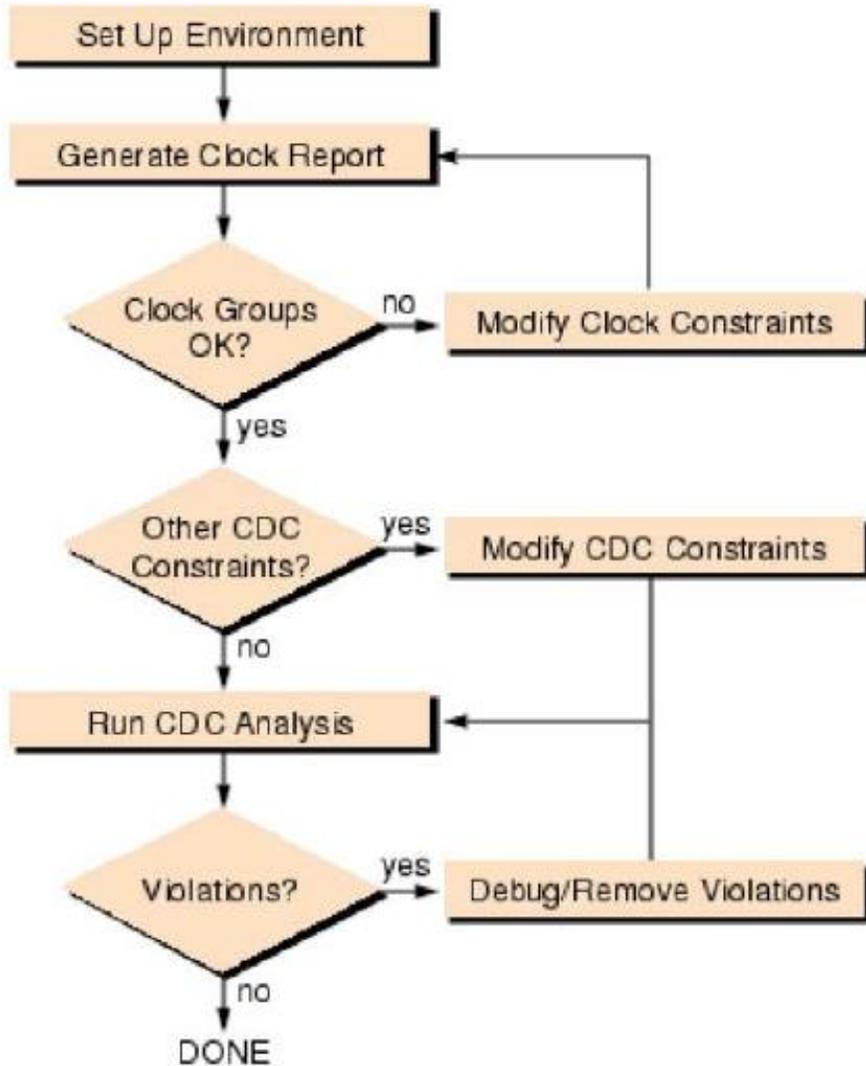
- シンクロナイザーのメタスタビリティの影響を正確にシミュレート

● 正確なカバレッジメトリクス

- メタスタビリティの問題に関連するテストベンチの完全性の指標を提供



CDC 構造解析 : ワーク・フロー



● Set Up Environment

- CDC 構造解析のための環境を準備します。基本的に必要なとなるのはデザインと制約条件のみです。

● Generate Clock Report

- 解析をガイドする追加情報を提供することで、CDC 解析をリファインしてより良い解析を実現します。例えば、クロック・グループ、優先する同期タイプ、例外、およびその他のオプションに関する情報を提供します。

● Run CDC Analysis

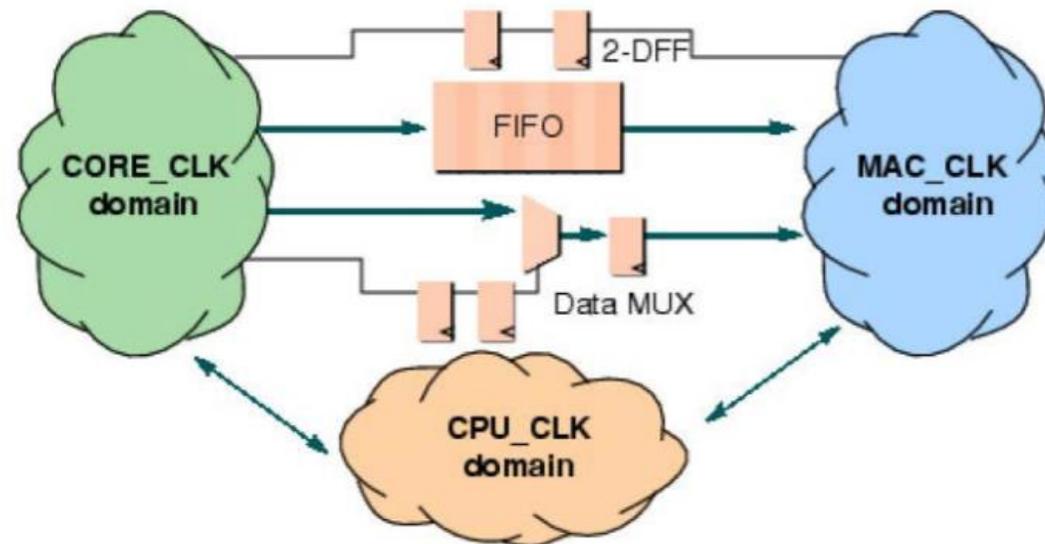
- CDC 解析が適切に実行されるように設定したら、CDC 解析を実行して、CDC 解析結果を確認します。

● Debug/Remove Violations

- 解析後、GUI デバッグ環境を使用して、CDC 解析で検出された問題をデバッグします。
- 報告された各 CDC 問題（注意または違反）について、Status を設定して問題を放棄するか、または問題をグループ化する（問題がレビューされ、開発および検証プロセスのために適切に分類されたことを示す）か、バグを修正するためにデザインを修正します。

CDC 構造解析：チュートリアル回路

- CDC 構造解析チュートリアルでは、以下のデモ回路を使用しています。このデザインは、メディア・アクセス・コントローラ（MAC）とカスタム・コア間のインターフェース・ブロックで、両方とも CPU インターフェースで制御されています。
- デモ・デザインには 3つのクロック・ドメインがあります。CORE_CLK、CPU_CLK、MAC_CLK です。
- クロック・ドメインの境界を越えてモード・ステータス・ビットが交換され、回路には 2DFF、データ MUX、FIFO などの数種類の同期方式があります。



Quartus® Prime
プロジェクトの作成

macnica

Quartus® Prime のプロジェクトの作成

- Questa CDC のインストールフォルダーのデザインを使用

- デザイン

- <インストールフォルダー>¥QFT¥V2021.3¥win64¥examples¥design_solutions¥tutorials¥cdc
- 上記パスの cdc フォルダーを丸ごとローカルにコピー
- Top File : demo_top.v
- 対応バージョンの Quartus® Prime でプロジェクトを作成

- Quartus® Prime プロジェクト

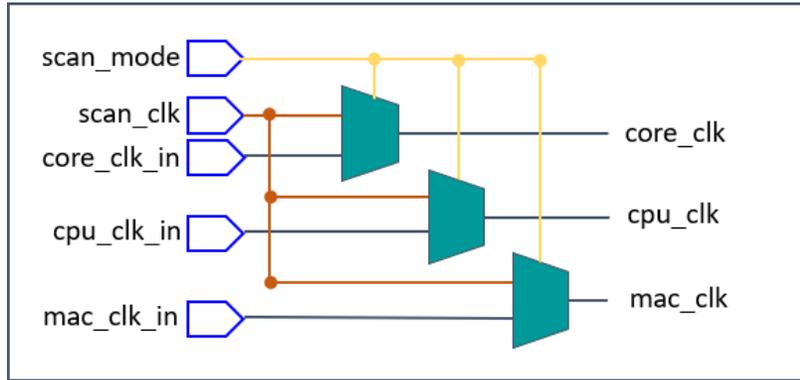
- cdc_c10gx_v201pro.qar (準備済みのプロジェクト)
- バージョン : v20.1 Pro エディション
- デバイス : Cyclone® 10 GX

- 対応 Quartus® Prime バージョン

- Pro エディションのみサポートされる (右図)

```
Quarta Verify 6> do cdc.tcl
# Warning : Unsupported FPGA. File: 'C:/WORK/kawa/QuestaCDC/sample_v171/c
#           : Version: '17.1.1' not supported for Library 'Quartus'.
#           Library:QUARTUS
#           Default version: QUARTUS 20.1_pro
#           Available pre-compiled versions for this library are:
#           19.2_pro, 19.3_pro, 19.4_pro, 20.1_pro
```

チュートリアル・デザインのクロック構成と SDC



デザインのクロック構成

create_clock

```
create_clock -name cpu_clk_in -period 50 [get_ports {cpu_clk_in}]
create_clock -name core_clk_in -period 60 [get_ports {core_clk_in}]
create_clock -name mac_clk_in -period 50 [get_ports {mac_clk_in}]
create_clock -name scan_clk -period 33.333 [get_ports {scan_clk}]
```

create_generated_clock

```
create_generated_clock -name cpu_clk_cpu_clk_in -source [get_ports {cpu_clk_in}] [get_pins {cpu_clk|combout}] -add
create_generated_clock -name cpu_clk_scan_clk -source [get_ports {scan_clk}] [get_pins {cpu_clk|combout}] -add
create_generated_clock -name core_clk_core_clk_in -source [get_ports {core_clk_in}] [get_pins {core_clk|combout}] -add
create_generated_clock -name core_clk_scan_clk -source [get_ports {scan_clk}] [get_pins {core_clk|combout}] -add
create_generated_clock -name mac_clk_mac_clk_in -source [get_ports {mac_clk_in}] [get_pins {mac_clk|combout}] -add
create_generated_clock -name mac_clk_scan_clk -source [get_ports {scan_clk}] [get_pins {mac_clk|combout}] -add
```

set_clock_groups

```
set_clock_groups -asynchronous \
-group {cpu_clk_in cpu_clk_cpu_clk_in} \
-group {core_clk_in core_clk_core_clk_in} \
-group {mac_clk_in mac_clk_mac_clk_in} \
-group {scan_clk cpu_clk_scan_clk core_clk_scan_clk mac_clk_scan_clk}
```

Option は -asynchronous のみが認識される

SDC 設定時の注意点

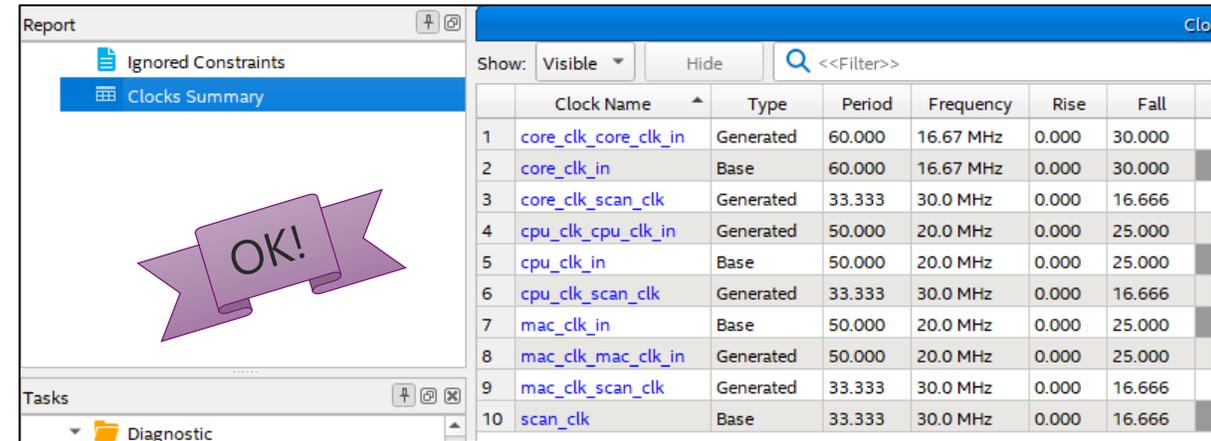
- **set_clock_groups** でサポートされるオプション
 - SDC で設定した非同期パスが認識されない件について
 - https://docs.sw.siemens.com/ja-JP/product/852852103/doc/DC202003126.docs.qverify_user.en_us/html/id31c48520-a89e-470b-a666-c1a89b40c4d5
 - set_clock_groups の オプションは、“-asynchronous” のみ認識され、-logically_exclusive などを使用すると同期と認識されるので注意！
- **set_case_analysis**
 - Quartus® Prime ではサポートされていません
 - <https://www.macnica.co.jp/business/semiconductor/support/faqs/intel/93593/>
 - Timing Analyzer ではエラーとなりますのでご注意ください

Quartus® Prime Timing Analyzer の確認

- SDC の不備を下記のレポートで確認

- Report Clocks

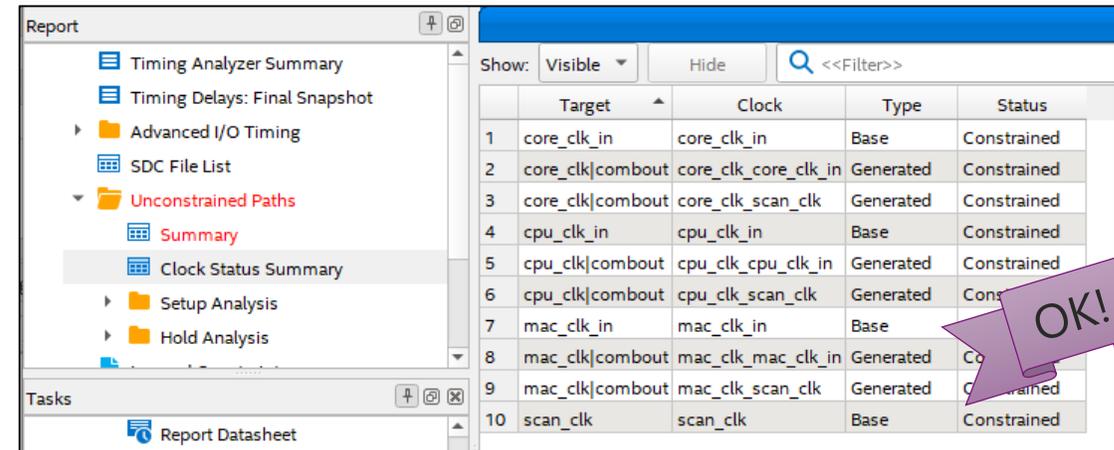
- クロック制約が入っていますか？



	Clock Name	Type	Period	Frequency	Rise	Fall
1	core_clk_core_clk_in	Generated	60.000	16.67 MHz	0.000	30.000
2	core_clk_in	Base	60.000	16.67 MHz	0.000	30.000
3	core_clk_scan_clk	Generated	33.333	30.0 MHz	0.000	16.666
4	cpu_clk_cpu_clk_in	Generated	50.000	20.0 MHz	0.000	25.000
5	cpu_clk_in	Base	50.000	20.0 MHz	0.000	25.000
6	cpu_clk_scan_clk	Generated	33.333	30.0 MHz	0.000	16.666
7	mac_clk_in	Base	50.000	20.0 MHz	0.000	25.000
8	mac_clk_mac_clk_in	Generated	50.000	20.0 MHz	0.000	25.000
9	mac_clk_scan_clk	Generated	33.333	30.0 MHz	0.000	16.666
10	scan_clk	Base	33.333	30.0 MHz	0.000	16.666

- Unconstrained Paths

- Clock Status Summary
- エラーになっているターゲットはないですか？



	Target	Clock	Type	Status
1	core_clk_in	core_clk_in	Base	Constrained
2	core_clk combout	core_clk_core_clk_in	Generated	Constrained
3	core_clk combout	core_clk_scan_clk	Generated	Constrained
4	cpu_clk_in	cpu_clk_in	Base	Constrained
5	cpu_clk combout	cpu_clk_cpu_clk_in	Generated	Constrained
6	cpu_clk combout	cpu_clk_scan_clk	Generated	Constrained
7	mac_clk_in	mac_clk_in	Base	Constrained
8	mac_clk combout	mac_clk_mac_clk_in	Generated	Constrained
9	mac_clk combout	mac_clk_scan_clk	Generated	Constrained
10	scan_clk	scan_clk	Base	Constrained

- Ignored Constraints

- 無視されている SDC はありますか？



Report
No constraints were ignored.

- 問題なければ、Quarta CDC で構造解析に進みます

Questa CDC に
FPGA プロジェクトを
インポート

MACNICA

Questa CDC で Quartus® Prime の FPGA プロジェクトをインポート



① QuestaLint を開くと、Visualizer が立ち上がる

② File ⇒ Import ⇒ Import FPGA Project

③ 空白欄に入力、Vendor は Intel を選択し、OK

Quartus® Prime FPGA プロジェクトのインポート

Project が Import された画面

Project : CDC

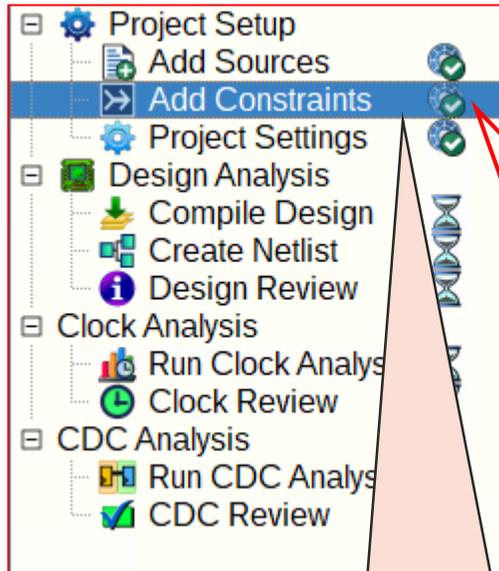
- Project Setup
 - Add Sources
 - Add Constraints
 - Project Settings
- Design Analysis
 - Compile Design
 - Create Netlist
 - Design Review
- Clock Analysis
 - Run Clock Analysis
 - Clock Review
- CDC Analysis
 - Run CDC Analysis
 - CDC Review

Navigator に沿って解析を進める

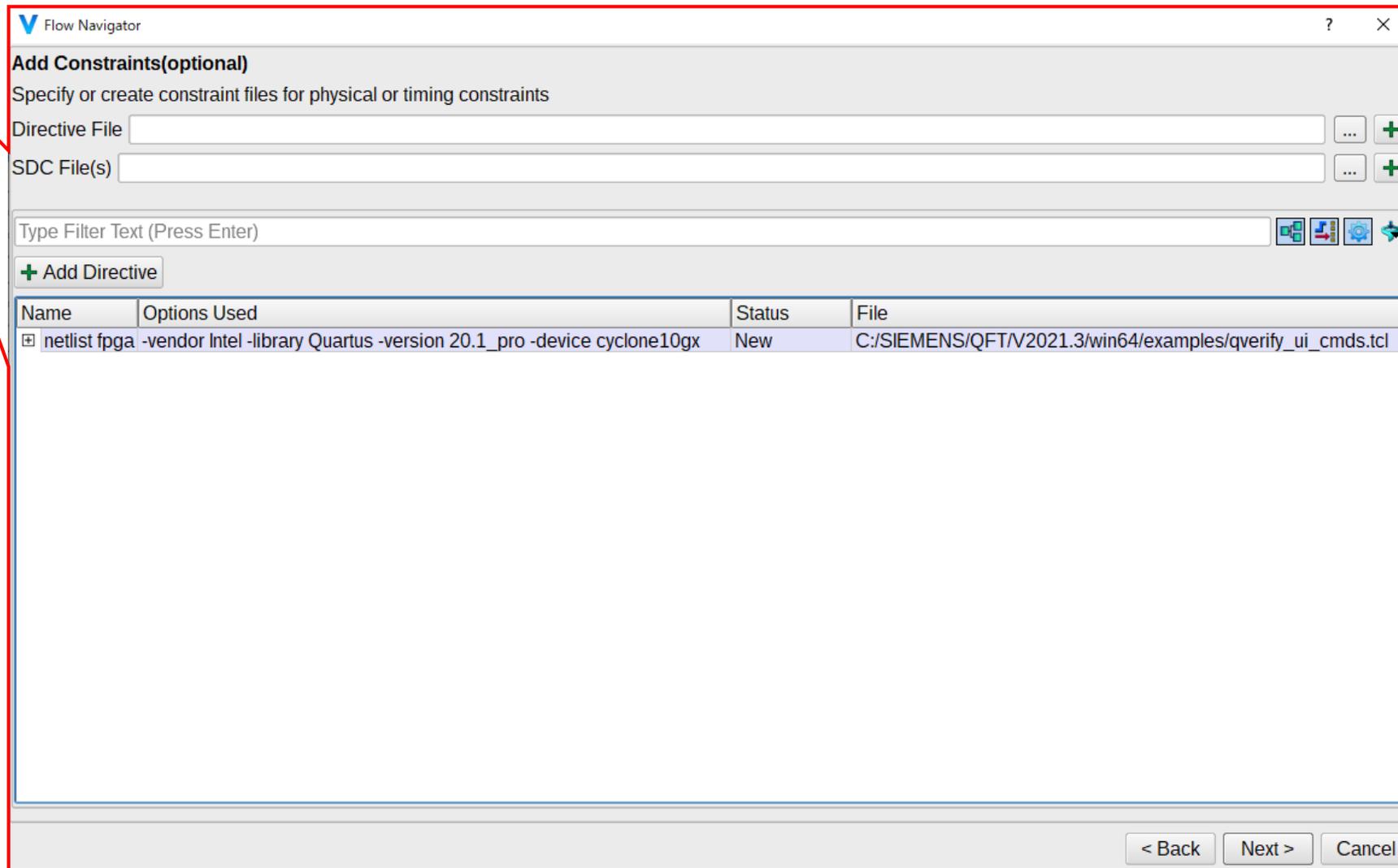
```
# Copyright (C) 1999-2021 by Mentor Graphics All rights reserved.

# visualizer +show_pi_drvr_rcvr +external_client +visbasestatic +PlatformEOL
# Successfully loading Flow Navigator XML:
#
# Questa Static Verification System
# Version 2021.3 4671322 win64 26-Jul-2021
#
# Copyright 1995-2021 Mentor Graphics Corporation.
# All Rights Reserved.
#
# THIS WORK CONTAINS TRADE SECRET AND PROPRIETARY INFORMATION
# WHICH IS THE PROPERTY OF MENTOR GRAPHICS CORPORATION OR ITS
# LICENSORS AND IS SUBJECT TO LICENSE TERMS.
#
# THIS DOCUMENT CONTAINS TRADE SECRETS AND COMMERCIAL OR FINANCIAL
# INFORMATION THAT ARE PRIVILEGED, CONFIDENTIAL, AND EXEMPT FROM
# DISCLOSURE UNDER THE FREEDOM OF INFORMATION ACT, 5 U.S.C. SECTION
# 552.  FURTHERMORE, THIS INFORMATION IS PROHIBITED FROM DISCLOSURE
# UNDER THE TRADE SECRETS ACT, 18 U.S.C. SECTION 1905.
#
Visualizer>
```

ADD Constraints (SDC 読み込み) (1/2)



Add Constraints をクリック



ADD Constraints (SDC 読み込み) (2/2)

The image shows two sequential screenshots of the 'Add Constraints' dialog in the Flow Navigator. The first screenshot shows the 'SDC File(s)' field with the path 'C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc' entered. The second screenshot shows the same dialog with the table of loaded constraints, where the content of the SDC file is reflected in the table rows. Callouts provide instructions for each step.

① SDC ファイルを設定

② 設定した SDC ファイルを反映

SDC File(s) C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc

Name	Options Used	Status	File
netlist fpga	-vendor Intel -library Quartus -version 20.1_pro -device cyclone10gx	New	C:/SIEMENS/QFTV/2021.3/win64/examples/qverify_ui_cmds.tcl

SDC File(s)

Name	Options Used	Status	File
netlist fpga	-vendor Intel -library Quartus -version 20.1_pro -device cyclone10gx	New	...EMENS/OFTV/2021.3/win64/examples/qverify_ui_cmds.tcl
create_clock	cpu_clk_in -name cpu_clk_in -period 50	New	C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc
create_clock	core_clk_in -name core_clk_in -period 60	New	C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc
create_clock	mac_clk_in -name mac_clk_in -period 50	New	C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc
create_clock	scan_clk -name scan_clk -period 33.333	New	C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc
create_generated_clock	cpu_clk.combout -name cpu_clk_cpu_clk_in -source cpu_clk_in -add	New	C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc
create_generated_clock	cpu_clk.combout -name cpu_clk_scan_clk -source scan_clk -add	New	C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc
create_generated_clock	core_clk.combout -name core_clk_core_clk_in -source core_clk_in -add	New	C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc
create_generated_clock	core_clk.combout -name core_clk_scan_clk -source scan_clk -add	New	C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc
create_generated_clock	mac_clk.combout -name mac_clk_mac_clk_in -source mac_clk_in -add	New	C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc
create_generated_clock	mac_clk.combout -name mac_clk_scan_clk -source scan_clk -add	New	C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc
set_clock_groups	...mac_clk_in} -group { scan_clk cpu_clk_scan_clk core_clk_scan_clk mac_clk_scan_clk } -asynchronous	New	C:/QuestaCDC/QP201p_c10gx_s2/demo_top.sdc

SDC ファイルの内容が反映

③ 「Next」で最後まで進み、「Finish」をクリックして終了

< Back Next > Cancel

Design Analysis

MACNICA

Compile Design

The screenshot shows the Visualizer - 2021.3 interface. The main window displays the Flow Navigator for a project named 'CDC'. The Flow Navigator is divided into several sections: Project Setup, Design Analysis, Clock Analysis, and CDC Analysis. The 'Compile Design' item under Design Analysis is highlighted with a blue background and a checkmark icon. A red box highlights the entire Flow Navigator window, and a callout bubble points to the 'Compile Design' item with the text: "ダブルクリックで実行 実行するとチェックが付く".

The Transcript window at the bottom shows the following output:

```
#
# -- Compiling module demo_top
#
# ** Warning: C:/QuestaCDC/QP201p_c10gx_s1/src/vlog/demo_top.v(1):
demo_top.v(1) will be overwritten.
#
# -- Compiling module crc_16_calc
#
# ** Warning: C:/QuestaCDC/QP201p_c10gx_s1/src/vlog/demo_top.v(418): (vlog-2275) Existing module 'crc_16_calc' at C:/WORK/kawa/QuestaCDC/QP201p_c10gx_s1/src/vlog/de
og/demo_top.v(418) will be overwritten.
#
#
# Top level modules:
#
#     tb
#
#     dff2_sync
#
# End time: 14:41:55 on Oct 19, 2021, Elapsed time: 0:00:00
#
# Errors: 0, Warnings: 6
#
Visualizer>
```

Create Netlist

Flow Navigator
Project : CDC

- Project Setup
 - Add Sources
 - Add Constraints
 - Project Settings
- Design Analysis
 - Compile Design
 - Create Netlist**
 - Design Review
- Clock Analysis
 - Run Clock Analysis
 - Clock Review
- CDC Analysis
 - Run CDC Analysis
 - CDC Review

ダブルクリックで実行

Visualizer - 2021.3

File Edit View Design Window Help

Design

Search: Type Search Text (Press Enter) Exact Hier Instance

Instance	Module	Design Unit Type	State Bits	Memory bits
demo_top (3)	demo_top	Top Module	302	512
crc_1	crc_16_calc	Module	24	0
fifo_0_h (1)	generic_fifo_dc_gray	Module	80	256
u0	dpmem2clk	Module	8	256
fifo_1_d (1)	generic_fifo_dc_gray	Module	80	256
u0	dpmem2clk	Module	8	256

```
1 module demo_top (mac_clk_in,  
2 core_clk_in,  
3 cpu_clk_in,  
4 rst,  
5 clr,  
6 din,  
7 we,  
8 we_1,  
9 cpu_addr,  
10 cs,  
11 cpu_data,  
12 init_done_in,  
13 hdrin,  
14 full,  
15 full_1,  
16 pass,  
17 pass_valid,  
18 crc_16,  
19 rx_payload_en,  
20 rx_masked_data,  
21 rx_mask_en,  
22 rx_pass,
```

Flow Navigator Design Message Viewer

Filter: Type here Status: W F P ? B V Severity: [Icons]

No data to display

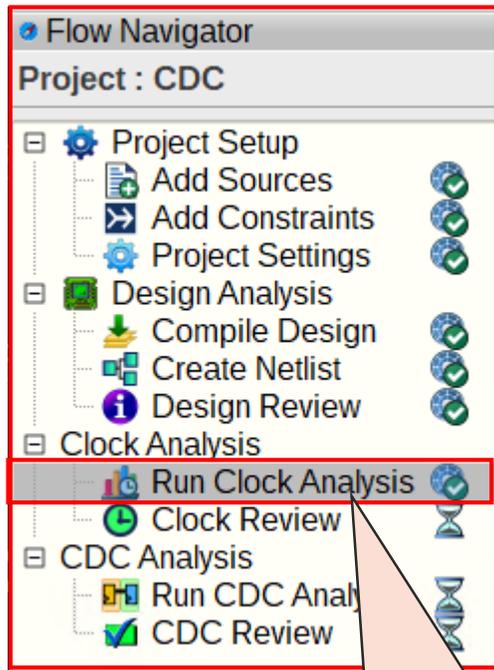
Transcript Message Viewer

何もエラーがなければ「Design」タブ、「Message Viewer」タブ、ソースが表示されます。

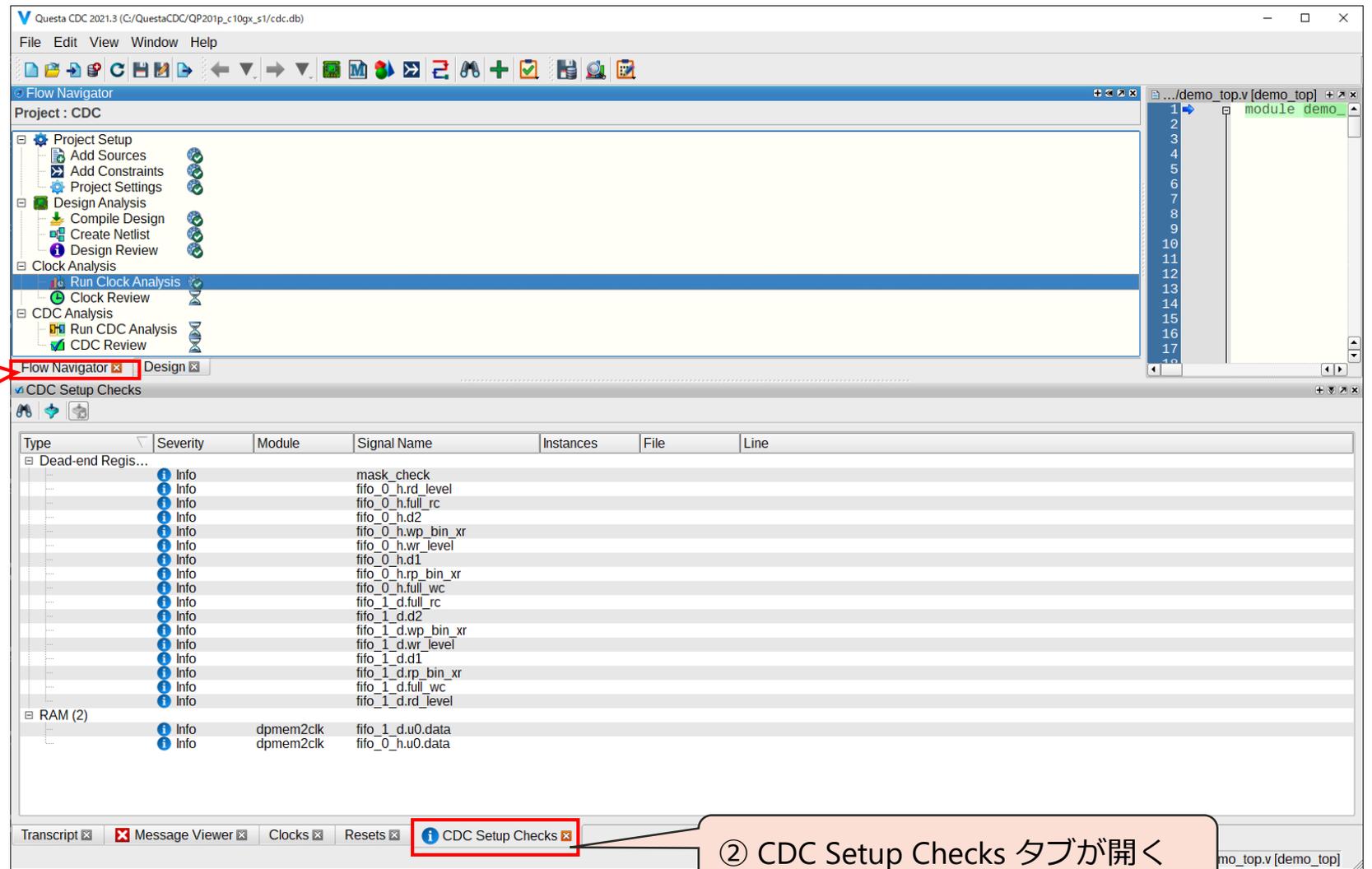
Running Clock Analysis

macnica

Run Clock Analysis



① ダブルクリックで実行



② CDC Setup Checks タブが開く

Review Message and Setup Checks

macnica

Clock Review

Flow Navigator
Project : CDC

- Project Setup
 - Add Sources
 - Add Constraints
 - Project Settings
- Design Analysis
 - Compile Design
 - Create Netlist
 - Design Review
- Clock Analysis
 - Run Clock Analysis
 - Clock Review**
- CDC Analysis
 - Run CDC Analysis
 - CDC Review

ダブルクリックで実行

Questa CDC 2021.3 (C:/QuestaCDC/QP201p_c10gx_s1/cdc.db)

File Edit View Message Viewer Window Help

Flow Navigator
Project : CDC

- Project Setup
 - Add Sources
 - Add Constraints
 - Project Settings
- Design Analysis
 - Compile Design
 - Create Netlist
 - Design Review
- Clock Analysis
 - Run Clock Analysis
 - Clock Review
- CDC Analysis
 - Run CDC Analysis
 - CDC Review

Flow Navigator x Design x

Message Viewer
Filter: Type here Status: W F P ? B V Severity: [Icons]

Status-Severity-Type	Phase	Message	Comment	Owner	Reviewer	File
Uninspected (25)						
Error (2)						
hdl-41 (2)						
	cdc	Primary port connects to multiple clock domains. Pin 'clr', Direction 'input'. CDC crossing to and from primary port will be ignored.				
	cdc	Primary port connects to multiple clock domains. Pin 'rst', Direction 'input'. CDC crossing to and from primary port will be ignored.				
Warning (19)						
Info (4)						

Transcript x Message Viewer x Clocks x Resets x CDC Setup Checks x CDC Checks x

.../demo_top.v [demo_top]

hdl-41 エラーは、複数のクロック・ドメインを駆動するポートを示します。このエラーは、この入力ポートに制約が必要であることを示しています。ステータス制約を指定して、エラー、警告、または情報メッセージを放棄することができます。

CDC Setup Checks

Questa CDC 2021.3 (C:/QuestaCDC/QP201p_c10gx_s2/cdc/cdc.db)

File Edit View CDC Setup Checks Window Help

Flow Navigator

Project : demo_top

- Project Setup
 - Add Sources
 - Add Constraints
 - Project Settings
- Design Analysis
 - Compile Design
 - Create Netlist
 - Design Review
- Clock Analysis
 - Run Clock Analysis
 - Clock Review
- CDC Analysis
 - Run CDC Analysis
 - CDC Review

```
1 module demo_Top (mac_clk_in,  
2 core_clk_in,  
3 cpu_clk_in,  
4 rst,  
5 clr,  
6 din,  
7 we,  
8 we_1,  
9 cpu_addr,  
10 cs,  
11 cpu_data,  
12 init_done_in  
13 hdrin,  
14 full,  
15 full_1,  
16 pass,  
17 pass_valid,  
18 crc_16,  
19 rx_payload_e  
20 rx_masked_d
```

② Dead-end Registers を展開

Type	Severity	Module	Signal Name	Instances	File	Line
Dead-end Registers (17)						
Info	Info		mask_check			
Info	Info		fifo_0_h.rd_level			
Info	Info		fifo_0_h.full_rc			
Info	Info		fifo_0_h.d2			
Info	Info		fifo_0_h.wp_bin_xr			
Info	Info		fifo_0_h.wr_level			
Info	Info		fifo_0_h.d1			
Info	Info		fifo_0_h.rp_bin_xr			
Info	Info		fifo_0_h.full_wc			
Info	Info		fifo_1_d.full_rc			
Info	Info		fifo_1_d.d2			
Info	Info		fifo_1_d.wp_bin_xr			
Info	Info		fifo_1_d.wr_level			
Info	Info		fifo_1_d.d1			
Info	Info		fifo_1_d.rp_bin_xr			
Info	Info		fifo_1_d.full_wc			
Info	Info		fifo_1_d.rd_level			
RAM (2)						

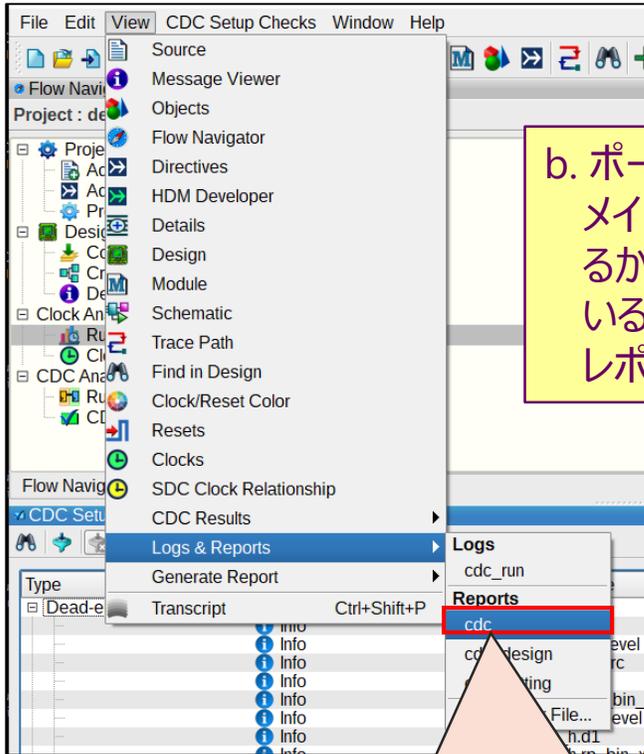
Transcript Message Viewer Clocks Resets CDC Setup Checks CDC Checks

.../demo_top.v [demo_top]

Dead-end Registers タイプは、出力ポートに伝播しない Register を示します。合成の最適化によって削除されることが予想され、CDC 分析中に検証されません。マルチモード・デザインのモードが無効になっているためにこれらの Register が無効になっている場合は、モーダル解析を実行する必要があります。

① CDC Setup Checks タブ を選択

CDC Report



b. ポートがそれぞれのクロック・ドメインに正しく割り当てられているか、非同期として宣言されているかを確認するには、CDC レポート cdc.rpt を確認します。

• View ⇒ Log & Reports ⇒ cdc

• もしくは、 アイコンからCDC を選択して cdc.rpt を開きます。

Text Viewer (cdc.rpt)

Find: Type search text here <Ctrl+E>

```
293
294
295 =====
296 Section 10 : Port Domain Information
297 =====
298 Port          Direction  Constraints  Clock Domain      Type
299 -----
300 mac_clk_in    input      Clock        { Group_mac_clk_in }  User
301 core_clk_in   input      Clock        { Group_core_clk_in } User
302 cpu_clk_in    input      Clock        { Group_cpu_clk_in }  User
303 rst           input      Reset        { core_clk mac_clk cpu_clk }  Questa CDC
304 clr           input      Reset        { core_clk mac_clk }      Questa CDC
305 din           input      { core_clk }  Questa CDC
306 we            input      { core_clk }  Questa CDC
307 we_1         input      { core_clk }  Questa CDC
308 cpu_addr     input      { cpu_clk }   Questa CDC
309 cs            input      { cpu_clk }   Questa CDC
310 cpu_data     input      { cpu_clk }   Questa CDC
311 init_done_in input      { cpu_clk }   Questa CDC
312 hdrin        input      { core_clk }  Questa CDC
313 scan_mode    input      { <undef> }   Questa CDC
314 scan_clk     input      Clock        { Group_scan_clk }     User
315 full         output     { core_clk }  Questa CDC
316 full_1      output     { core_clk }  Questa CDC
317 pass        output     { mac_clk }   Questa CDC
318 pass_valid  output     { mac_clk }   Questa CDC
319 crc_16      output     { mac_clk }   Questa CDC
320 rx_payload_en output     { mac_clk }   Questa CDC
321 rx_masked_data output     { mac_clk }   Questa CDC
322 rx_mask_en  output     { mac_clk }   Questa CDC
323 rx_pass     output     { mac_clk }   Questa CDC
324 rx_check    output     { mac_clk }   Questa CDC
325
```

c. <undef> ドメインが割り当てられているクロックポートを調べる必要があります。本チュートリアルでは、既に SDC が設定済で特にありませんので先に進みます。
※チュートリアルでは、scan_clk ポートが <undef> クロック・ドメインになります。

Analyzing Clocks

MACNICA

Clocks タブ

Clock Groups	Signal	Expression	Register Bits	Latch Bits	Power Domain	SDC Name
Total Clock Groups (7)						
Specified (4)						
Group_scan_clk (1)			0	0		
scan_clk	scan_clk					scan_clk
Group_mac_clk_in (1)			0	0		
mac_clk_in	mac_clk_in					mac_clk_in
Group_core_clk_in (1)			0	0		
core_clk_in	core_clk_in					core_clk_in
Group_cpu_clk_in (1)			0	0		
cpu_clk_in	cpu_clk_in					cpu_clk_in
Inferred (3)						
Primary Port (0)						
Black Box (0)						
Undriven (0)						
Gated Mux (3)						
mac_clk (1)			148	0		
mac_clk	mac_clk	(scan_mode ? scan_clk : mac_clk_in)				
fifo_1_d.rd_clk	fifo_1_d.rd_clk					
fifo_1_d.u0.Rclk	fifo_1_d.u0.Rclk					
fifo_0_h.rd_clk	fifo_0_h.rd_clk					
fifo_0_h.u0.Rclk	fifo_0_h.u0.Rclk					
crc_1.clk	crc_1.clk					
core_clk (1)			119	0		
core_clk	core_clk	(scan_mode ? scan_clk : core_clk_in)				
fifo_1_d.wr_clk	fifo_1_d.wr_clk					
fifo_1_d.u0.Wclk	fifo_1_d.u0.Wclk					
fifo_0_h.wr_clk	fifo_0_h.wr_clk					
fifo_0_h.u0.Wclk	fifo_0_h.u0.Wclk					
cpu_clk (1)						
cpu_clk	cpu_clk	(scan_mode ? scan_clk : core_clk_in)				
Gated Combo (0)						
Ignored (0)						

Transcript x Message Viewer x **Clocks** x Resets x CDC Setup

予期しないクロックが検出された場合は、そのクロックを解析する必要があります。クロックが宣言されていない場合、Inferred（推定）のカテゴリの下にリストされます。

クロック分析を実行すると、デザインのクロックが自動的に検出されます。クロックをデザイン・レジスタからトレースバックし、クロックがゲート、MUX、またはブラックボックス化されたコンポーネントを通過しない限り、デザイン・クロック・ソースを識別します。

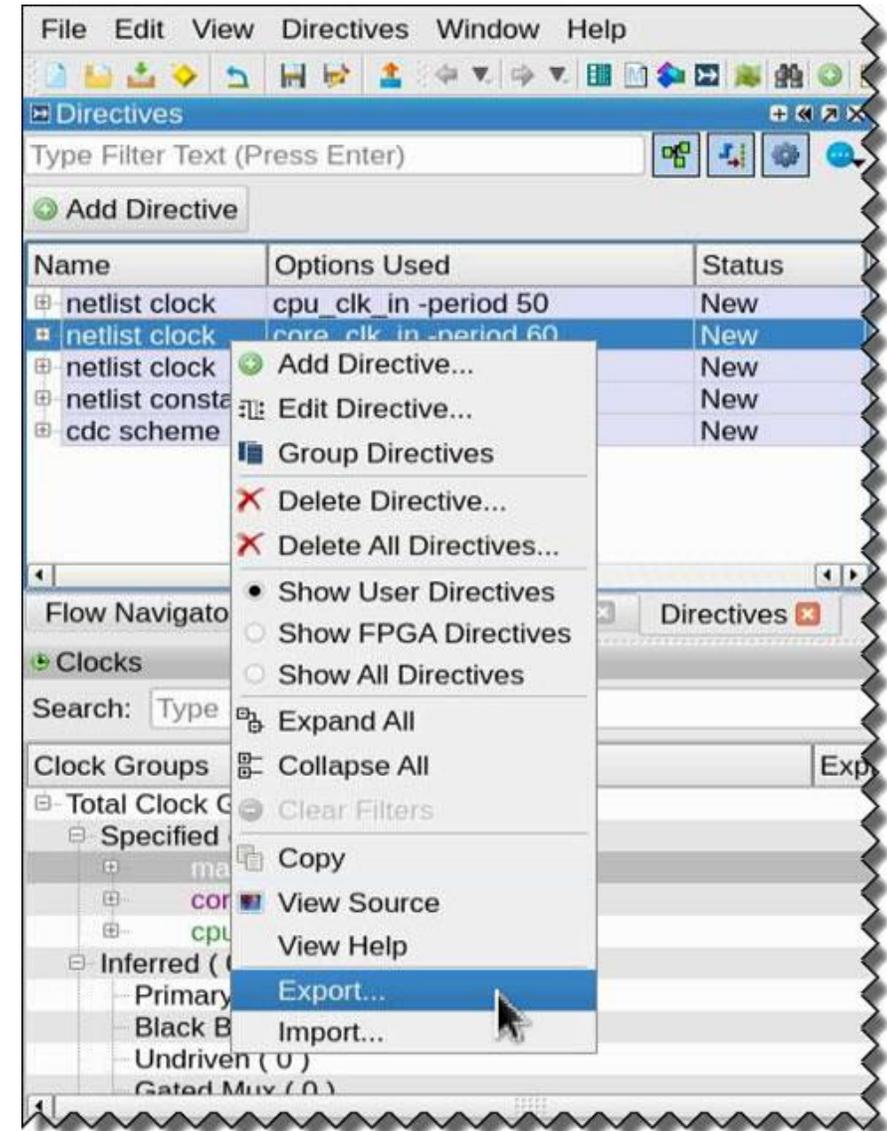
この例では、SDC で設定している Port の制約のみが識別されています。

Exporting Constraints

macnica

Exporting Constraints

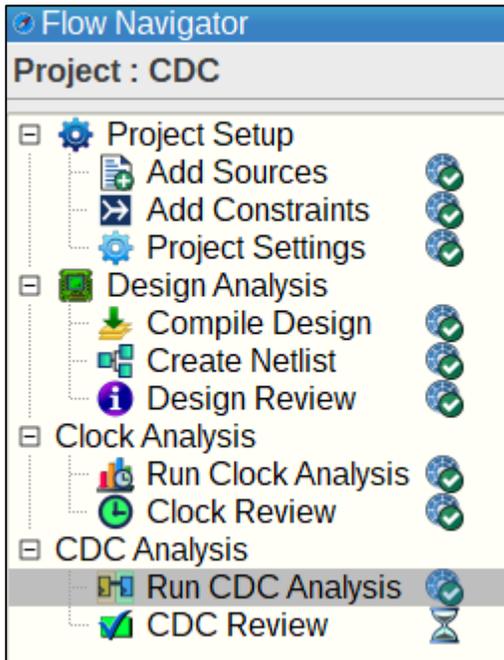
- Directive タブからエクスポートができます



Running CDC Analysis

macnica

Run CDC Analysis



Status-Severity-Check	TX Signal	RX Signal	ID	TX Clock	RX Clock	TX Module	RX Module	Mess
Uninspected (20)								
Violation (6)								
Combinational logic before synchronizer (2)	err_thrs	check_en_r1	combo_logic...	cpu_clk	mac_clk	demo_top	demo_top	
	pass_en[1]	check_en_r1	combo_logic...	cpu_clk	mac_clk	demo_top	demo_top	
Multiple-bit signal across clock domain boundary (1)								
Single-bit signal does not have proper synchronizer (3)	crc_seed[7:1]	crc_1.crc_16	multi_bits_76...	cpu_clk	mac_clk	demo_top	crc_16_calc	
	init_done	tx_en	no_sync_2628	cpu_clk	core_clk	demo_top	demo_top	
	init_done	tx_mask_valid	no_sync_31547	cpu_clk	core_clk	demo_top	demo_top	
	init_done	tx_state[0]	no_sync_47305	cpu_clk	core_clk	demo_top	demo_top	
Caution (4)								
DMUX synchronization (2)	fstp[7:1]	crc_1.scramble	dmux_30303	cpu_clk	mac_clk	demo_top	crc_16_calc	
	tx_mask_d	mask	dmux_12402	core_clk	mac_clk	demo_top	demo_top	
FIFO memory synchronization (2)								
	fifo_0_h.u0.data	fifo_0_h.u0.o...	fifo_memory_...	core_clk	mac_clk	dpmem2clk	dpmem2clk	
	fifo_1_d.u0.data	fifo_1_d.u0.o...	fifo_memory_...	core_clk	mac_clk	dpmem2clk	dpmem2clk	
Evaluation (10)								
Multiple-bit signal synchronized by DFF synchronizer (4)	fifo_0_h.rp_gray	fifo_0_h.rp_s1	bus_two_dff_...	mac_clk	core_clk	generic_fifo_...	generic_fifo_...	
	fifo_0_h.wp_...	fifo_0_h.wp_s1	bus_two_dff_...	core_clk	mac_clk	generic_fifo_...	generic_fifo_...	
	fifo_1_d.rp_gray	fifo_1_d.rp_s1	bus_two_dff_...	mac_clk	core_clk	generic_fifo_...	generic_fifo_...	
	fifo_1_d.wp_...	fifo_1_d.wp_s1	bus_two_dff_...	core_clk	mac_clk	generic_fifo_...	generic_fifo_...	
Pulse Synchronization (1)								
	tx_en	tx_en_r1	pulse_sync_1...	core_clk	mac_clk	demo_top	demo_top	
Single-bit signal synchronized by DFF synchronizer (5)								
	init_done	init_done_r1	two_dff_5840	cpu_clk	mac_clk	demo_top	demo_top	
	pass_en[0]	pass_en0_r1	two_dff_81824	cpu_clk	mac_clk	demo_top	demo_top	
	tx_eop	tx_eop_r1	two_dff_54238	core_clk	mac_clk	demo_top	demo_top	
	tx_mask_valid	tx_mask_vali...	two_dff_52495	core_clk	mac_clk	demo_top	demo_top	
	tx_sop	tx_sop_r1	two_dff_11314	core_clk	mac_clk	demo_top	demo_top	

Transcript | Message Viewer | Clocks | Resets | CDC Setup Checks | CDC Checks

これらのタイプの Crossing の定義は次のとおりです。

- Violations : シンクロナイザー構造が欠落しているか正しくないこれらの CDC パスで Metastability が発生します。
- Caution : 同期構造は正しいですが、Metastability になる可能性があります。

これらは複雑なシンクロナイザーであり、CDC プロトコルに違反すると、データの損失、データの破損、または Metastability が発生する可能性があります。

- Evaluations : 正しい同期構造で、Metastability は起こり得ません。CDC プロトコルに違反すると、データの損失またはデータの破損が発生する可能性があります。
- Proven : 同期構造が正しく、プロトコルが正しいことが確認されています。したがって、Metastability、データ損失、またはデータ破損は発生しません。

Reviewing CDC Analysis Results

macnica

CDC Checks

Status-Severity-Check	TX Signal	RX Signal	ID	TX Clock	RX Clock	TX Module	RX Module	Message	Reviewers
Uninspected (20)									
Violation (6)									
Combinational logic before synchronizer (2)									
Multiple-bit signal across clock domain boundary (1)	err_thrs	check_en_r1	combo_logic...	cpu_clk	mac_clk	demo_top	demo_top		
Single-bit signal does not have proper synchronizer (3)	pass_en[1]	check_en_r1	combo_logic...	cpu_clk	mac_clk	demo_top	demo_top		
DMUX synchronization (2)	crc_se	crc_1.crc_16	multi_bits_76...	cpu_clk	cpu_clk				
FIFO memory synchronization (2)	fstp[7:1]	crc_1.scramble	dmux_30303	cpu_clk	core_clk				
	tx_mask_d	mask	dmux_12402	cpu_clk	core_clk				
	fifo_0_h.u0.data	fifo_0_h.u0.o...	fifo_memory_...	cpu_clk	core_clk				

① 「Message」タブで解析したい Path を右クリック

② Path にポインタを重ねると詳細情報が現れる

③ Module を選択して右クリックで更にメニューが現れる

Violation の Path は「Messages」タブから Schematic、更にソースにジャンプしながら解析できます。

Debug the CDC path violations

- 1. 正しくない、欠落している構造を追加する
- 2. 制約を指定する
 - 例えば、stable 構成 Register は cdc signal-stable ディレクティブで指定できます。
 - 利用可能な設計上の制約：
 - netlist constant : 定数を定義
 - cdc signal -gray_coded : グレイコード信号を定義
 - cdc signal -mutually_exclusive : 相互に排他的な信号を定義
 - 使用可能なディレクティブの完全なリストについては、コマンド・リファレンス・ガイド (Help ⇒ Command Reference) を参照してください。
- 3. シンクロナイザーが不要な例外的な場合には、waiver を適用する

Help Documentation

The image shows a design tool interface with three main components:

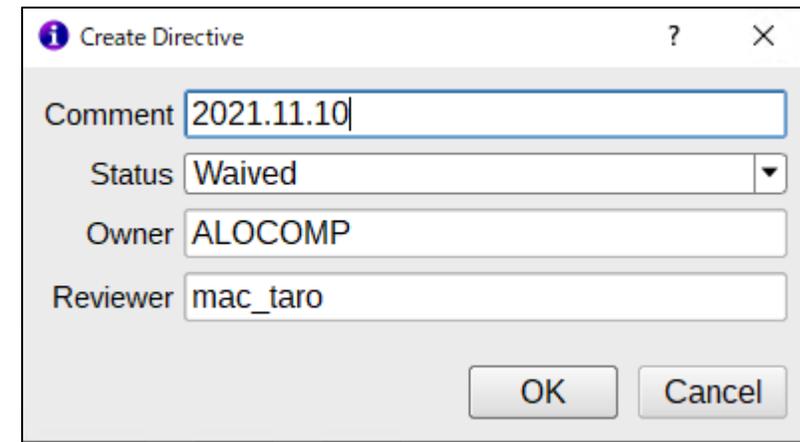
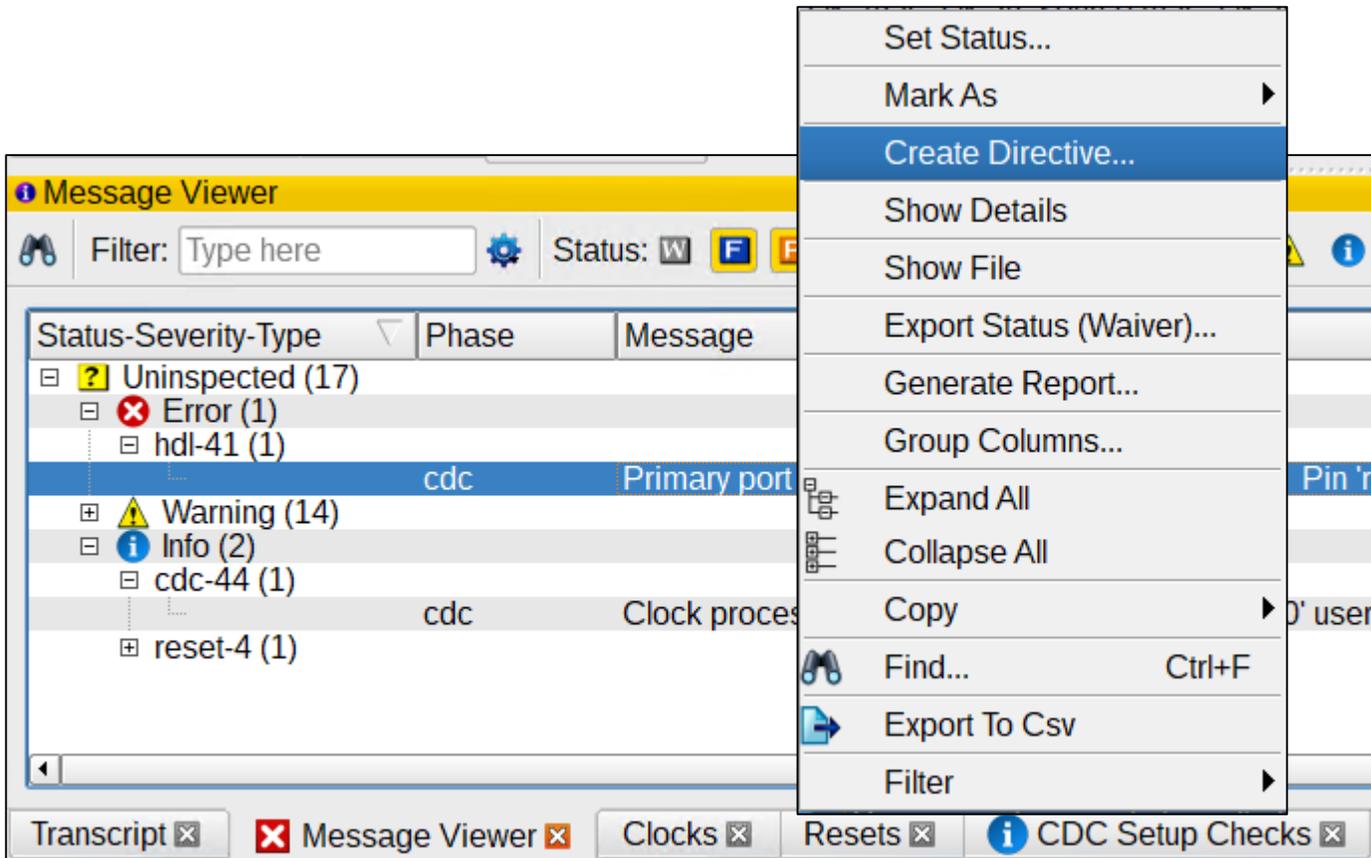
- Code Editor:** Displays Verilog code. A context menu is open over a line of code, with the 'Help' option highlighted. A callout box points to it with the text: ② Help をクリック
- CDC Checks Panel:** Located at the bottom left, it shows a list of checks. One path is selected, and a callout box points to it with the text: ① 「Message」タブで解析したい Path を右クリック
- Help Window:** A window titled 'Questa® CDC User Guide' is open, showing the 'combo_logic' section. It includes a diagram of a signal path from a Tx Clock Domain through combinational logic to a synchronizer in an Rx Clock Domain. Below the diagram is a detailed text explanation of the issue and how to address it. A callout box points to the text with the text: Violation の詳細説明を確認

Creating and Applying Waivers

macnica

Creating and Applying Waivers

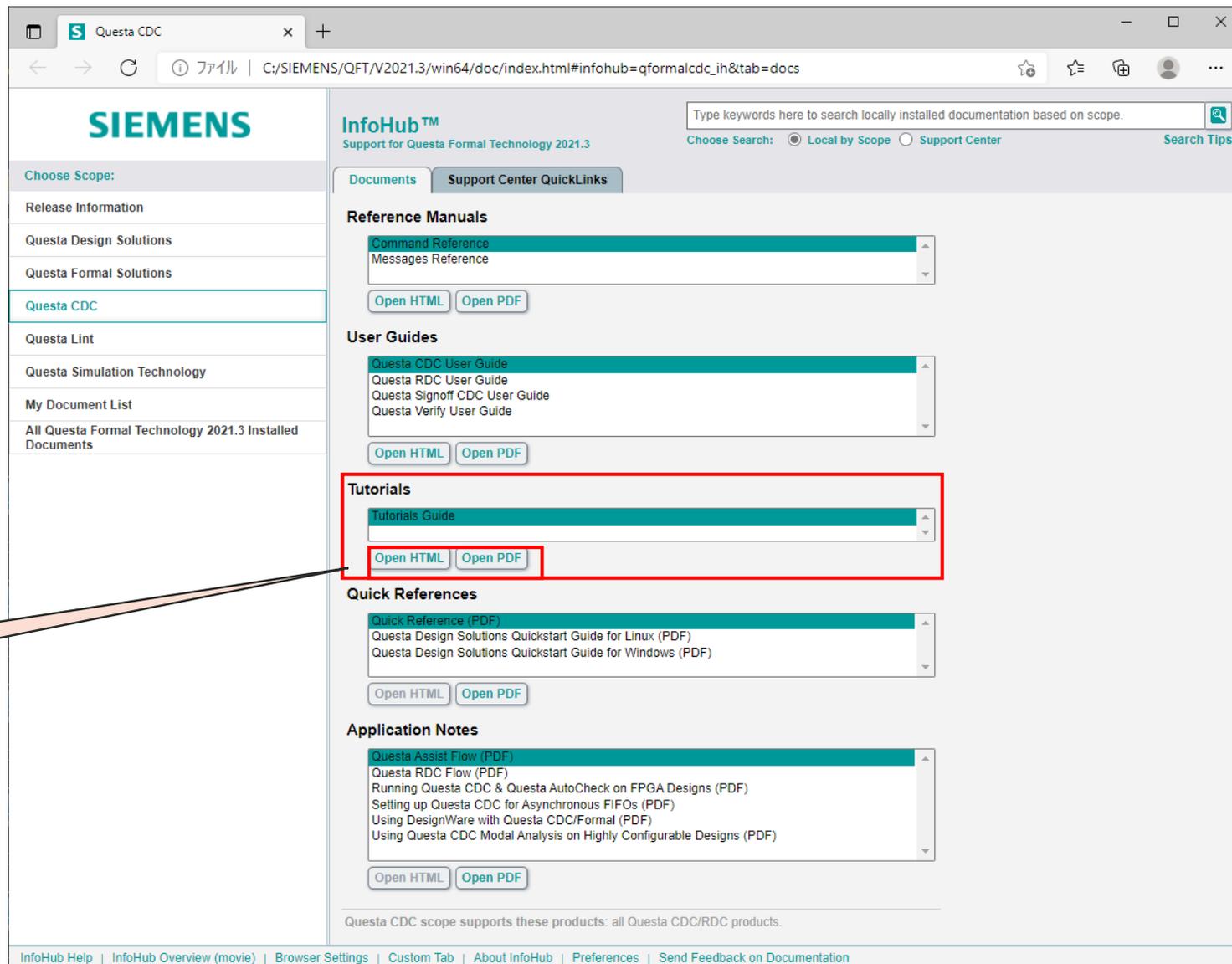
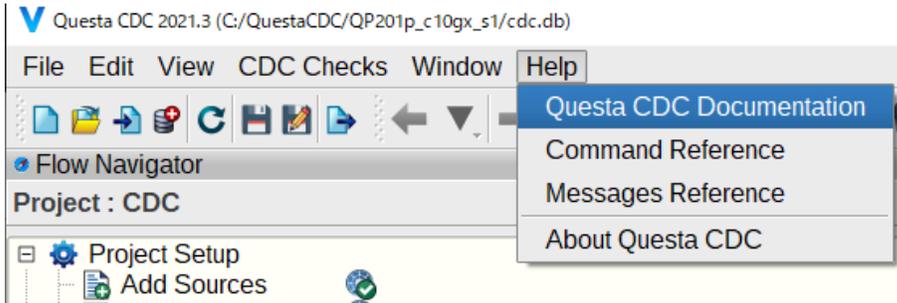
CDC 違反を確認するときに、CDC シンクロナイザーは不要であると判断する場合があります。これらの CDC パスの例外ケースには、数クロック後にサンプリングされる Status 信号のような Metastability 防止が不要な信号が含まれる場合があります。そのような crossing には waiver（免除）を作成して、結果を並べ替え、潜在的な問題にフォーカスすることができます。



Appendix

macnica

SIEMENS のチュートリアルを開く



どちらかで開き、
確認しながら進めることができます。

macnica