

# Radiant Tool Seminar

**macnica**

株式会社マクニカ テクスターカンパニー

# はじめに

## Today's Goal : Lattice Radiant Tool の大まかな設計フローを理解する



XO5-NX評価ボード

X

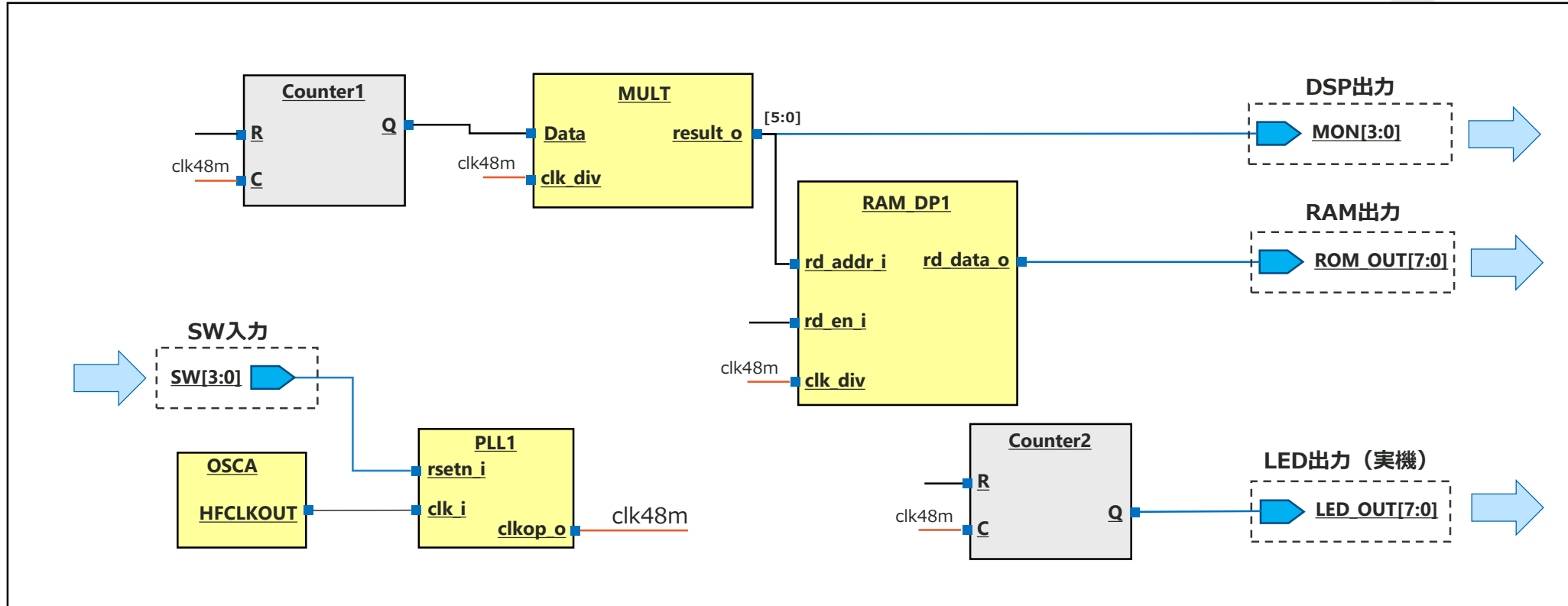


設計ツールRadiant

- プロジェクト生成
- IP生成 ( PLL / ROM / MULT )
- 内臓オシレーター(OSC)をRTLへ直接インスタンス
- ModelSim シミュレーション
- Strategy 設定の変更
- タイミング制約とピン配置の設定
- 配置配線後(PAR後)のReport確認
- プログラミングデータファイルの生成と、FPGA書き込み
- 内部ノード観測ツール Reveal

# セミナーデモデザイン詳細

## ● RTLモジュール簡易構成



### PLL モジュール

- ・クロックの分周逡倍が可能

### RAM モジュール

- ・メモリを構成

### MULT モジュール

- ・DSPによる乗算

### OSCA モジュール

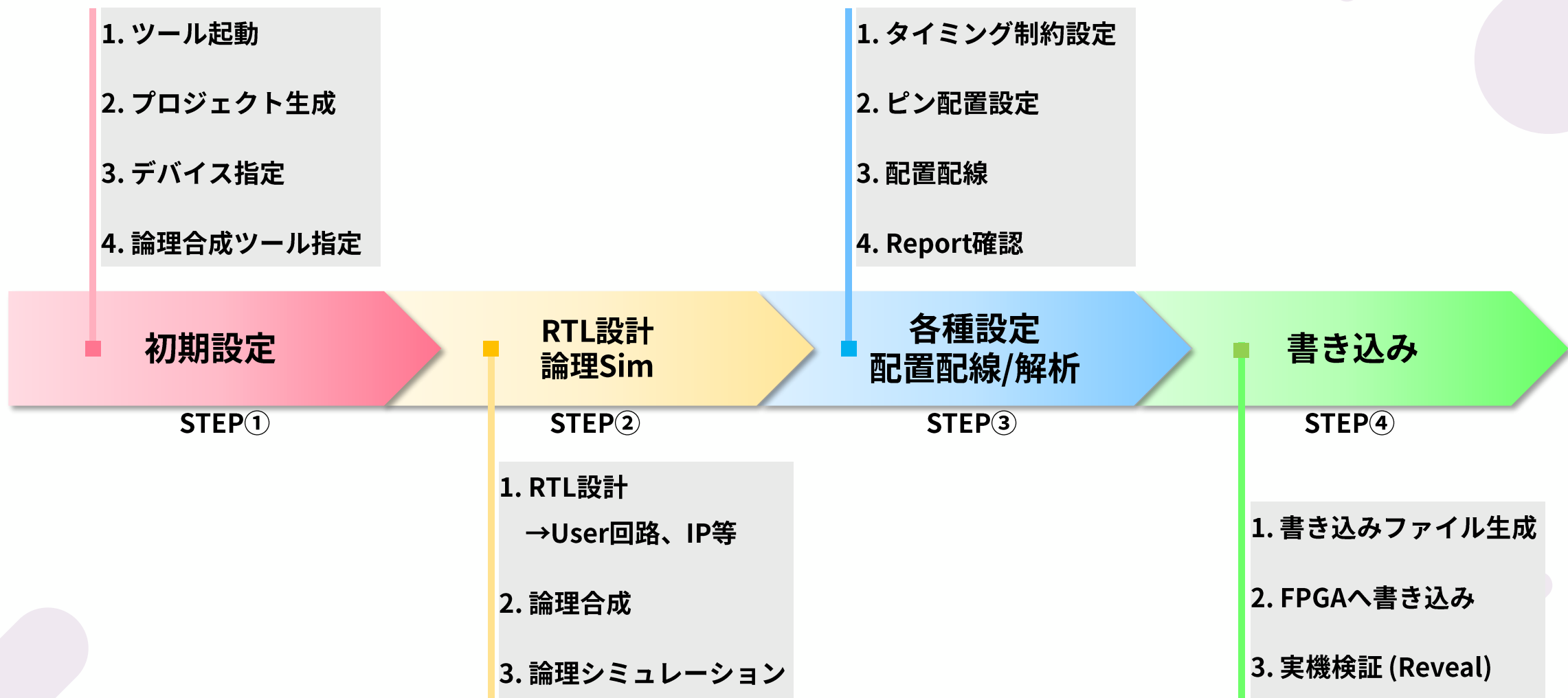
- ・内臓クロック出力
- ・±7%の精度

# Radiant 概要

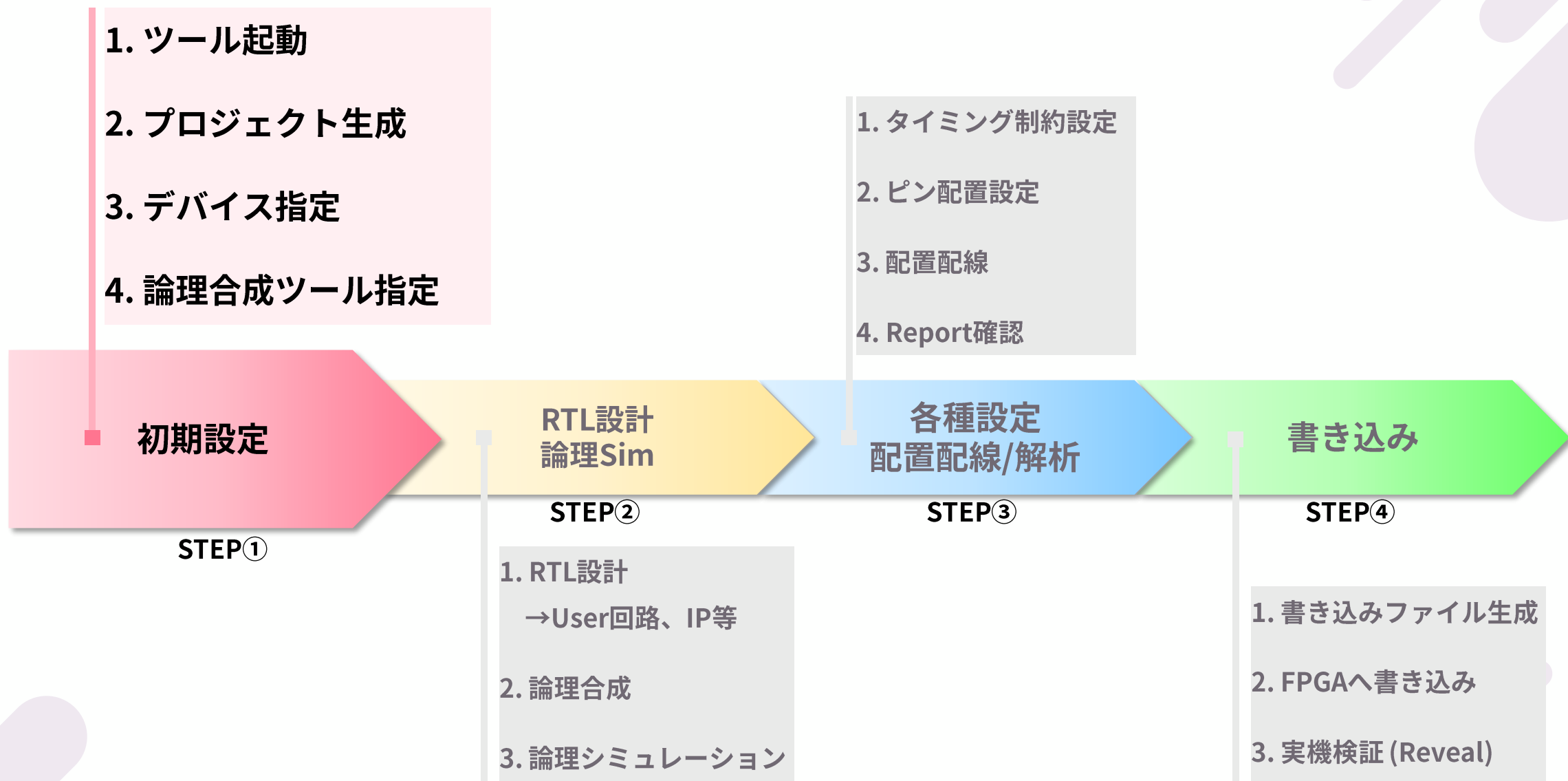
## Design Tools Device Support & Licensing

|                       |                 |  LATTICE<br>RADIANT<br>DESIGN SOFTWARE |                                                              |  LATTICE<br>DIAMOND<br>DESIGN SOFTWARE |                                    |  LATTICE<br>PROPEL |
|-----------------------|-----------------|--------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------|------------------------------------|-------------------------------------------------------------------------------------------------------|
|                       |                 | Radiant<br>Subscription                                                                                                  | Radiant-RT<br>Subscription                                   |                                                                                                                           | Diamond<br>Subscription            |                                                                                                       |
| Ordering Part Number  | Free            | LSC-SW-RADIANT                                                                                                           | LSC-SW-RADIANT-RT                                            | Free                                                                                                                      | LSC-SW                             | Free                                                                                                  |
| Video<br>Connectivity | CrossLink-NX    | CrossLink-NX                                                                                                             | CrossLink-NX                                                 | CrossLink<br>CrossLinkPlus                                                                                                | CrossLink<br>CrossLinkPlus         | CrossLink-NX                                                                                          |
| General<br>Purpose    | Certus-NX       | CertusPro-NX<br>Certus-NX                                                                                                | CertusPro-NX<br>Certus-NX<br>CertusPro-NX-RT<br>Certus-NX-RT | ECP5                                                                                                                      | ECP5<br>ECP5U/M<br>ECP3            | CertusPro-NX<br>Certus-NX<br>CertusPro-NX-RT<br>Certus-NX-RT                                          |
| Control &<br>Security |                 | MachXO5-NX                                                                                                               | MachXO5-NX                                                   | Mach-NX<br>MachXO3D<br>MachXO3/XO2                                                                                        | Mach-NX<br>MachXO3D<br>MachXO3/XO2 | MachXO5-NX<br>Mach-NX<br>MachXO3D<br>MachXO3/XO2                                                      |
| Ultra Low<br>Power    | iCE40 UltraPlus | iCE40 UltraPlus                                                                                                          | iCE40 UltraPlus                                              |                                                                                                                           |                                    |                                                                                                       |

# Radiantの開発プロセス

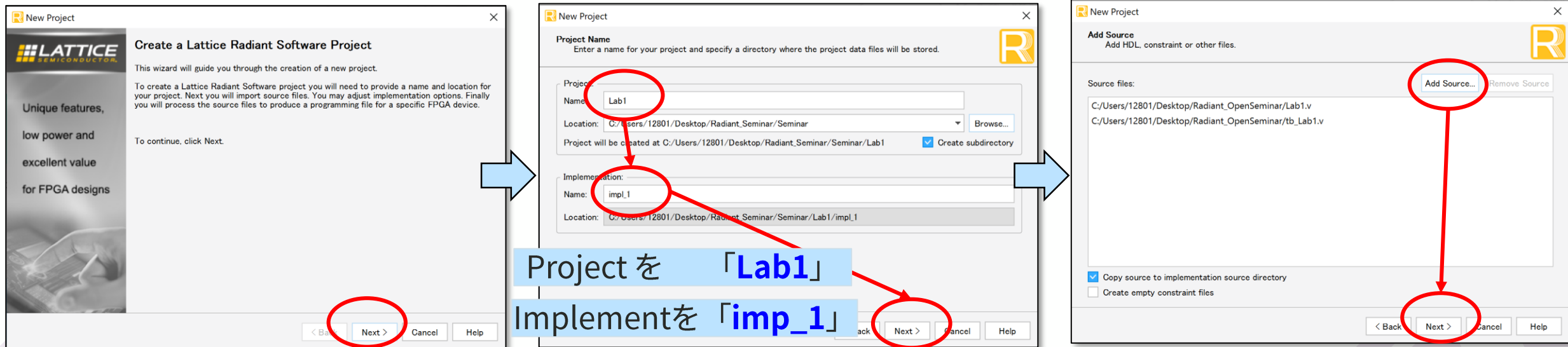


# Radiant の開発プロセス



# 1 プロジェクト生成-ソースコード、テストベンチ追加

- ①ツールを起動し、New Project をクリック
- ②ポップアップの NEXT をクリック
- ③New Project > Project Name 内で、各種設定を行い、NEXT
- ④Source File 内の Add Source をクリックし、配布した「Lab1.v、tb\_Lab1.v」を追加
- ⑤ファイルを追加後に、NEXT クリック

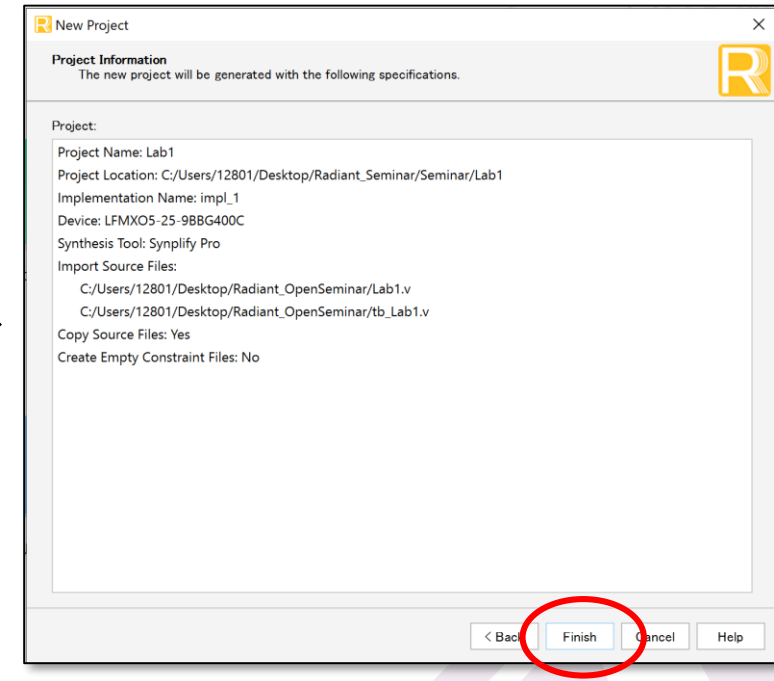
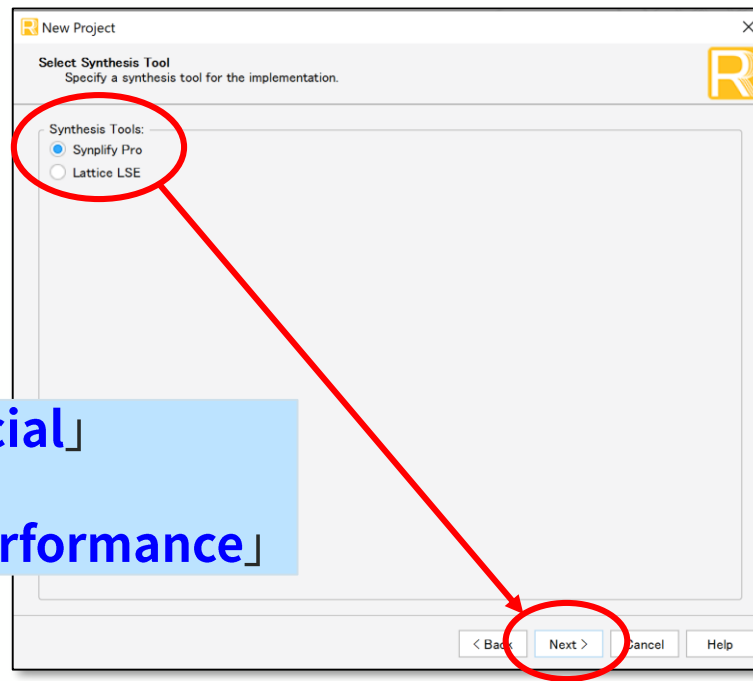
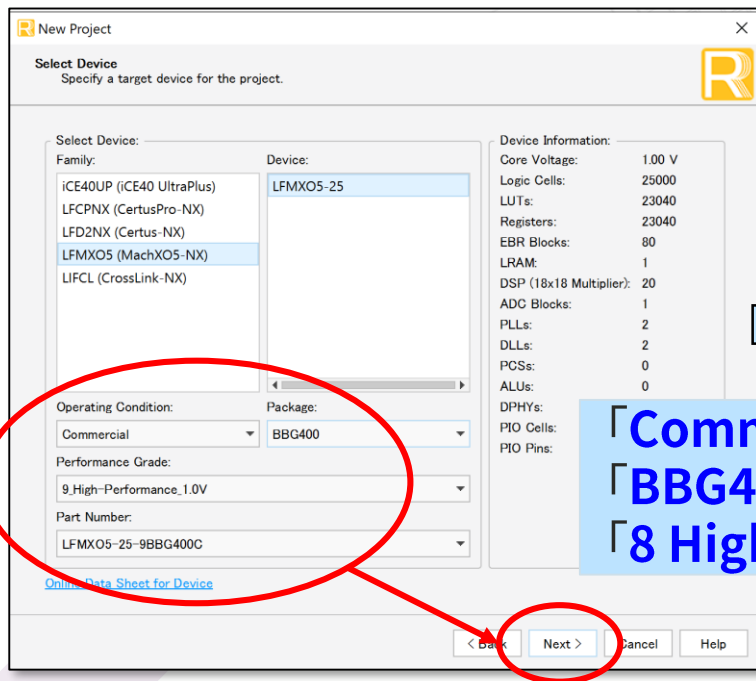


# 1 プロジェクト生成 - デバイス・パッケージタイプ、論理合成ツール指定

⑥ Select Device にて、「LFMXO5-25-8BBG400C」を選択し、NEXT

⑦ 論理合成ツールを「Synplify Pro」を選択し、NEXT

⑧ プロジェクト情報を確認後、Finish



# 1 プロジェクト生成 - プロジェクト生成後の基本画面

① プロジェクト生成後、自動で基本画面が立ち上がります

プロジェクト名

選択デバイス

Strategy設定

ファイル各種

階層View

The screenshot shows the Lattice Radiant Software Reports window. The top menu bar includes File, Edit, View, Project, Tools, Window, and Help. Below the menu is a toolbar with icons for Synthesize Design, Map Design, Place & Route Design, and Export Files. The main content area is divided into two panes. The left pane shows a tree view of the project files, including Lab1, LFMX05-25-9BBG400C, Strategies, Area, Timing, Strategy1, impl\_1 (Synplify Pro), Input Files, source/impl\_1/Lab1.v, source/impl\_1/tb\_Lab1.v, Pre-Synthesis Constraint Files, Lattice LSE, Synplify Pro, Post-Synthesis Constraint Files, Debug Files, Script Files, Analysis Files, and Programming Files. The right pane displays the 'Lab1 Project Summary' and 'Resource Usage' sections. The 'Lab1 Project Summary' section includes a table with project details: Implementation Name (impl\_1), Performance Grade (9\_High-Performance\_1.0V), Strategy Name (Strategy1), Operating Condition (COM), Part Number (LFMX05-25-9BBG400C), Synthesis (Synplify Pro), Family (LFMX05), Device (LFMX05-25), Project Created (2022/09/30 09:27:33), Project Updated (2022/09/30 09:27:35), Package, Project File, and Implementation Location. The 'Resource Usage' section includes a table with LUT4 (0), IO Buffers (0), PFU Register (0), and EBR (0). The bottom pane shows the 'Tcl, Message View' with a log of synthesis messages and warnings.

Process

Project Summary

| Lab1 Project Summary     |                                                              |                      |                         |
|--------------------------|--------------------------------------------------------------|----------------------|-------------------------|
| Implementation Name:     | impl_1                                                       | Performance Grade:   | 9_High-Performance_1.0V |
| Strategy Name:           | Strategy1                                                    | Operating Condition: | COM                     |
| Part Number:             | LFMX05-25-9BBG400C                                           | Synthesis:           | Synplify Pro            |
| Family:                  | LFMX05                                                       | Timing Errors:       |                         |
| Device:                  | LFMX05-25                                                    | Project Created:     | 2022/09/30 09:27:33     |
| Package:                 |                                                              | Project Updated:     | 2022/09/30 09:27:35     |
| Project File:            | C:/Users/12801/Desktop/Radiant_Seminar/Seminar/Lab1/Lab1.rdf |                      |                         |
| Implementation Location: | C:/Users/12801/Desktop/Radiant_Seminar/Seminar/Lab1/impl_1   |                      |                         |

Resource Usage

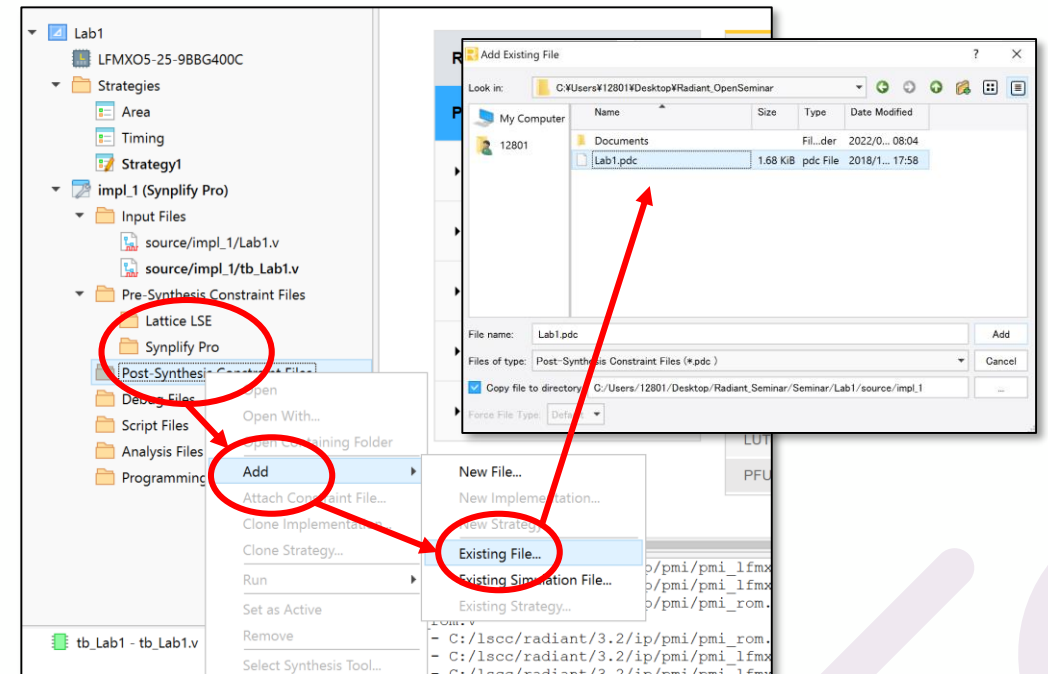
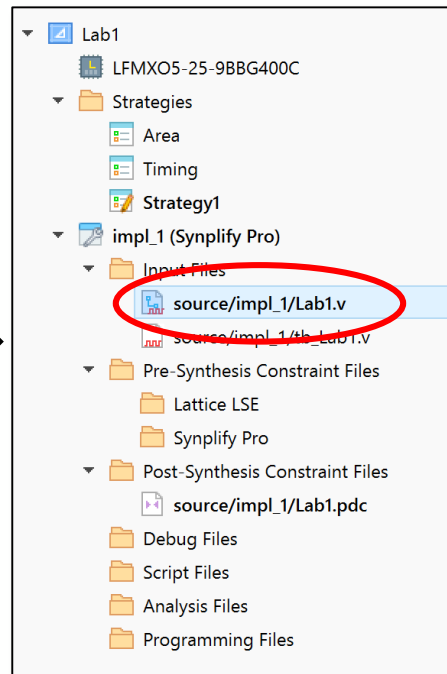
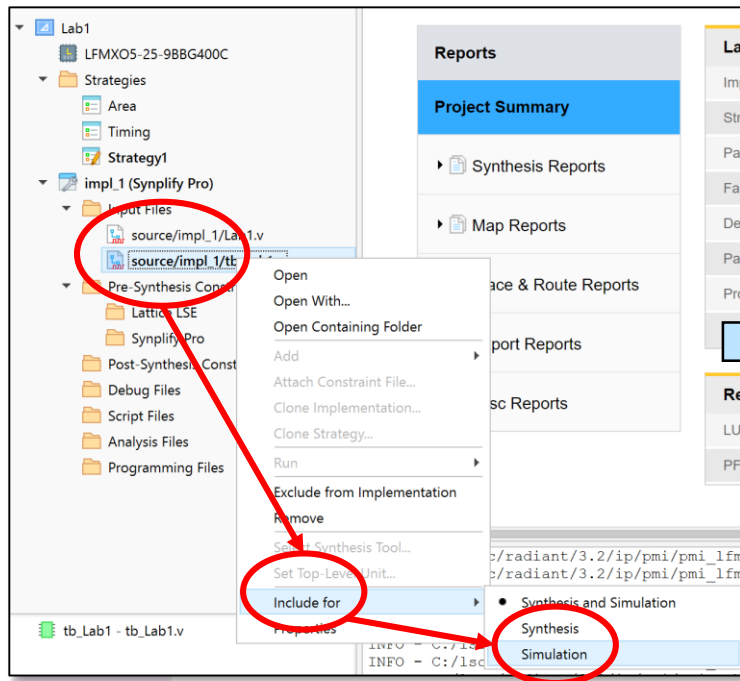
| Resource Usage |   |             |   |
|----------------|---|-------------|---|
| LUT4:          | 0 | IO Buffers: | 0 |
| PFU Register:  | 0 | EBR:        | 0 |

Tcl, Message View

```
INFO - C:/lsc/radiant/3.2/ip/pmi/pmi_lfmxo5.v(19,10-19,27) (VERI-2320) back to file 'C:/lsc/radiant/3.2/ip/pmi/pmi_lfmxo5.v'
INFO - C:/lsc/radiant/3.2/ip/pmi/pmi_lfmxo5.v(20,10-20,21) (VERI-1328) analyzing included file 'C:/lsc/radiant/3.2/ip/pmi/pmi_rom.v'
INFO - C:/lsc/radiant/3.2/ip/pmi/pmi_rom.v(45,10-45,39) (VERI-1328) analyzing included file 'C:/lsc/radiant/3.2/ip/pmi/./avant/rom/rtl/lsc_rom.v'
INFO - C:/lsc/radiant/3.2/ip/pmi/pmi_rom.v(45,10-45,39) (VERI-2320) back to file 'C:/lsc/radiant/3.2/ip/pmi/pmi_rom.v'
INFO - C:/lsc/radiant/3.2/ip/pmi/pmi_lfmxo5.v(20,10-20,21) (VERI-2320) back to file 'C:/lsc/radiant/3.2/ip/pmi/pmi_lfmxo5.v'
INFO - C:/lsc/radiant/3.2/ip/pmi/pmi_lfmxo5.v(21,10-21,21) (VERI-1328) analyzing included file 'C:/lsc/radiant/3.2/ip/pmi/pmi_sub.v'
INFO - C:/lsc/radiant/3.2/ip/pmi/pmi_sub.v(50,10-50,54) (VERI-1328) analyzing included file 'C:/lsc/radiant/3.2/ip/pmi/./common/subtractor/rtl/lsc_subtractor.v'
INFO - C:/lsc/radiant/3.2/ip/pmi/pmi_sub.v(50,10-50,54) (VERI-1328) back to file 'C:/lsc/radiant/3.2/ip/pmi/pmi_sub.v'
INFO - C:/lsc/radiant/3.2/ip/pmi/pmi_lfmxo5.v(21,10-21,21) (VERI-1328) back to file 'C:/lsc/radiant/3.2/ip/pmi/pmi_lfmxo5.v'
INFO - C:/Users/12801/Desktop/Radiant_Seminar/Seminar/Lab1/source/impl_1/tb_Lab1.v(14,1-18,20) (VERI-1063) instantiating unknown module 'Lab1'
WARNING - C:/Users/12801/Desktop/Radiant_Seminar/Seminar/Lab1/source/impl_1/tb_Lab1.v(14,1-18,20) (VERI-1063) instantiating unknown module 'Lab1'
Done: design load finished with (1) errors, and (1) warnings
```

# 1. プロジェクト生成 - 設定確認

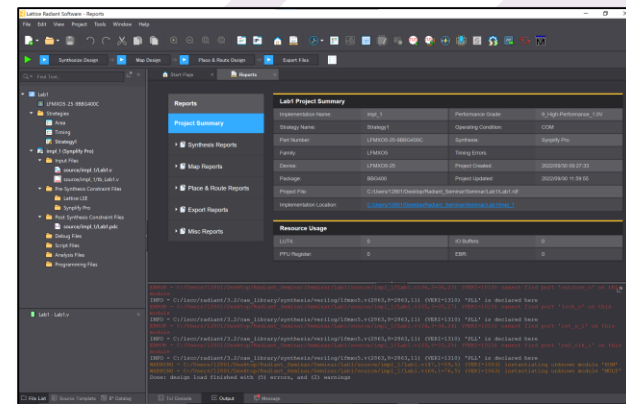
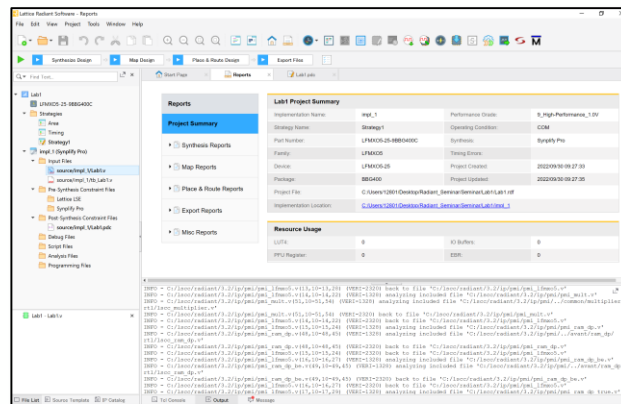
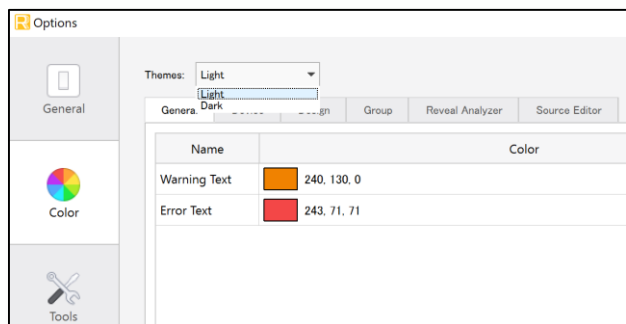
- ① tb\_Lab1.v を右クリック > Include for > Simulation を選択
- ② Top階層ファイル（太字で認識）が **Lab1.v** になるのを確認
- ③ Post Synthesis Constraint Files を右クリック > Add > Existing File > **Lab1.pdc** を選択



# 1. プロジェクト生成 - Tips

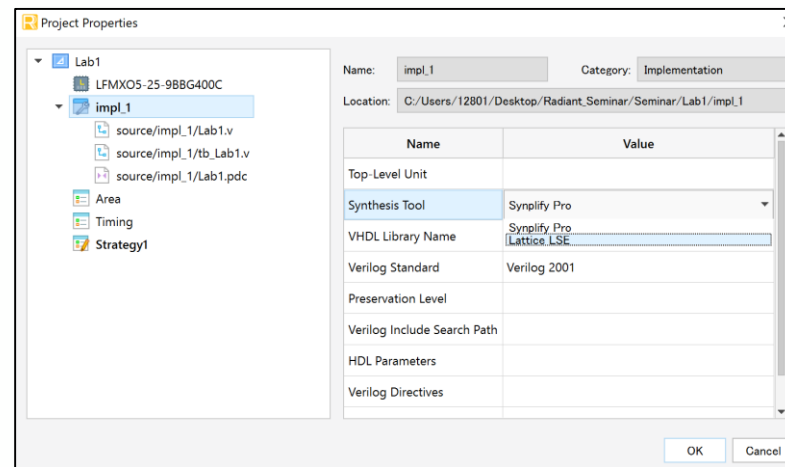
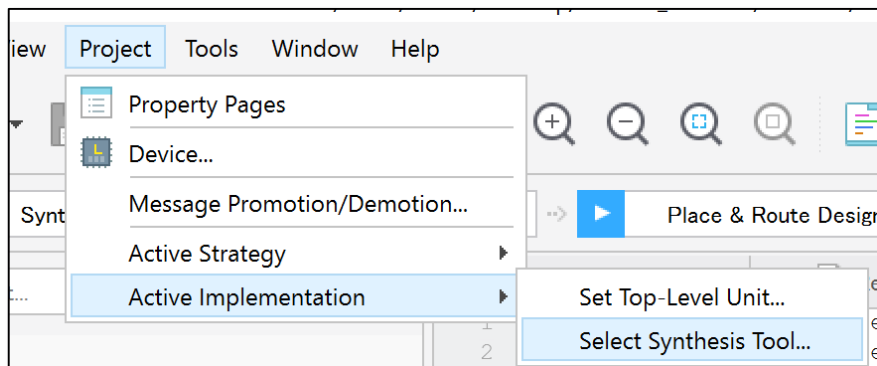
## ① ツールの Light/Dark Mode の変更

→ Tool > Option > General > Color > Themes より変更可能

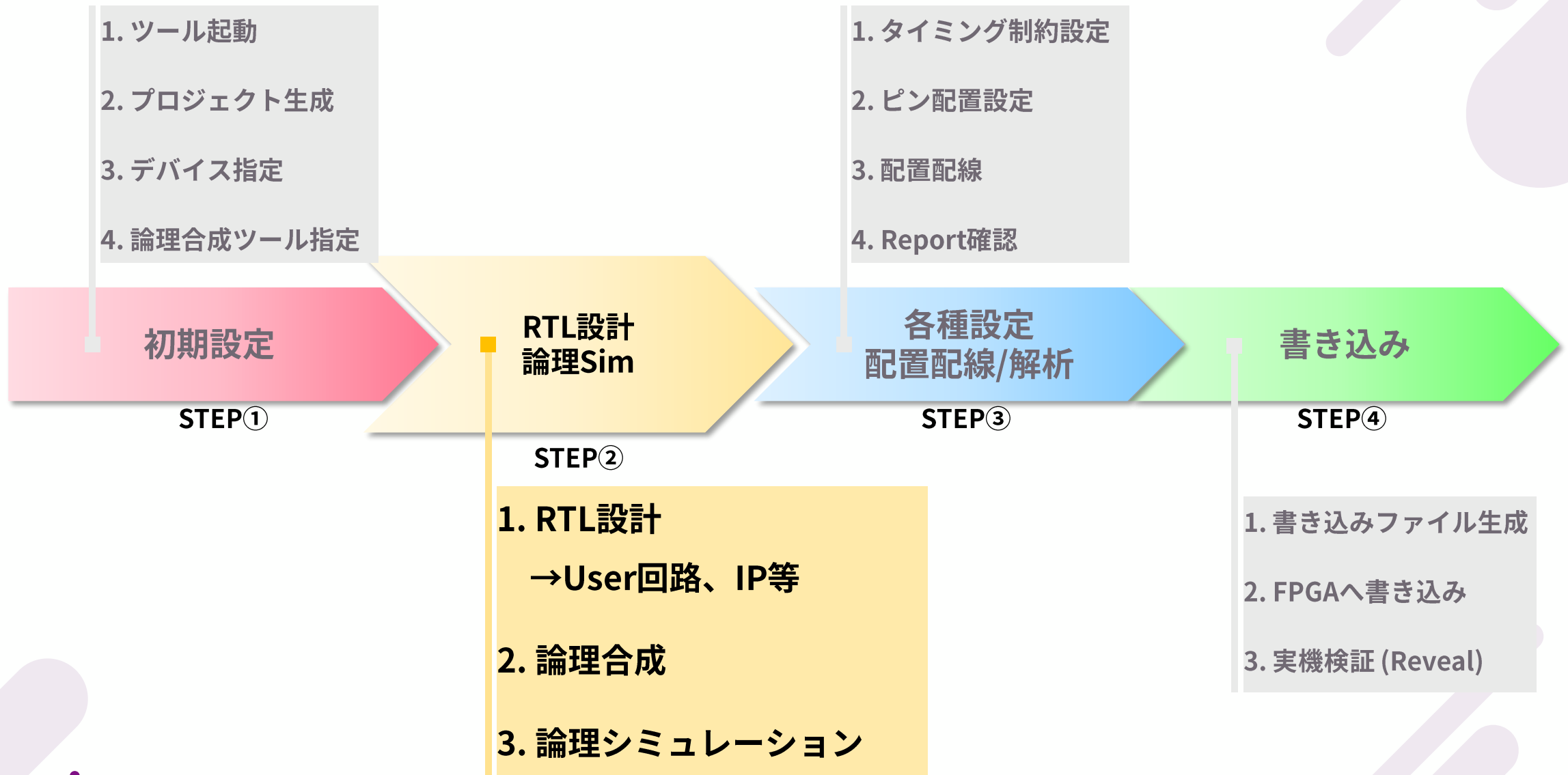


## ② 論理合成ツールの変更 (Synplify Pro/LSE 切り替え)

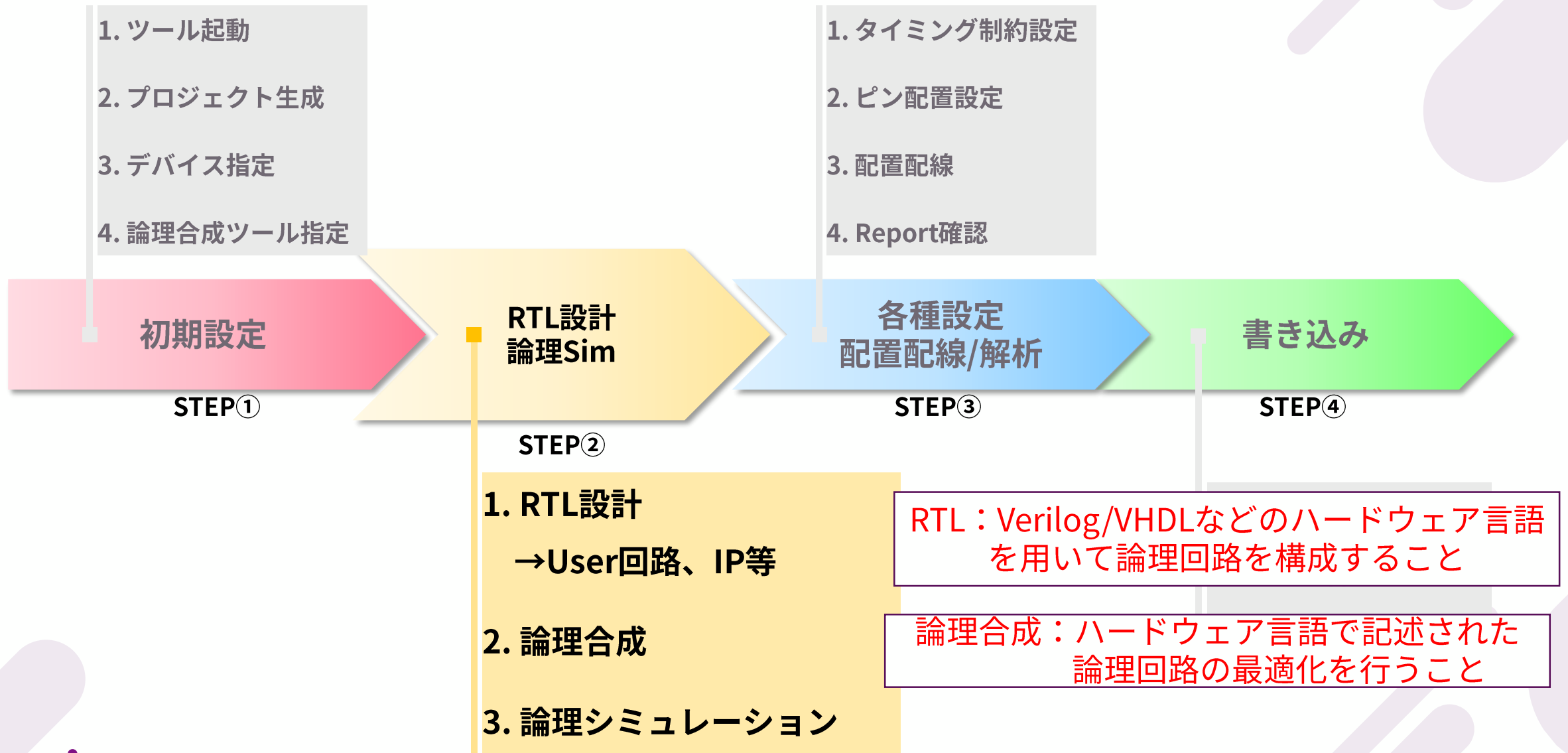
→ Project > Active Implementation > Select Synthesis Tool で変更



# Radiant の開発プロセス

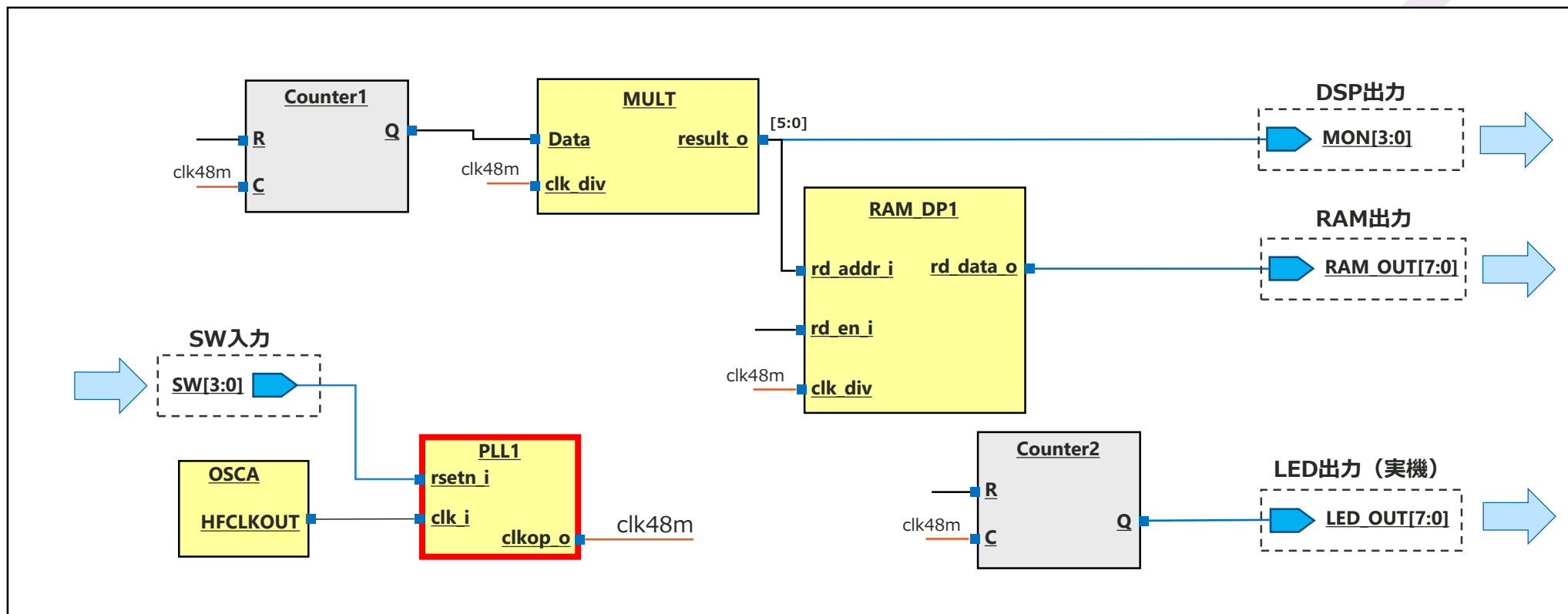


# Radiant の開発プロセス



## 2. IP Catalog より PLL を生成

### ● PLL生成



#### PLL モジュール

- ・クロックの分周逡倍が可能

#### RAM モジュール

- ・メモリを構成

#### MULT モジュール

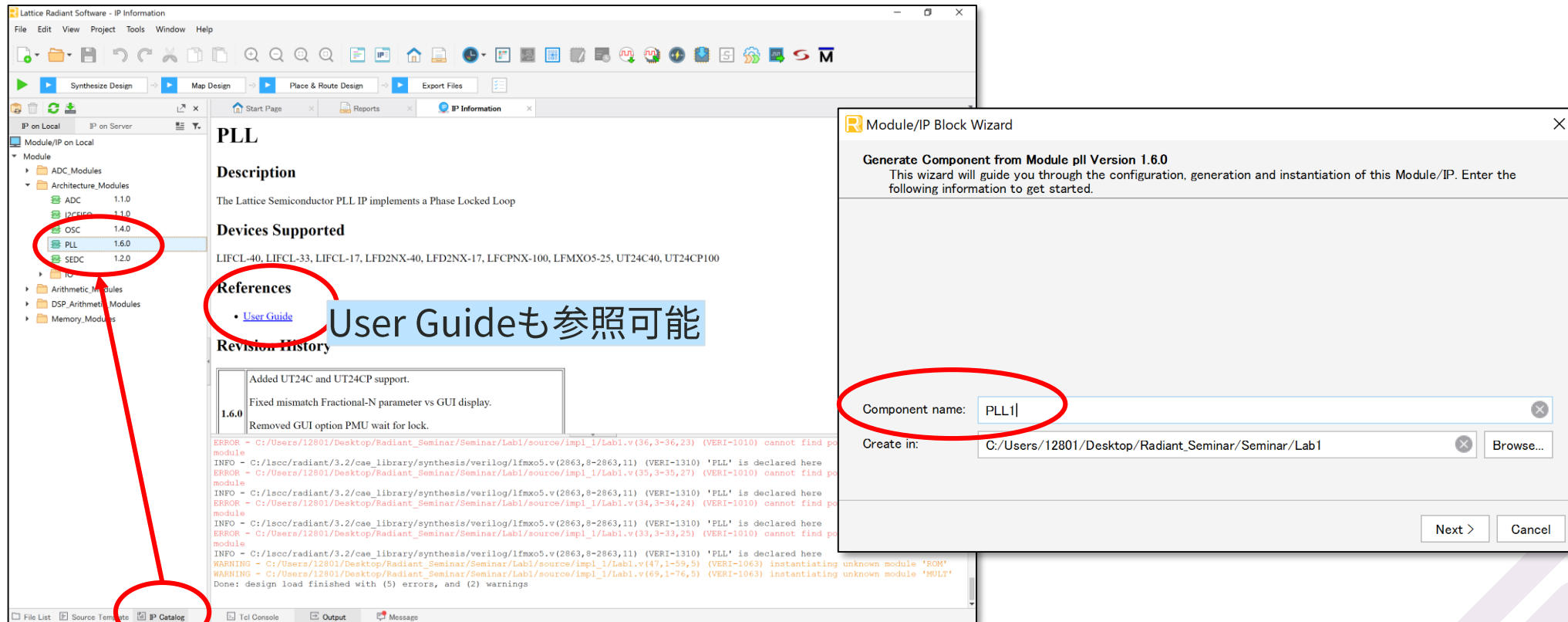
- ・DSPによる乗算

#### OSCA モジュール

- ・内臓クロック出力
- ・±7%の精度

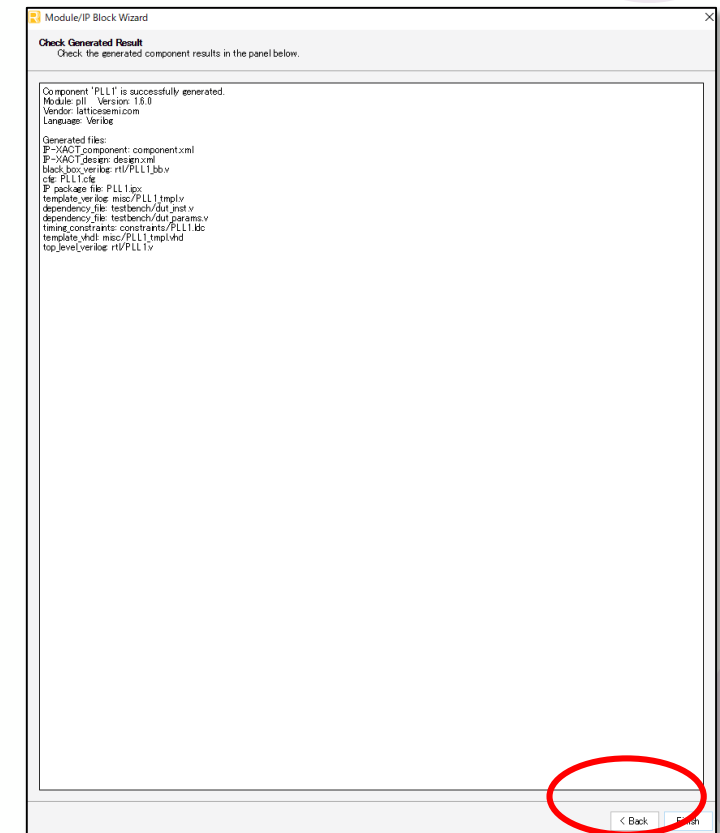
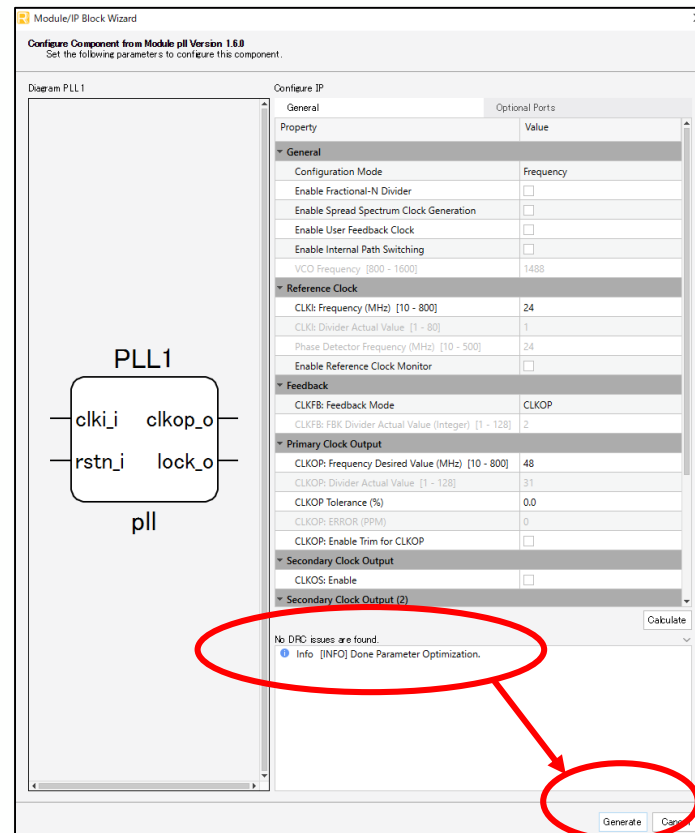
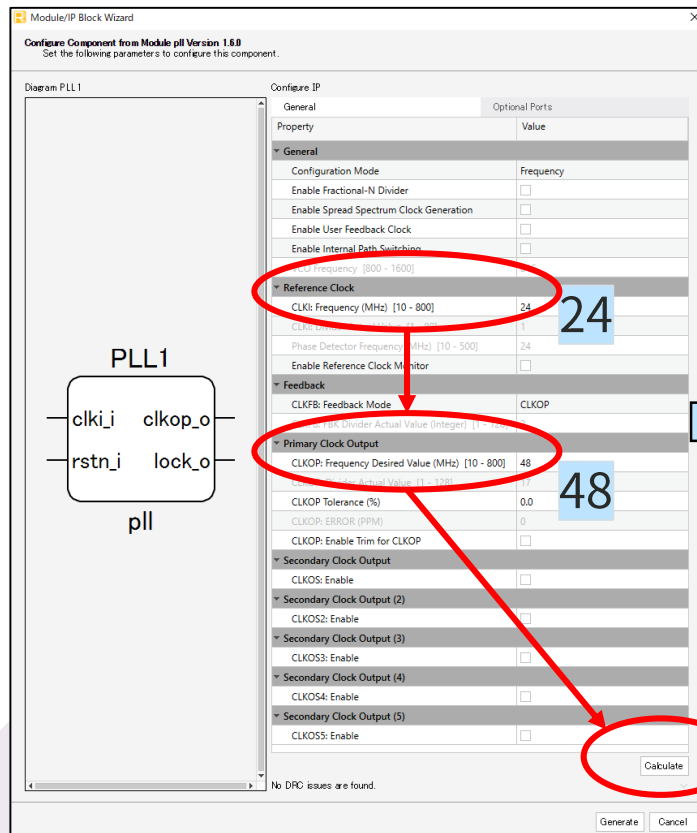
## 2. IP Catalog より PLL を生成 – IP Catalog と PLL

- ①IP Catalog タブをクリックし、リストを表示
- ②Architecture\_Modules 内の PLL をダブルクリック
- ③ポップアップの IP 生成画面にて「PLL1」と名前を付け、NEXT



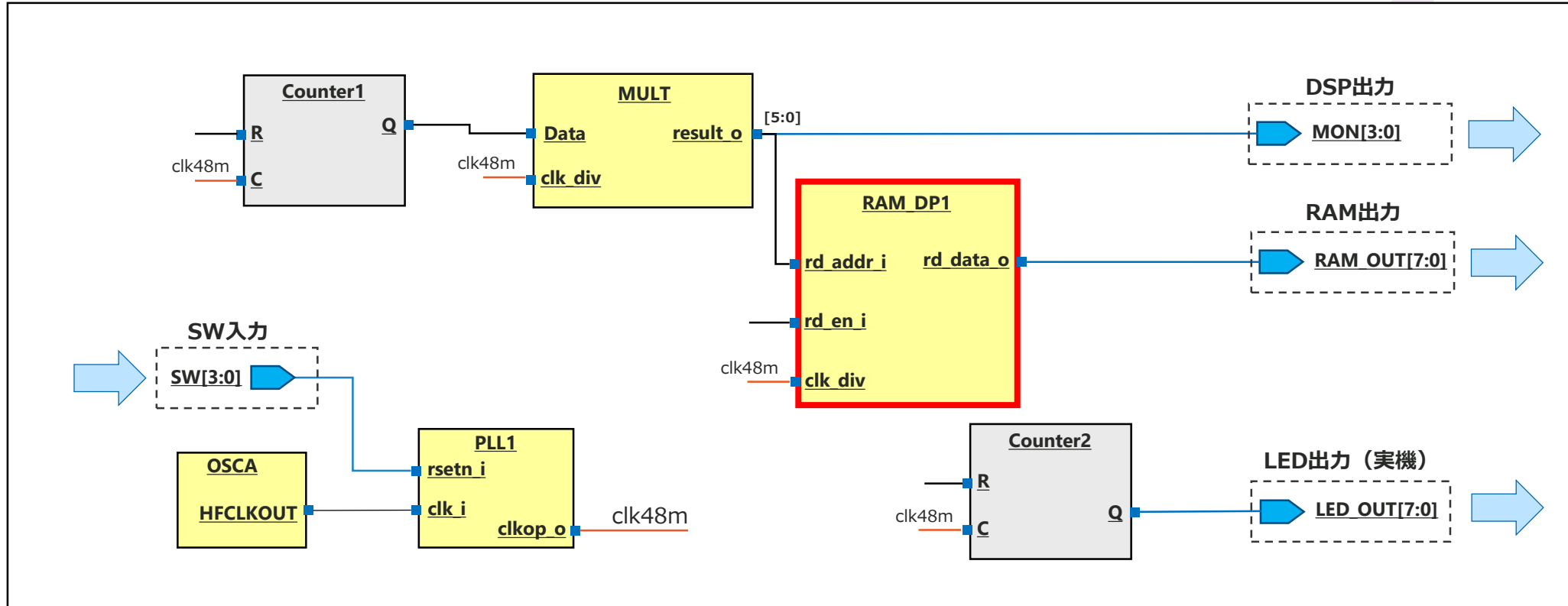
## 2. IP Catalog より PLL を生成 - PLL 周波数設定

- ④ Reference Clock > CLKI = 24、Primary Clock > CLKOP = 48 と設定
- ⑤ Calculate ボタンを押し、「Done Parameter Optimization」が表示されることを確認
- ⑥ Generate > Finish ボタンで IP 生成



## 2. IP Catalog より RAM を生成

### ● RAM生成



#### PLL モジュール

- ・ クロックの分周逡倍が可能

#### RAM モジュール

- ・ メモリを構成

#### MULT モジュール

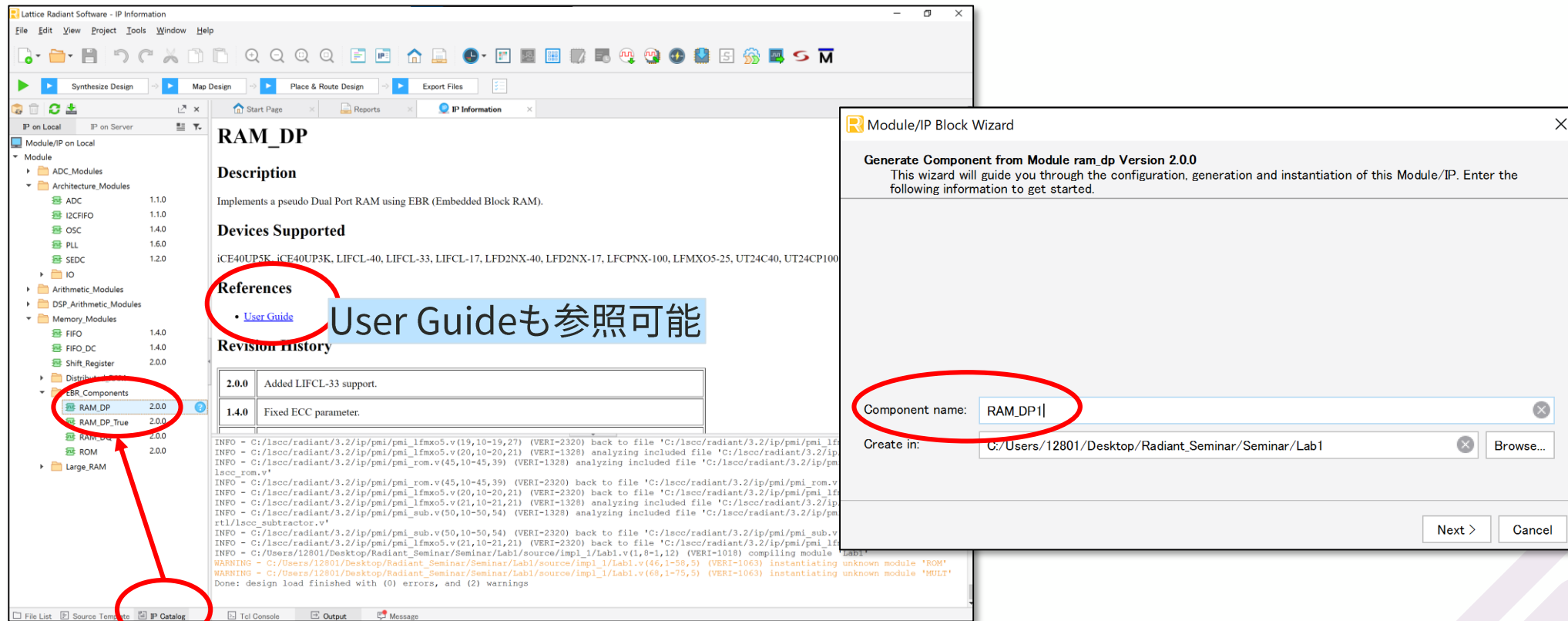
- ・ DSPによる乗算

#### OSCA モジュール

- ・ 内臓クロック出力
- ・ ±7%の精度

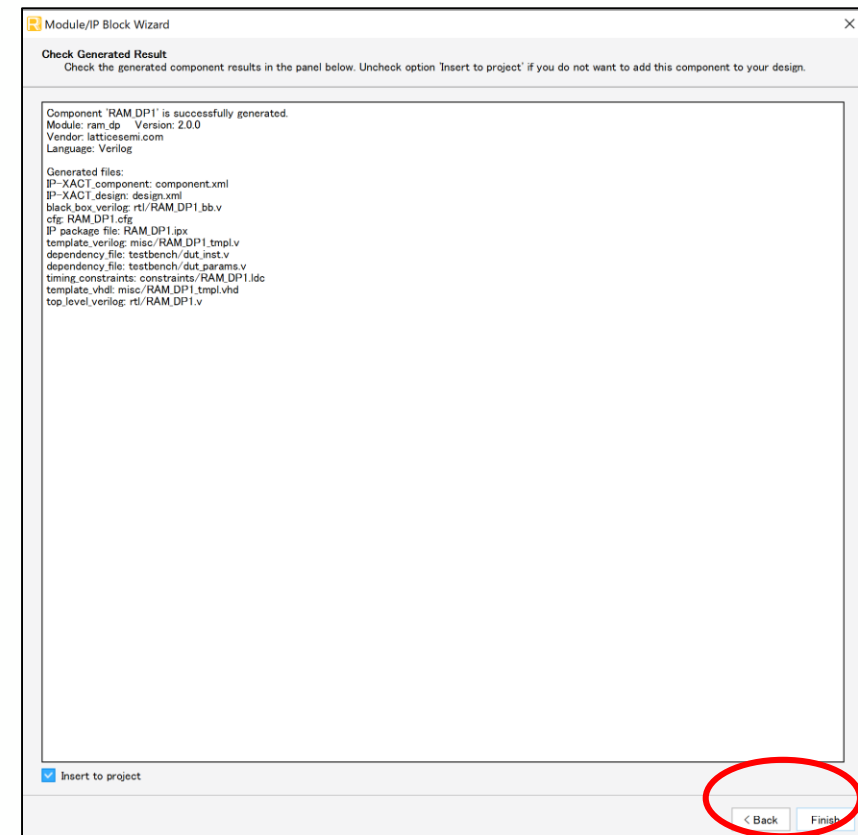
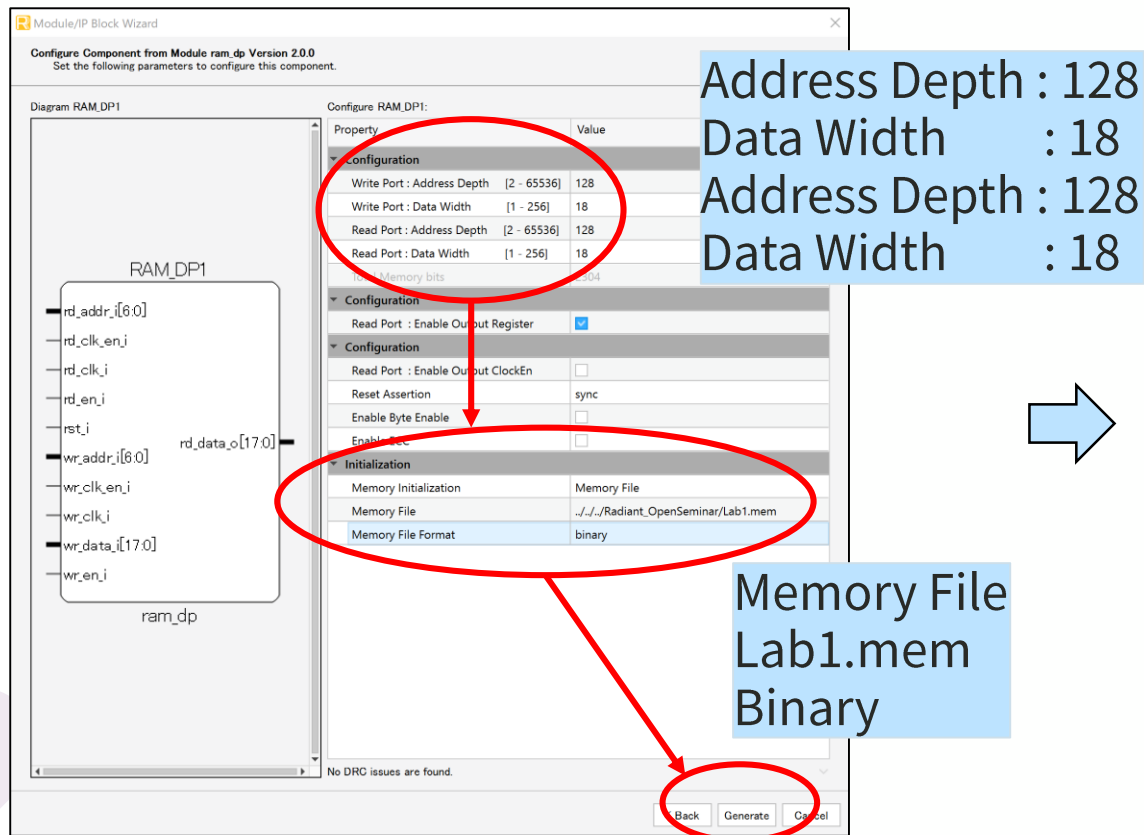
## 2. IP Catalog より RAM を生成 - IP Catalog と RAM\_DP

- ①IP Catalog タブをクリックし、リストを表示
- ②Memory\_Modules > EBR\_Components 内の RAM\_DP をダブルクリック
- ③ポップアップの IP 生成画面にて「RAM\_DP1」と名前を付け、NEXT



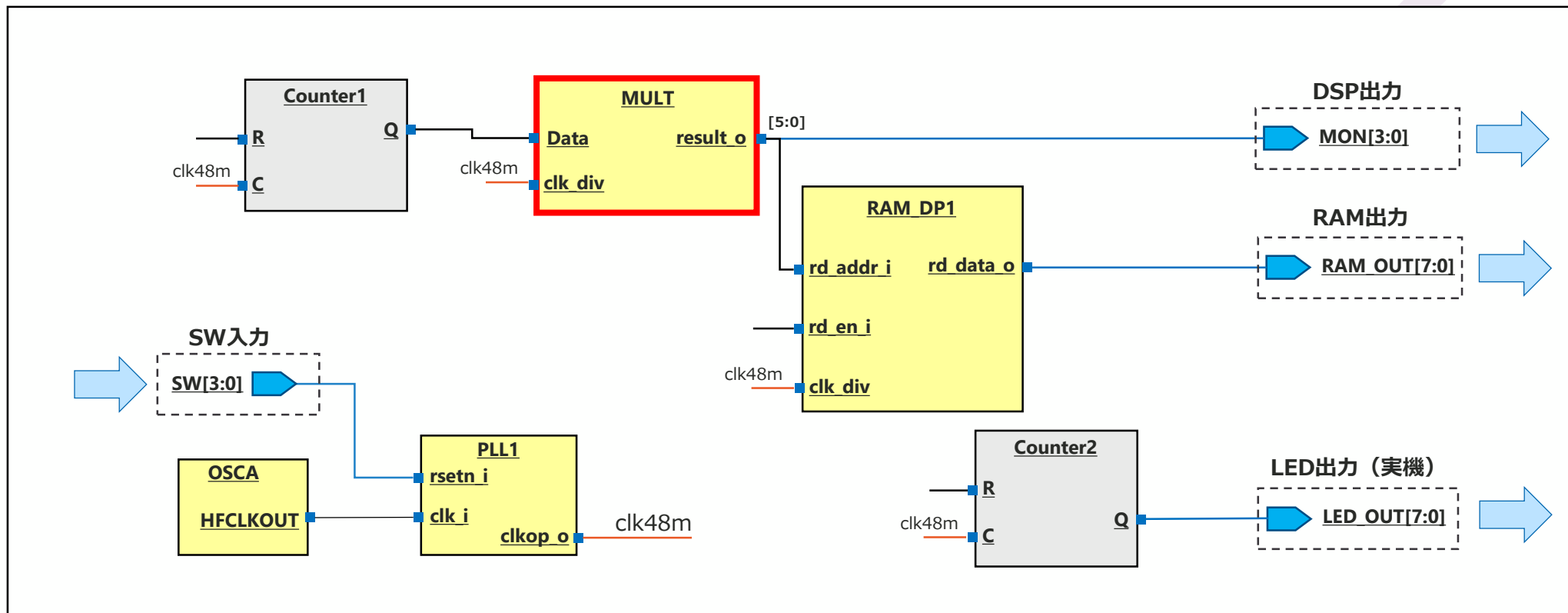
## 2. IP Catalog より RAM を生成 – RAM\_DP設定

- ④ Write/Read port それぞれ Address Depth = 128、Data Width = 18 に設定
- ⑤ Memory Initialization = Memory File、Memory File = Lab1.mem、Memory File Format = binary に設定
- ⑥ Generate > Finish ボタンで IP 生成



## 2. IP Catalog より Multiplier を生成

### ● MULT生成



#### PLL モジュール

- ・ クロックの分周逡倍が可能

#### RAM モジュール

- ・ メモリを構成

#### MULT モジュール

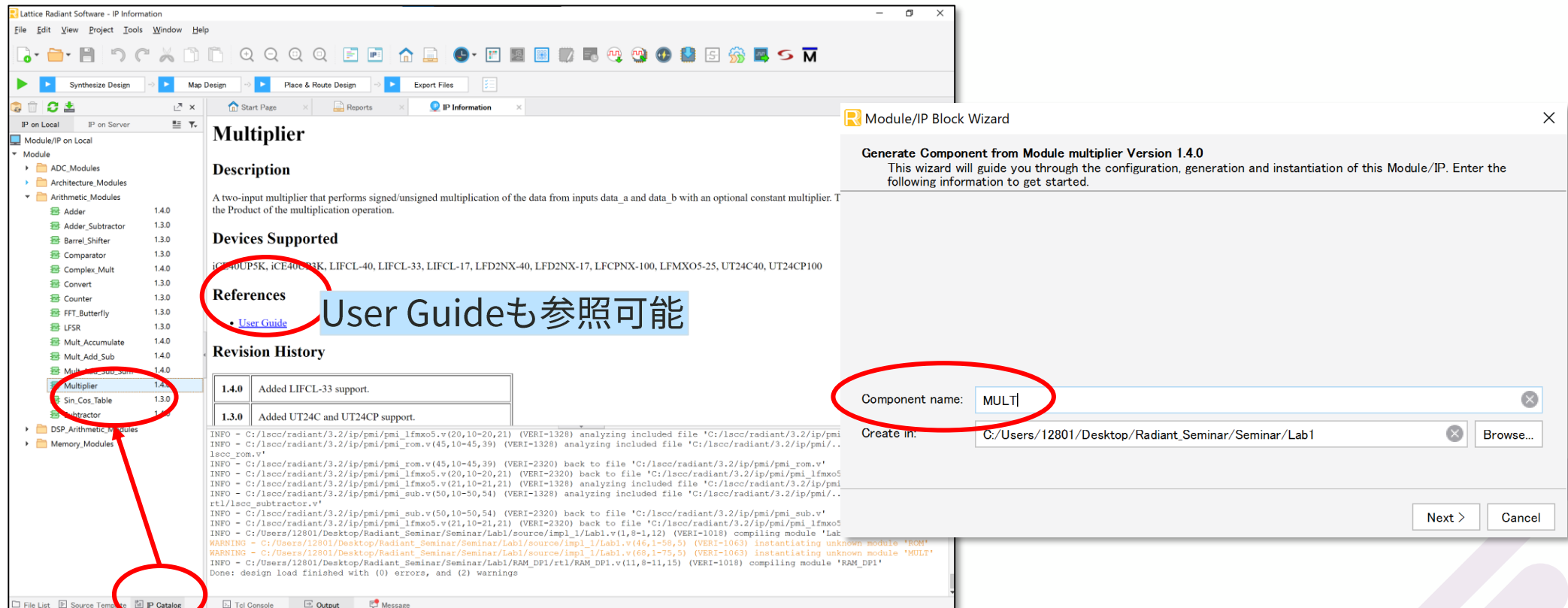
- ・ DSPによる乗算

#### OSCA モジュール

- ・ 内臓クロック出力
- ・  $\pm 7\%$ の精度

## 2. IP Catalog より Multiplier を生成 – IP Catalog と Multiplier

- ① IP Catalog タブをクリックし、リストを表示
- ② Arithmetic\_Modules 内の Multiplier をダブルクリック
- ③ ポップアップの IP 生成画面にて「MULT」と名前を付け、NEXT

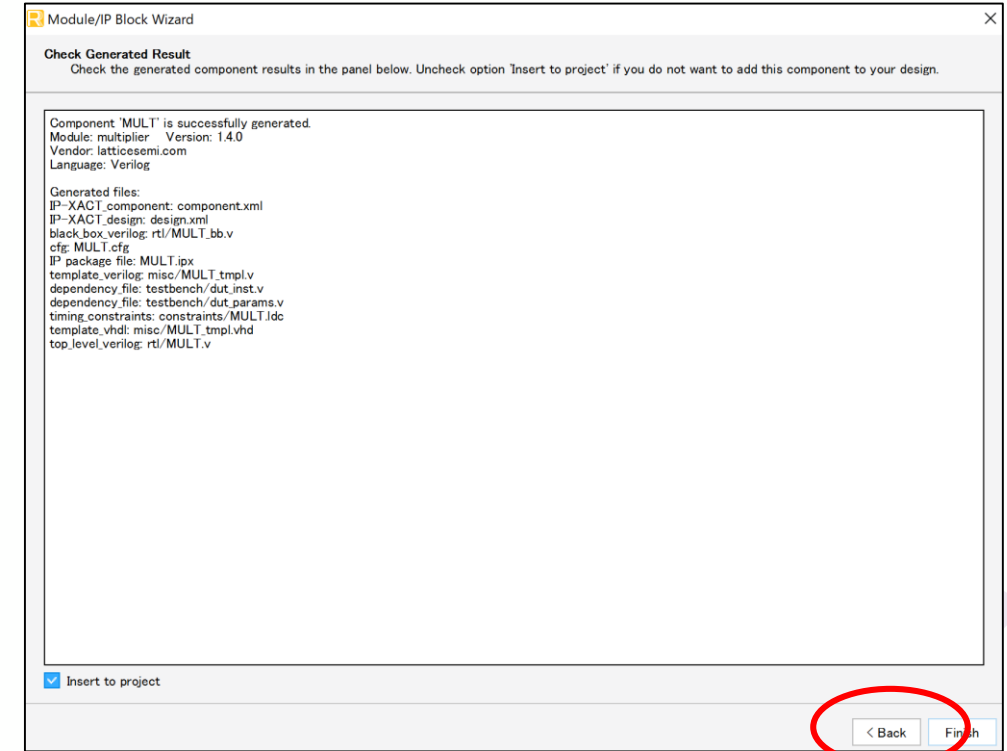
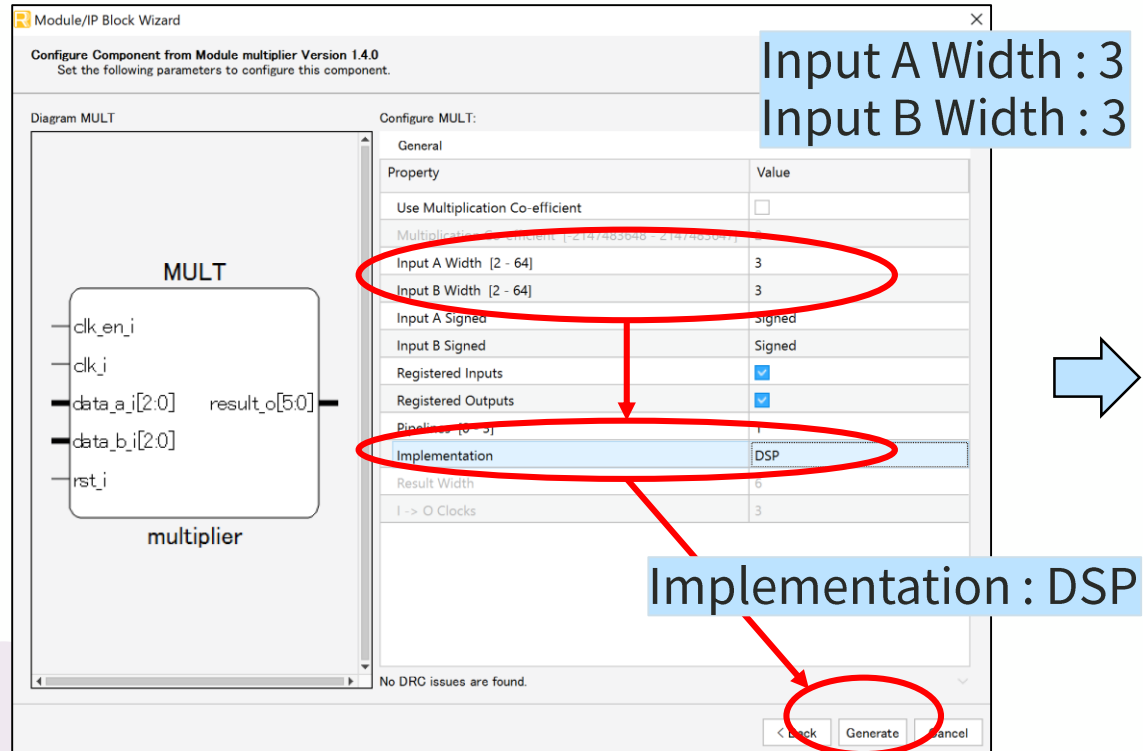


## 2. IP Catalog より Multiplier を生成 – Multiplier設定

④ Input A/B Width = 3 に A、Bともに設定

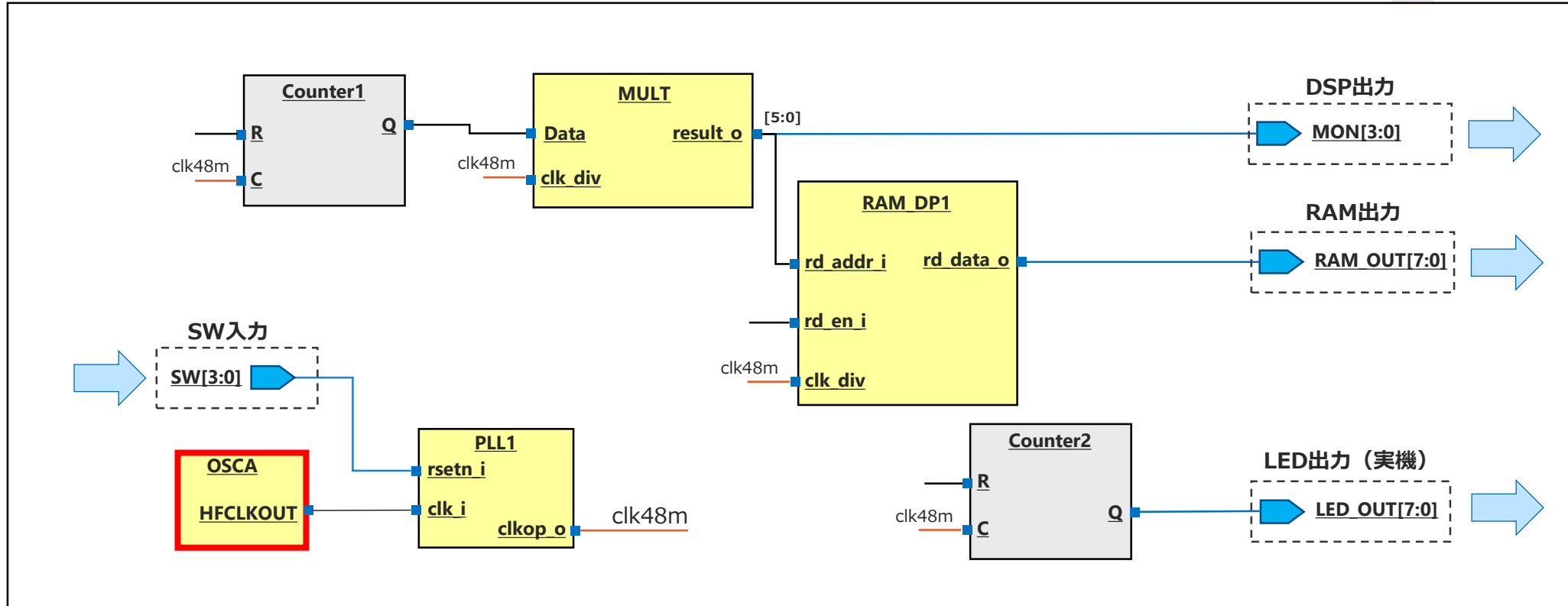
⑤ Implementation = DSP に設定

⑥ Generate > Finish ボタンで IP 生成



## 2. Template Editor より OSCAを生成

### ● OSCA生成



#### PLL モジュール

- ・ クロックの分周逡倍が可能

#### RAM モジュール

- ・ メモリを構成

#### MULT モジュール

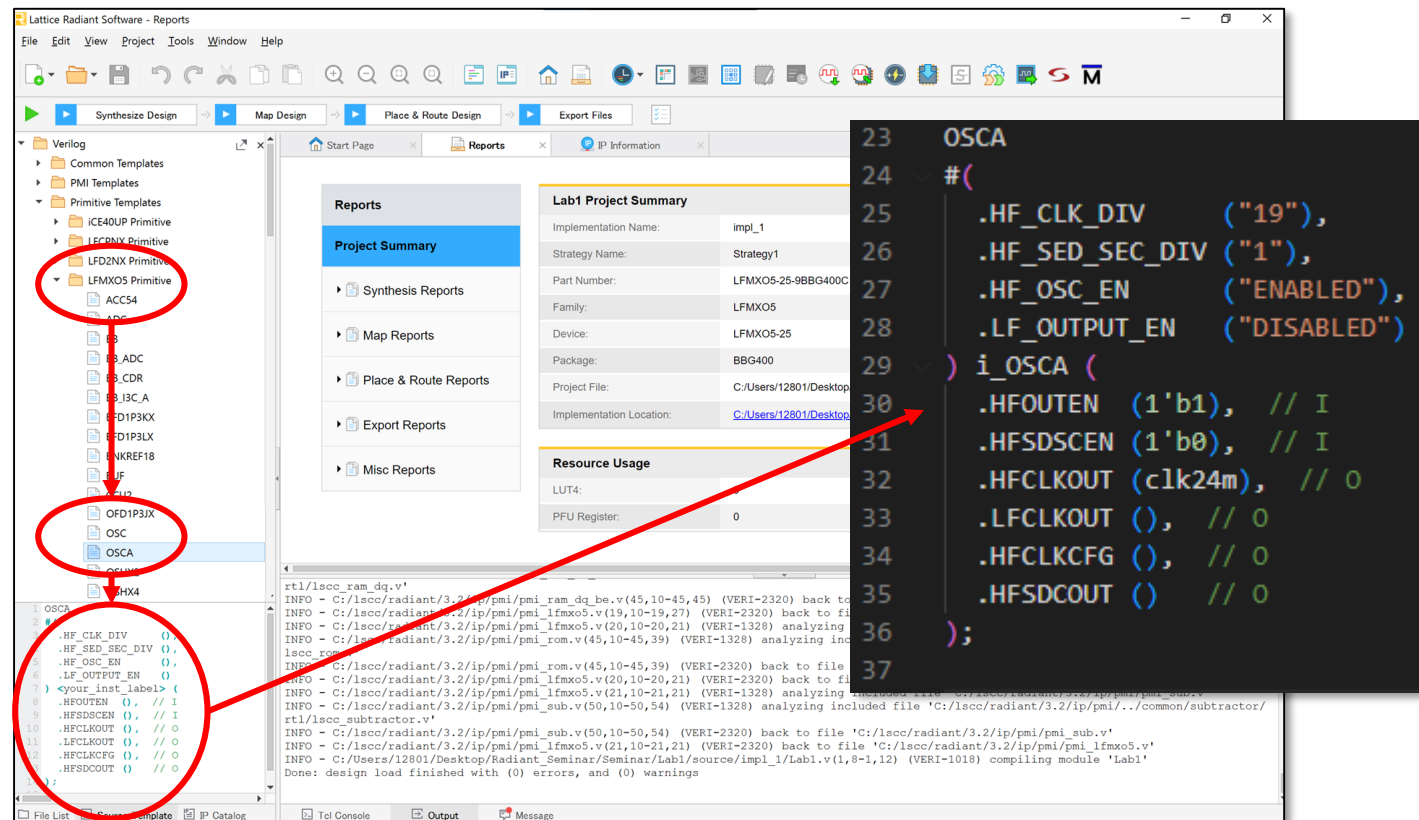
- ・ DSPによる乗算

#### OSCA モジュール

- ・ 内臓クロック出力
- ・ ±7%の精度

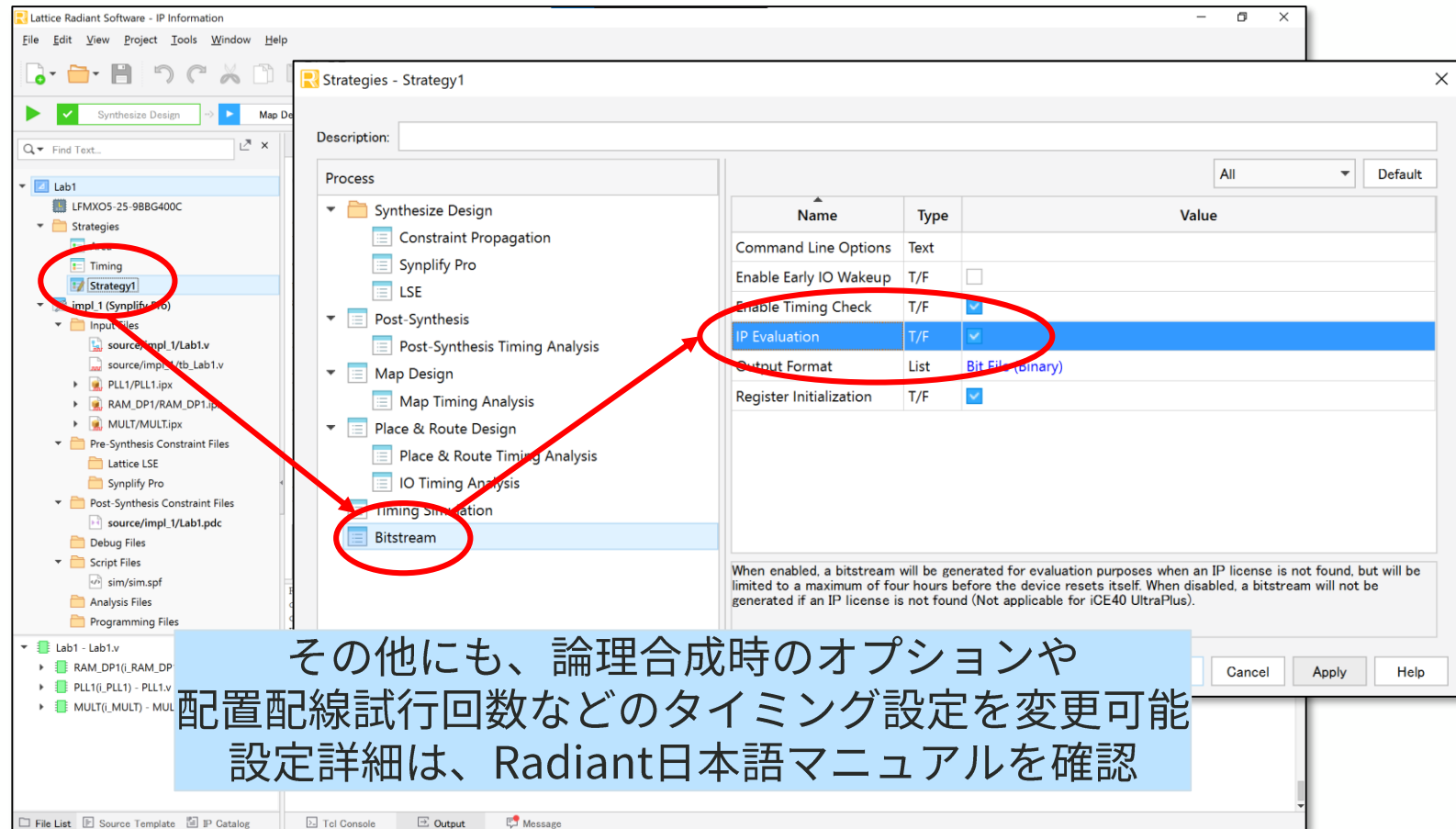
## 2. Template Editor より OSCAを生成

- ①Source Templates タブをクリックし、リストを表示
- ②Verilog > LFMX05 Primitive > OSCA を選択
- ③その下に表示される、テンプレートをコピー&ペーストにてLab1.v – line23 へ貼り付け、各種設定



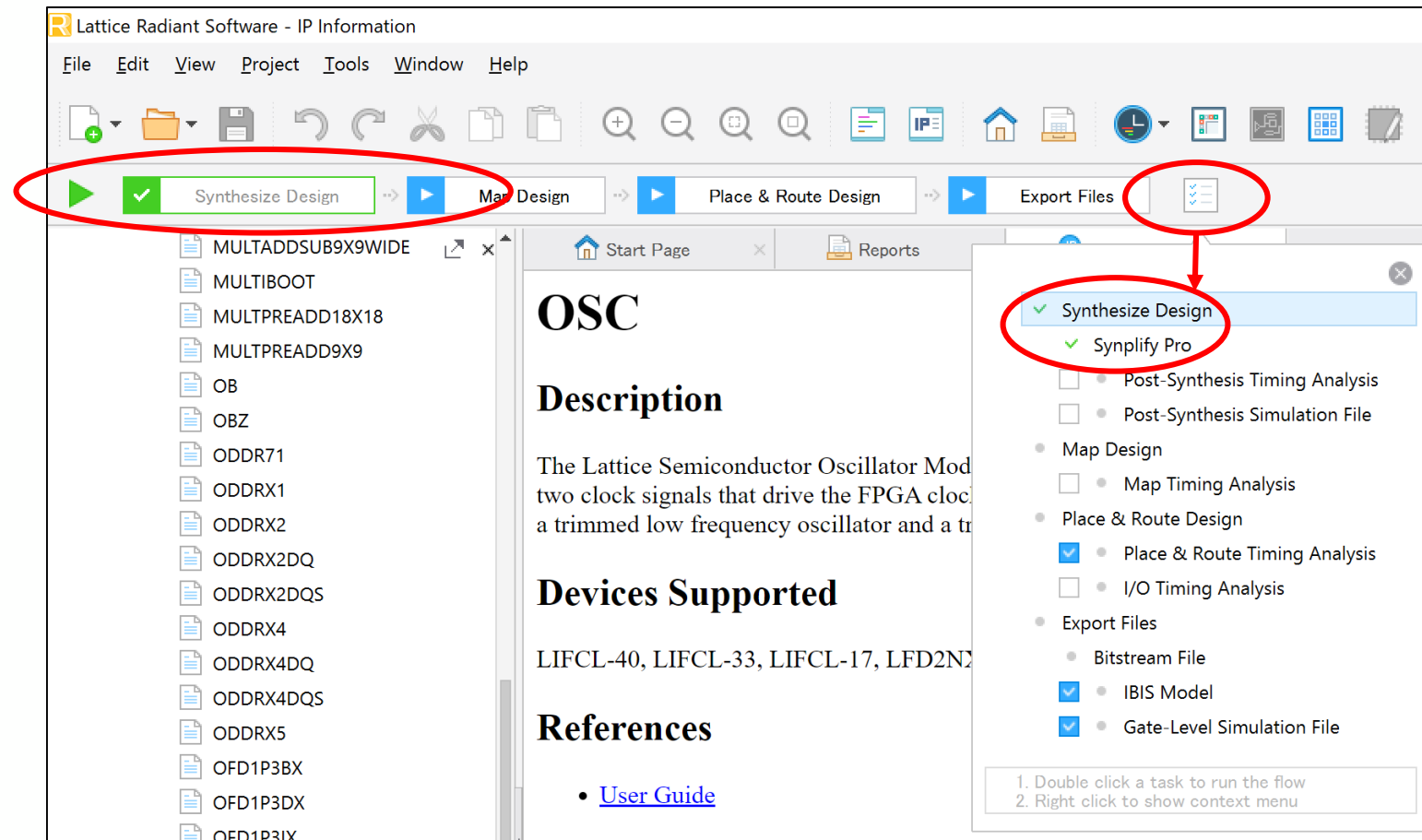
# 3. Strategy の設定 - IP Evaluationのチェック

- ① Radiant > File List > Strategy をダブルクリック
- ② Bitstream > IP Evaluation にチェック（無償ライセンスは4h時限付きでのBitstream生成）



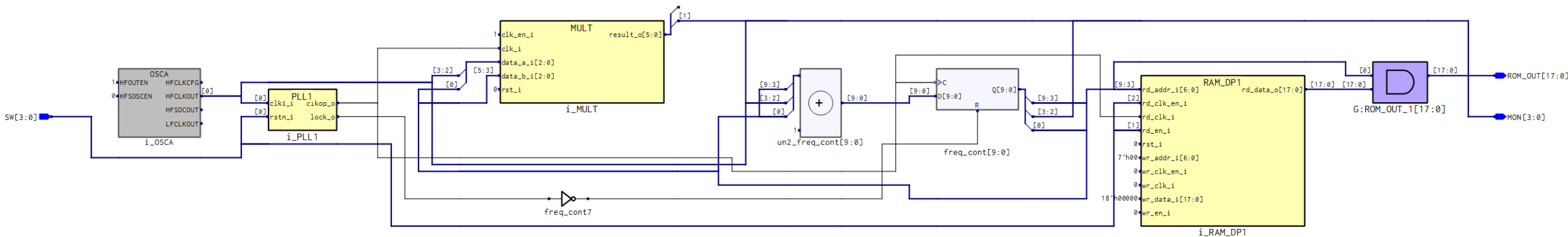
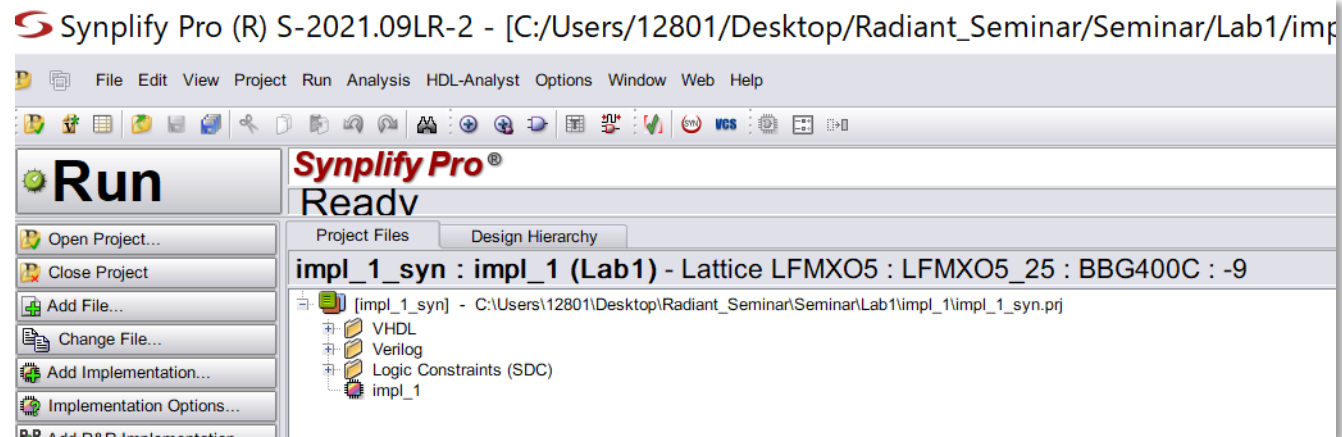
## 2. Process > Synthesis Design にて論理合成

- ①Radiant > Process Bar > Synthesize Design にて、コンパイル
- ②正常に論理合成が終わると、緑のチェックマークが付く



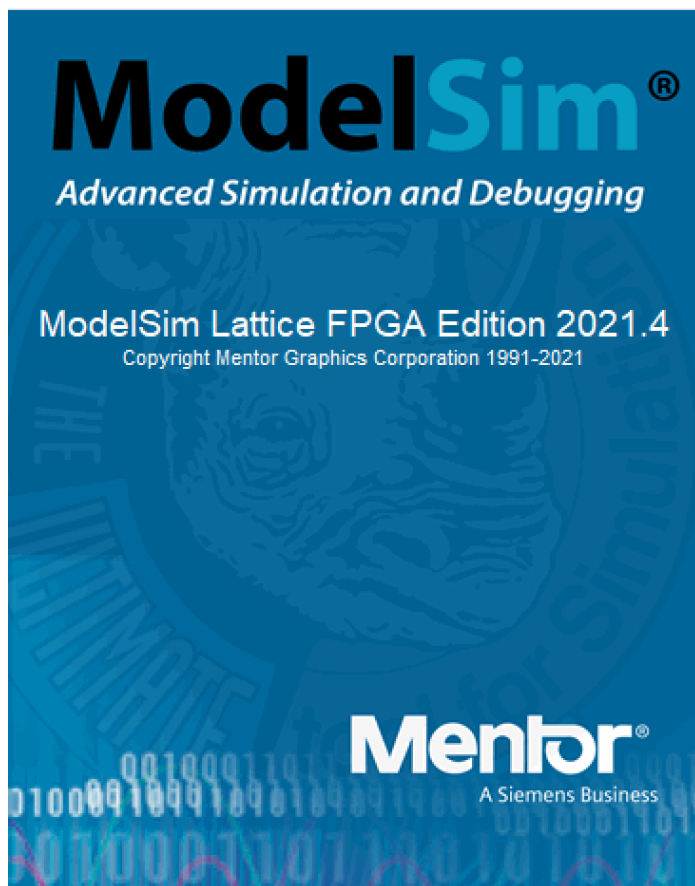
## 2. Synplify Pro Stand Aloneの紹介

- ① Radiant >  のアイコンをクリックすると、Synplify Pro が立ち上がる
- ②  をクリックし、 をクリックするとRTL Viewが表示される



## 2. シミュレーションツール Model Sim- 基本画面

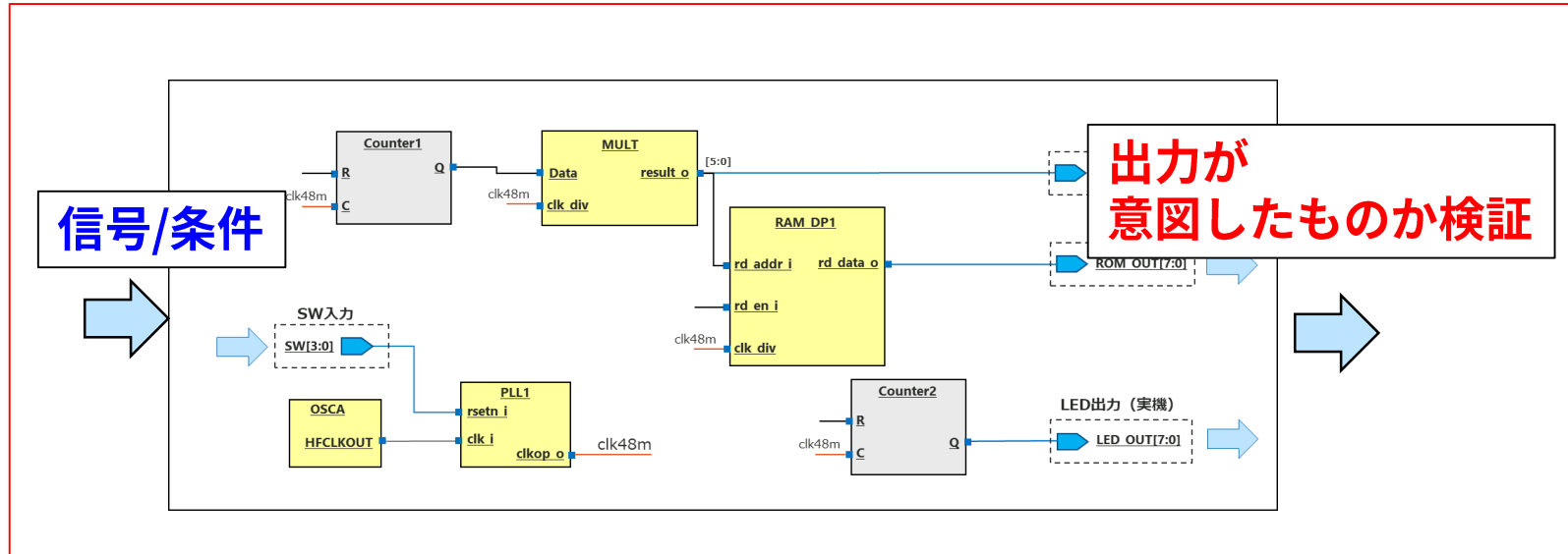
Mentor社 ModelSim for Lattice Edition を使用した波形シミュレーション



## 2. シミュレーションツール Model Sim- テストベンチ

テストベンチ：シミュレーションにて確認する際に、回路に対して与える信号や条件の記述

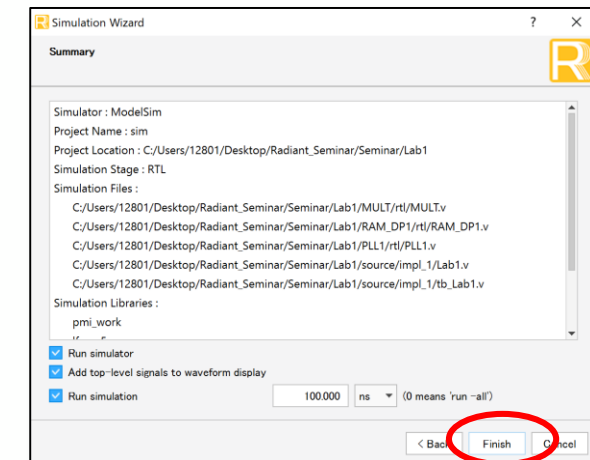
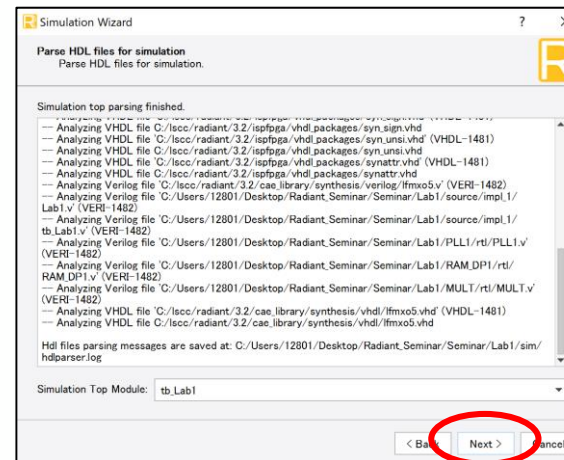
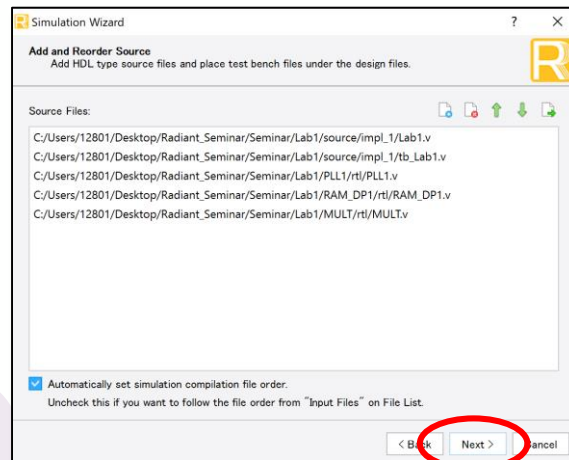
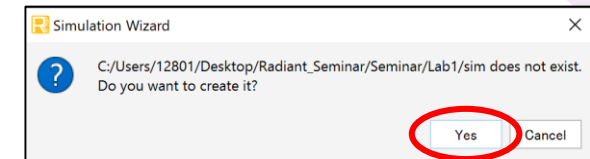
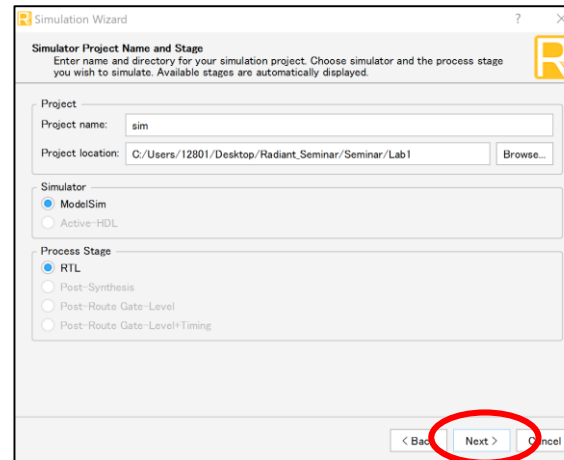
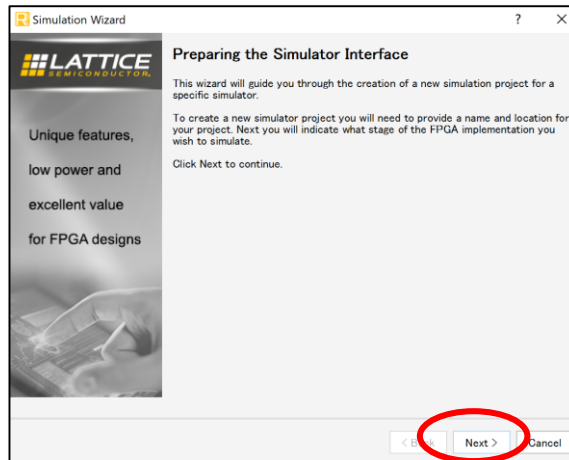
- TOPモジュールの上位に相当
- テストベンチのみで用いる構文が存在



```
41 `timescale 1ps/1ps
42
43 parameter HCYCLE = 20;
44
45 reg reset, clock;
46 wire [7:0]dout;
47
48 initial begin
49     clock <= 1'b0;
50
51     else
52     forever begin
53         #CYCLE clock <= ~clock;
54
55     end
```

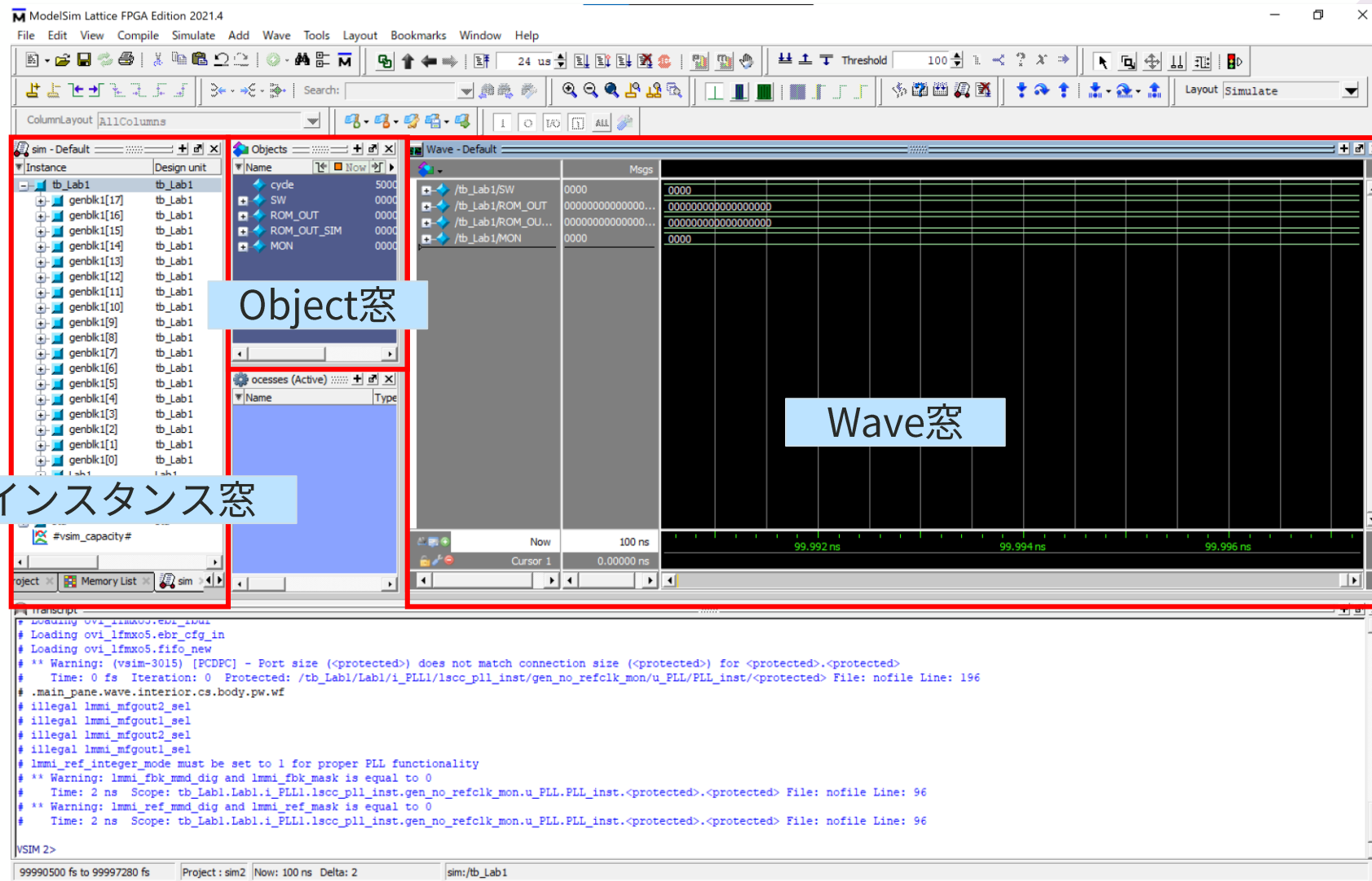
## 2. Simulation Wizard よりシミュレーション環境を構築

① Radiant 上の Simulation Wizard アイコン  をクリックし、順番にNEXTをクリックし環境構築



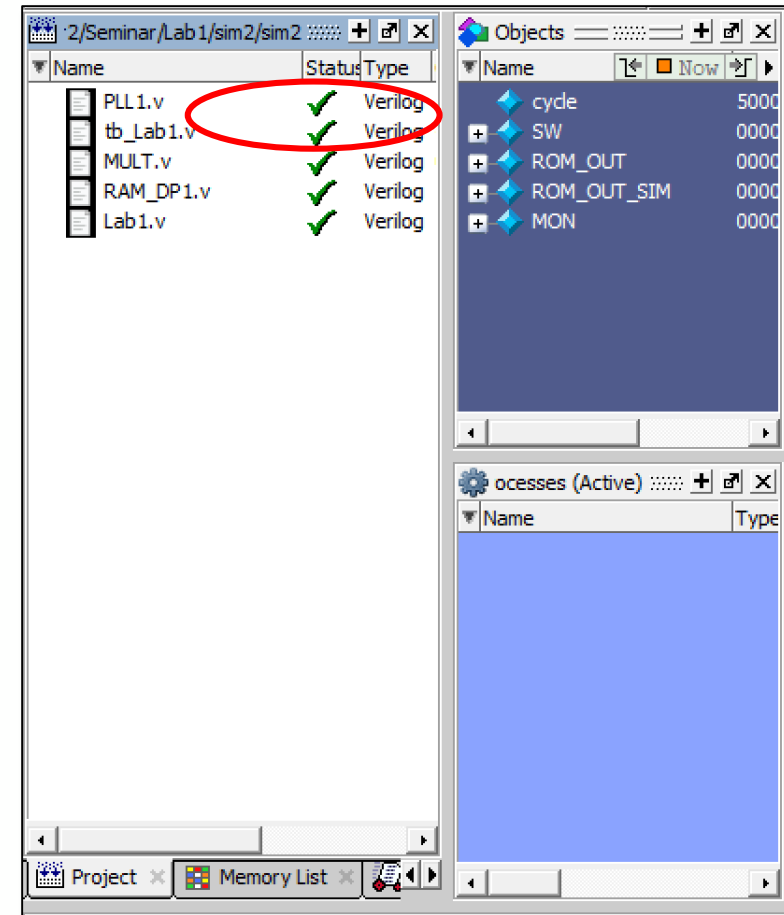
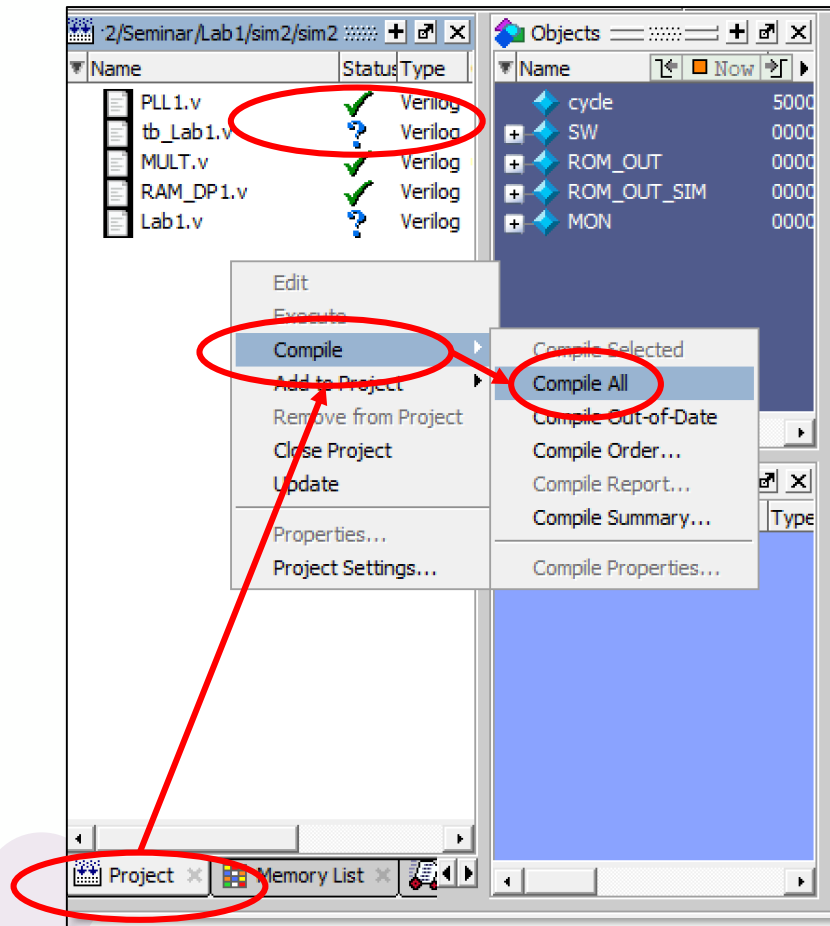
## 2. シミュレーションツール Model Sim- 基本画面

### ②自動で基本画面が立ち上がる



## 2. シミュレーションツール Model Sim- 機能検証

③ インスタンス窓内で右クリック > compile All を選択し、緑のチェックマークが付くことを確認

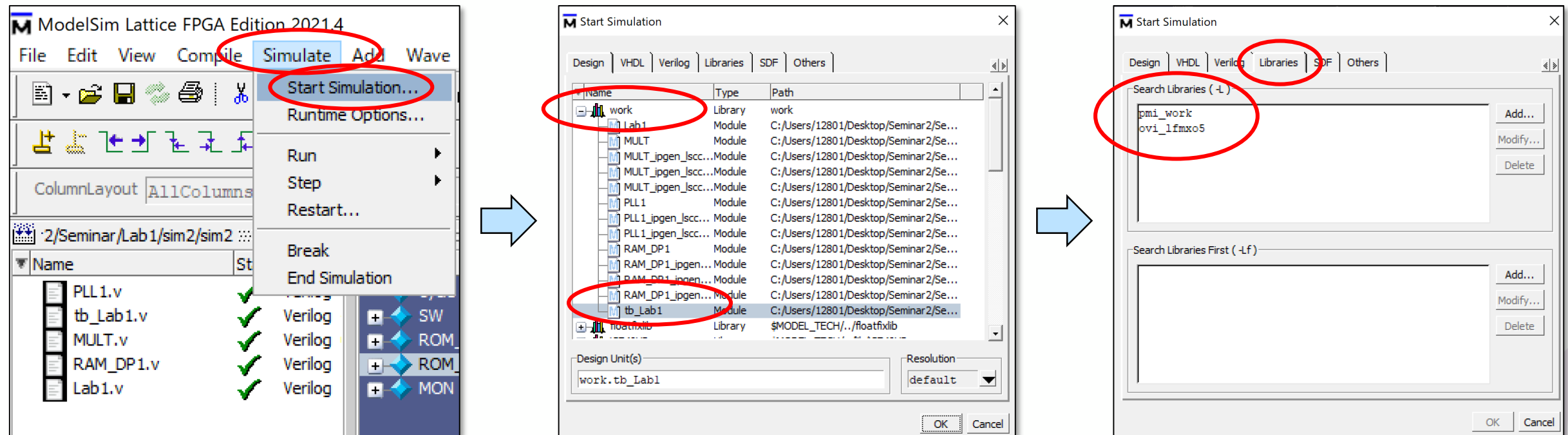


## 2. シミュレーションツール Model Sim- 機能検証

④ Simulate > Start Simulation をクリック

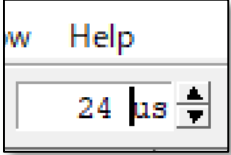
⑤ workを展開し、「tb\_Lab1」を選択

⑥ Librariesタブに移り、Addボタンより、「pmi\_work」「ovi\_lfmxo5」を確認し、OKボタン

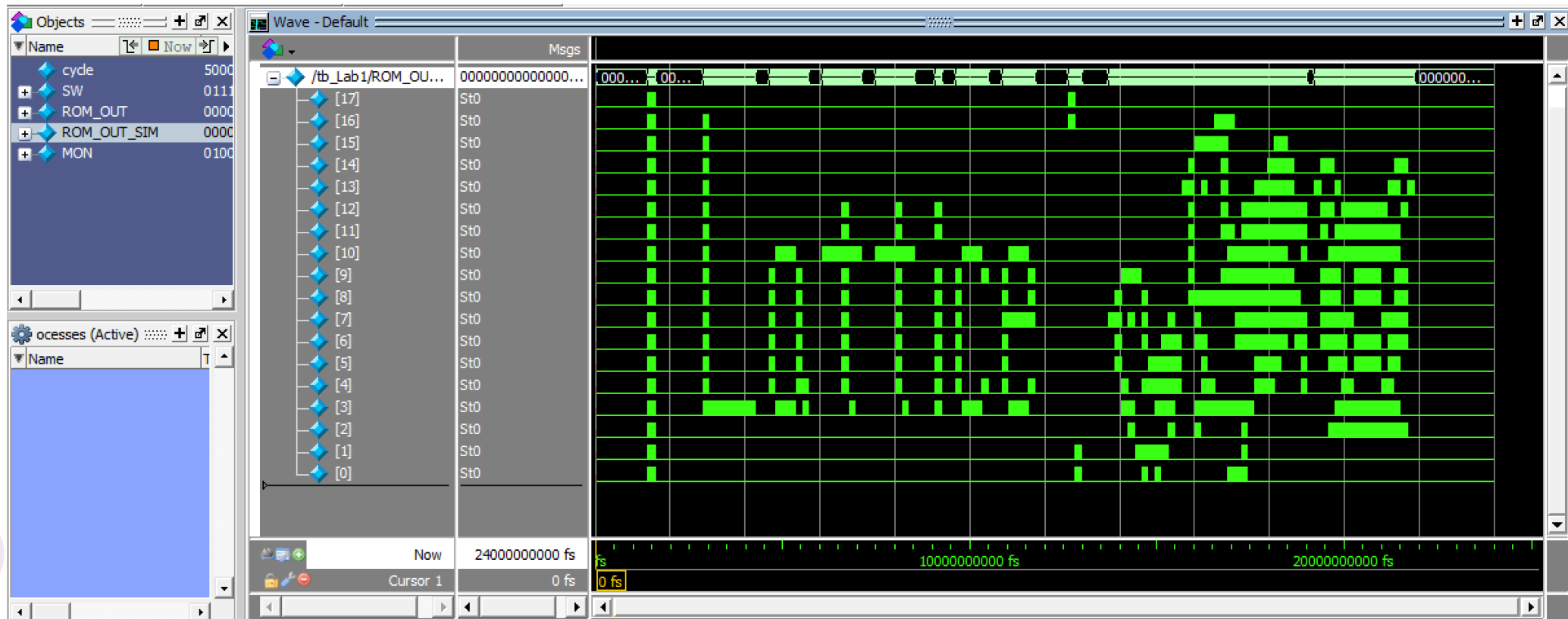


## 2. シミュレーションツール Model Sim- 機能検証

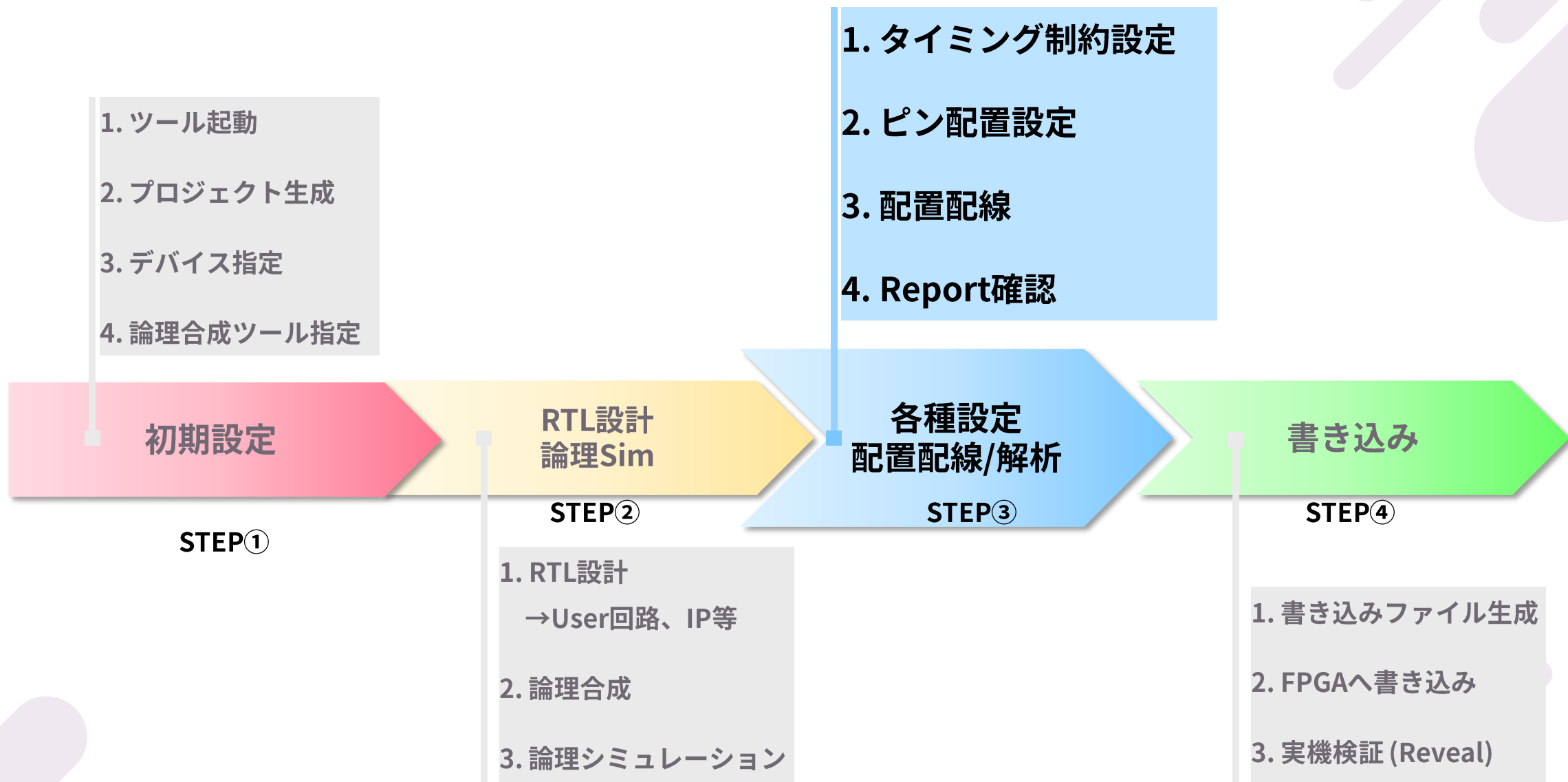
⑦ ROM\_OUT\_SIM をドラッグアンドドロップでWave窓へ追加

⑧  にてシミュレーション時間を「24 us」に設定し、すぐ右の  をクリックして実行

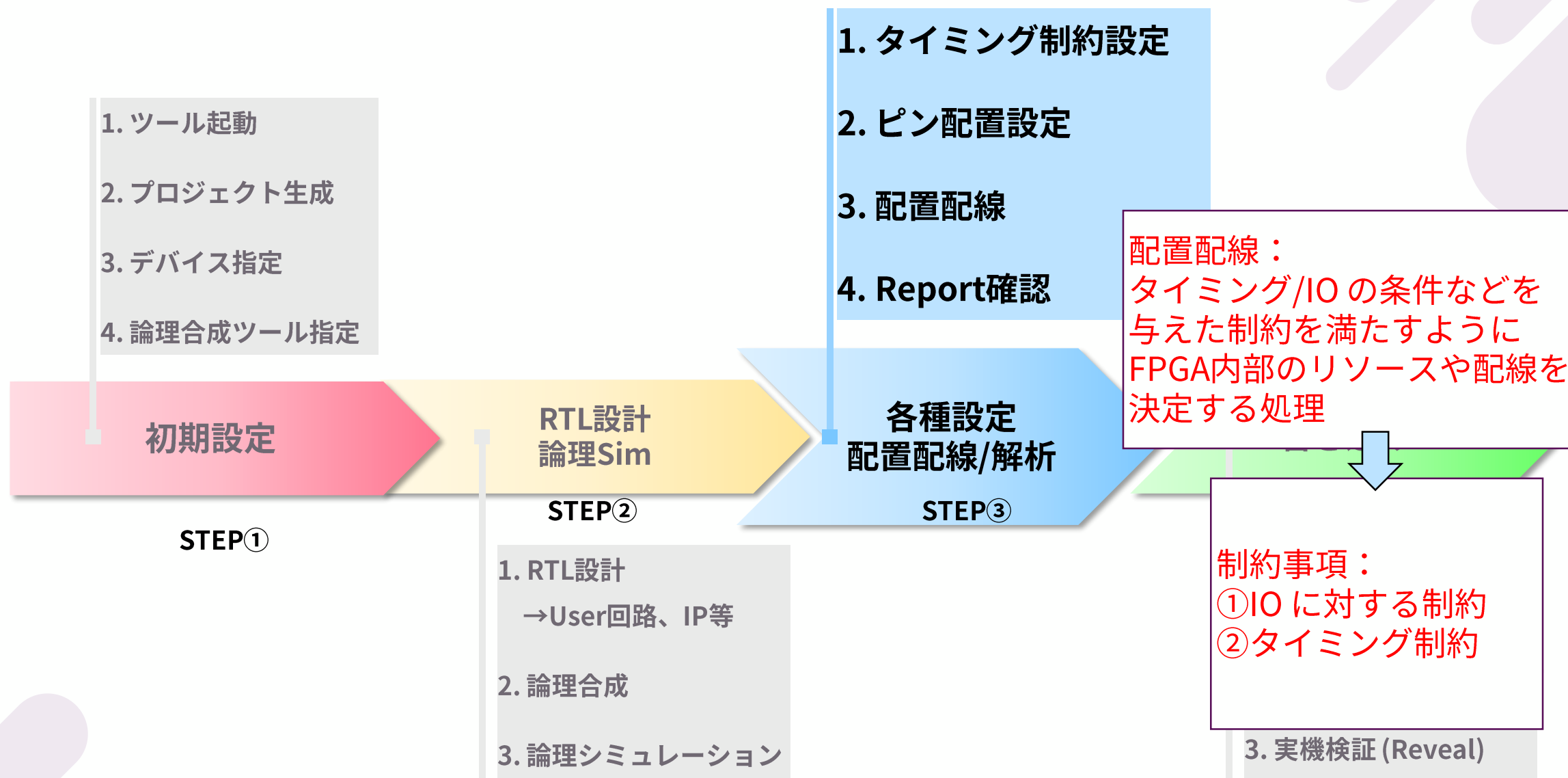
⑧ 実行後に波形出力されていれば、OK



# Radiant の開発プロセス



# Radiant の開発プロセス



### 3. タイミング制約の設定- タイミング制約とは

タイミング制約：制約を与えずに配置配線を行うと、ツールが配線を行い

自分の意図した動作周波数/タイミングで動作しない場合がある

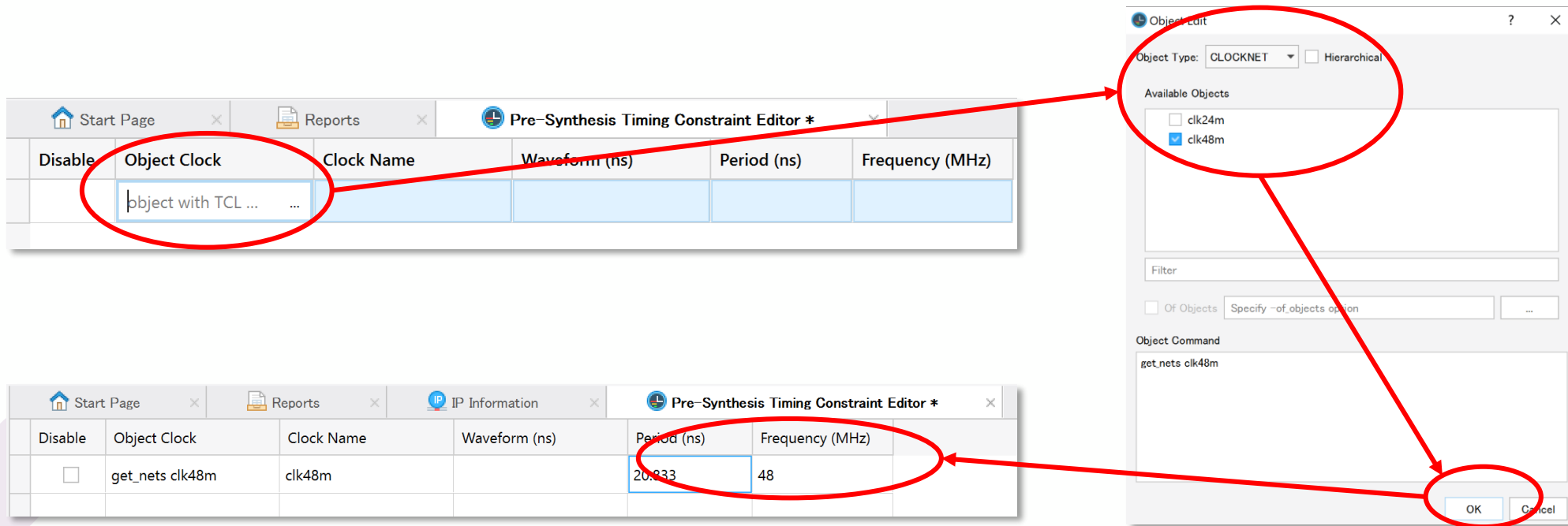
→**制約**をかけ、意図した動作周波数で動くか（タイミングがメットしているか）

確認する必要がある

- ① Clock : クロック周波数/周期の定義 ←最低限かける必要あり、今回はPre/Postで制約かける
- ② Generated Clock : 内部生成クロックに対する種々の設定
- ③ Clock Latency : Rise /Fallタイミング基準の遅延量を与える
- ④ Clock Uncertainty : クロックのジッタやスキューなどの不確かさを与える
- ⑤ Clock Group : 論理的/物理的に非同期あるいは排他的関係にあるクロックグループの定義
- ⑥ Load Capacitance : I/Oポートに対する負荷容量
- ⑦ Input/Output Delay : 入力/出力遅延
- ⑧ Timing Exception : 最少 /最大遅延、フォルスパス、マルチサイクル遅延などを与える
- ⑨ Attribute : 論理合成アトリビュート（Post-Synthesis TCE ウィンドウにはありません）

### 3. タイミング制約の設定 - Preタイミング制約 FREQUENCY制約の設定

- ① Radiant > Tool Bar 上の  のアイコンをクリックし、Pre-Synthesis Timing Constraint Editorを起動
- ② Clockタブ、Object Clock 内のセルをダブルクリックし、右側の…をクリック
- ③ Object Edit内にて、「Object Type = CLOCKNET」、「Available Objects = clk48m」を選択し、OK
- ④ 「Frequency = 48MHz」を入力し、ctrl + s にて「Lab1.sdc」として保存



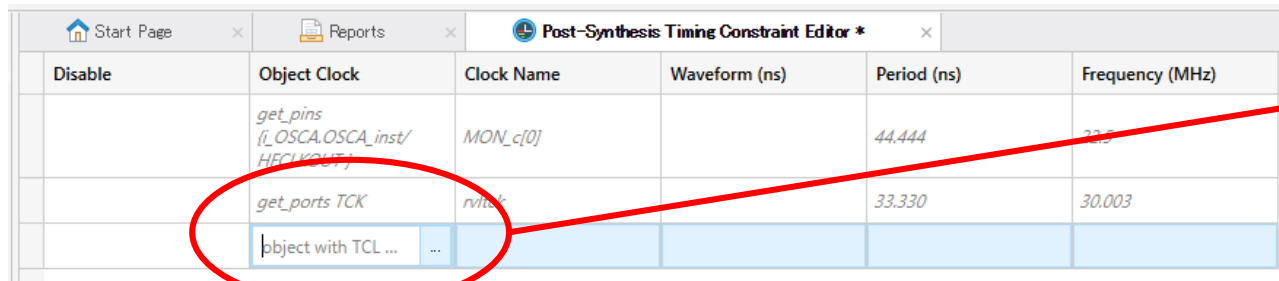
The top screenshot shows the 'Pre-Synthesis Timing Constraint Editor' window. The 'Object Clock' tab is selected. The table has columns: Disable, Object Clock, Clock Name, Waveform (ns), Period (ns), and Frequency (MHz). The 'Object Clock' column contains 'Object with TCL ...'. A red circle is around this cell. A red arrow points from this cell to the 'Object Edit' dialog.

The bottom screenshot shows the 'Object Edit' dialog. The 'Object Type' is set to 'CLOCKNET'. The 'Available Objects' list contains 'clk24m' and 'clk48m', with 'clk48m' selected. A red circle is around the 'OK' button. A red arrow points from the 'OK' button to the 'Frequency (MHz)' field in the bottom screenshot, which is set to '48'.

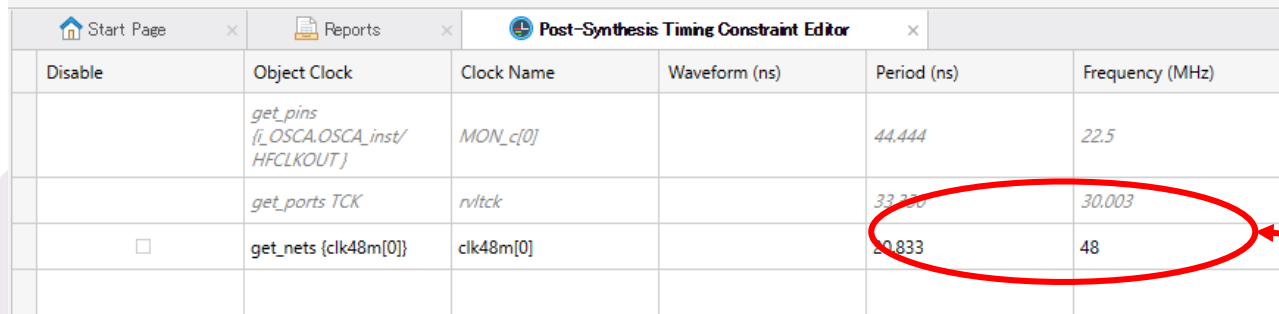
The bottom screenshot also shows the 'Pre-Synthesis Timing Constraint Editor' window. The 'Object Clock' tab is selected. The table has columns: Disable, Object Clock, Clock Name, Waveform (ns), Period (ns), and Frequency (MHz). The 'Object Clock' column contains 'get\_nets clk48m'. The 'Clock Name' column contains 'clk48m'. The 'Period (ns)' column contains '20.833'. The 'Frequency (MHz)' column contains '48'. A red circle is around the 'Frequency (MHz)' field.

### 3. タイミング制約の設定 - Post タイミング制約 FREQUENCY制約の設定

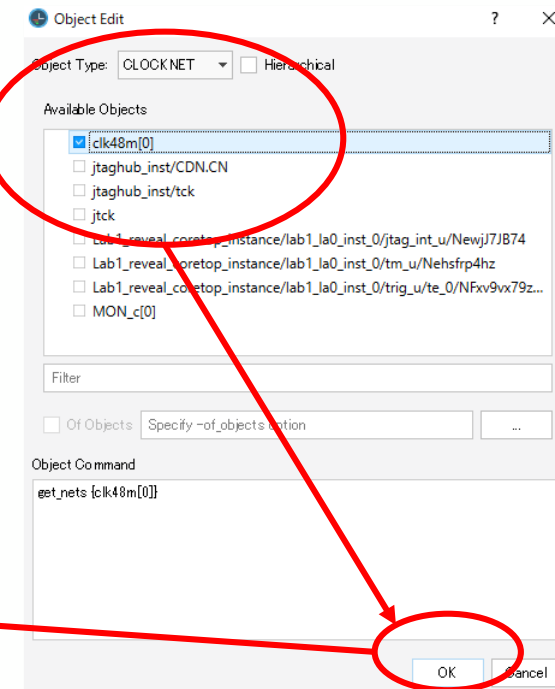
- ① Radiant > Tool Bar 上の  のアイコンをクリックし、Post-Synthesis Timing Constraint Editorを起動
- ② Clockタブ、Object Clock 内のセルをダブルクリックし、右側の…をクリック
- ③ Object Edit内にて、「Object Type = CLOCKNET」、「Available Objects = clk48m」を選択し、OK
- ④ 「Frequency = 48MHz」を入力し、ctrl + s にて「Lab1.pdc」として保存



| Disable | Object Clock                                       | Clock Name            | Waveform (ns) | Period (ns) | Frequency (MHz) |
|---------|----------------------------------------------------|-----------------------|---------------|-------------|-----------------|
|         | <code>get_pins {/i_OSCA.OSCA_inst/HFCLKOUT}</code> | <code>MON_c[0]</code> |               | 44.444      | 22.5            |
|         | <code>get_ports TCK</code>                         | <code>rvtck</code>    |               | 33.330      | 30.003          |
|         | Object with TCL ...                                |                       |               |             |                 |

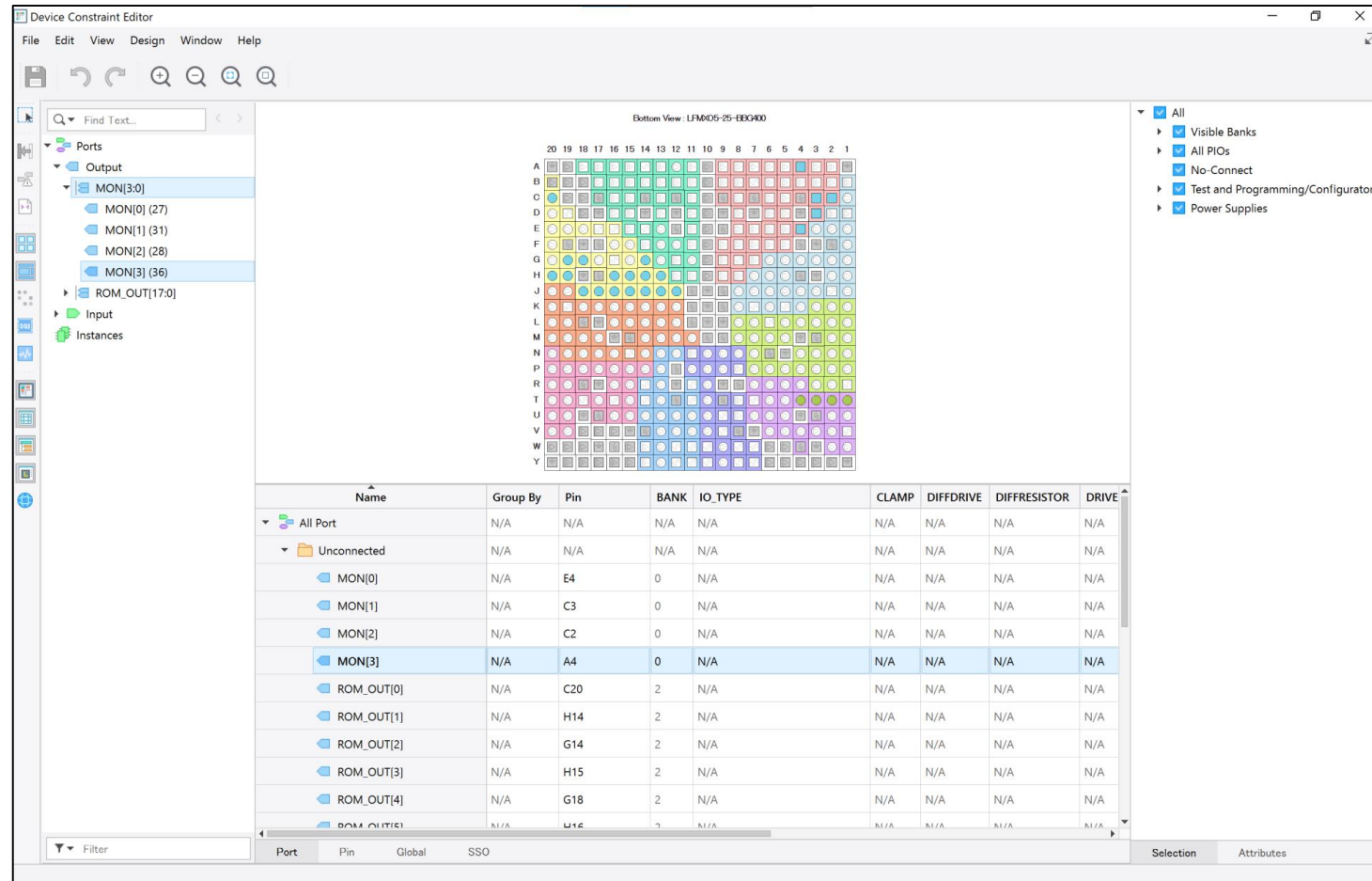


| Disable                  | Object Clock                                       | Clock Name             | Waveform (ns) | Period (ns) | Frequency (MHz) |
|--------------------------|----------------------------------------------------|------------------------|---------------|-------------|-----------------|
|                          | <code>get_pins {/i_OSCA.OSCA_inst/HFCLKOUT}</code> | <code>MON_c[0]</code>  |               | 44.444      | 22.5            |
|                          | <code>get_ports TCK</code>                         | <code>rvtck</code>     |               | 33.330      | 30.003          |
| <input type="checkbox"/> | <code>get_nets {clk48m[0]}</code>                  | <code>clk48m[0]</code> |               | 20.833      | 48              |



### 3. ピン配置の設定- Device Constraint Editor

- ①Radiant > Tool Bar 上の  のアイコンをクリックし、Device Constraint Editorを起動
- ②初めに追加したLab1.pdc のピン配置制約が適用される。（今回は編集不要）



### 3. ピン配置の設定- Device Constraint Editor

The screenshot displays the Device Constraint Editor interface for the LFM05-25-BBG400 device. The interface is divided into several sections:

- Toolbar:** Located on the left side, containing various icons for file operations, navigation, and editing.
- Find Text:** A search bar at the top left.
- Ports:** A tree view on the left showing the hierarchy of ports. The 'Output' section is expanded, showing 'MON[3:0]' and 'ROM\_OUT[17:0]'. The 'Input' and 'Instances' sections are also visible.
- Netlist View:** A central area showing a grid of pins and their connections. A blue box labeled 'パッケージビュー' (Package View) is overlaid on this section.
- Spreadsheet View:** A table at the bottom showing the pin configuration. A blue box labeled 'スプレッドシートビュー' (Spreadsheet View) is overlaid on this section.
- Device View:** A right-hand panel showing the device configuration. A blue box labeled 'デバイスビュー' (Device View) is overlaid on this section.

The Spreadsheet View table is as follows:

| Name        | Group By | Pin | BANK | IO_TYPE | CLAMP | DIFFDRIVE | DIFFRESISTOR | DRIVE |
|-------------|----------|-----|------|---------|-------|-----------|--------------|-------|
| All Port    | N/A      | N/A | N/A  | N/A     | N/A   | N/A       | N/A          | N/A   |
| Unconnected | N/A      | N/A | N/A  | N/A     | N/A   | N/A       | N/A          | N/A   |
| MON[0]      | N/A      | E4  | 0    | N/A     | N/A   | N/A       | N/A          | N/A   |
| MON[1]      | N/A      | C3  | 0    | N/A     | N/A   | N/A       | N/A          | N/A   |
| MON[2]      | N/A      | C2  | 0    | N/A     | N/A   | N/A       | N/A          | N/A   |
| MON[3]      | N/A      | A4  | 0    | N/A     | N/A   | N/A       | N/A          | N/A   |
| ROM_OUT[0]  | N/A      | C20 | 2    | N/A     | N/A   | N/A       | N/A          | N/A   |
| ROM_OUT[1]  | N/A      | C19 | 2    | N/A     | N/A   | N/A       | N/A          | N/A   |
| ROM_OUT[2]  | N/A      | C18 | 2    | N/A     | N/A   | N/A       | N/A          | N/A   |
| ROM_OUT[3]  | N/A      | C17 | 2    | N/A     | N/A   | N/A       | N/A          | N/A   |
| ROM_OUT[4]  | N/A      | C16 | 2    | N/A     | N/A   | N/A       | N/A          | N/A   |
| ROM_OUT[5]  | N/A      | C15 | 2    | N/A     | N/A   | N/A       | N/A          | N/A   |

### 3. リソースレポート確認-MAP Report 確認

- ①Radiant > Report > MAP をクリック、Contentsにカーソルを合わせると、各項目が表示される  
→MAP内にて、LUT、PLL等使用率を確認

**Reports**

- Project Summary
- Synthesis Reports
- ▼ Map Reports
  - ✓ **Map**
  - ✓ Map Resource Usage
  - Map Timing Analysis
- Place & Route Reports
- Export Reports
- Misc Reports

**Map**

Lattice Mapping Report File for Design Module 'Lab1\_impl\_1'

Target Vendor: LATTICE  
Target Device: LFMX05-25BBG400  
Target Performance: 9\_High-Performance\_1.0V

Mapper: version Radiant Software (64-bit) 3.2.1.217.3  
Mapped on: Thu Oct 13 14:37:50 2022

Design Information

Command line: map -i Lab1\_impl\_1\_syn.ldb -pdc  
C:/Users/12801/Desktop/Radiant\_Seminar/Seminar/Lab1/source/impl\_1/Lab1.pdc  
-o Lab1\_impl\_1\_map.ldb -mp Lab1\_impl\_1.mrp -hier rpt -gui

Design Summary

|                                               |                                              |
|-----------------------------------------------|----------------------------------------------|
| Number of registers:                          | 15 out of 23937 (<1%)                        |
| Number of SLICE registers:                    | 14 out of 23040 (<1%)                        |
| Number of PIO Input registers:                | 0 out of 299 (0%)                            |
| Number of PIO Output registers:               | 1 out of 299 (<1%)                           |
| Number of PIO Tri-State registers:            | 0 out of 299 (0%)                            |
| Number of LUT4s:                              | 35 out of 23040 (<1%)                        |
| Number used as logic LUT4s:                   | 23                                           |
| Number used as distributed RAM:               | 0 (6 per 16X4 RAM)                           |
| Number used as ripple logic:                  | 12 (2 per CCU2)                              |
| Number of PIOs used/reserved:                 | 32 out of 299 (8%)                           |
| Number of PIOs reserved:                      | 7 (per sysConfig and/or prohibit constraint) |
| Number of PIOs used:                          | 25                                           |
| Number of PIOs used for single ended IO:      | 25                                           |
| Number of PIO pairs used for differential IO: | 0                                            |
| Number allocated to regular speed PIOs:       | 25 out of 251 (10%)                          |
| Number allocated to high speed PIOs:          | 0 out of 48 (0%)                             |

**Contents**

- [Design Information](#)
- [Design Summary](#)
- [Design Errors/Warnings](#)
- [IO \(PIO\) Attributes](#)
- [Removed logic](#)
- [PLL/DLL Summary](#)
- [ASIC Components](#)
- [GSR Usage](#)
- [Run Time and Memory Usage](#)

# 3. タイミングレポート確認-Place&Route Report 確認

- ①Radiant > Report > Place&Route Reports > Place&Route Timing analysis をクリック
- ②Setup/Holdにてタイミング制約がパスしているか、**必ず**チェックする

**Reports**

- Project Summary
- Synthesis Reports
- Map Reports
- Place & Route Reports
  - Place & Route
  - Signal/Pad
  - Place & Route Timing Analysis**
  - I/O Timing Analysis
- Export Reports
- Misc Reports

**Place & Route Timing Analysis**

3 TIMING ANALYSIS SUMMARY

3.1 Overall (Setup and Hold)

3.1.1 Constraint Coverage

Constraint Coverage: 34.127%

3.1.2 Timing Errors

Timing Errors: 0 endpoints (setup), 0 endpoints (hold)

3.1.3 Total Timing Score

Total Negative Slack: 0.000 ns (setup), 0.000 ns (hold)

3.2 Setup Summary Report

| Listing 10 End Points                                                                                                          | Slack     |
|--------------------------------------------------------------------------------------------------------------------------------|-----------|
| i_RAM_DP1/lssc_ram_dp_inst/mem_main/NON_MIX.ADDR_ROUTE[0].DATA_ROUTE[0].mem_init.u_mem0/LIFCL_MEM.pdp16k.PDP16K_MODE_inst/CSR0 | 18.662 ns |
| i_RAM_DP1/lssc_ram_dp_inst/mem_main/NON_MIX.ADDR_ROUTE[0].DATA_ROUTE[0].mem_init.u_mem0/LIFCL_MEM.pdp16k.PDP16K_MODE_inst/CSR2 | 18.774 ns |
| i_RAM_DP1/lssc_ram_dp_inst/mem_main/NON_MIX.ADDR_ROUTE[0].DATA_ROUTE[0].mem_init.u_mem0/LIFCL_MEM.pdp16k.PDP16K_MODE_inst/CSR1 | 18.785 ns |
| i_MULT/lssc_multiplier_inst/genblk1.u_lssc_multiplier_dsp/U_O_REG_ON.result_o_0io[0].PIC_inst/D                                | 19.253 ns |
| freq_cont_reg[8].ff_inst/DF                                                                                                    | 19.410 ns |
| freq_cont_reg[9].ff_inst/DF                                                                                                    | 19.429 ns |
| freq_cont_reg[6].ff_inst/DF                                                                                                    | 19.464 ns |
| freq_cont_reg[7].ff_inst/DF                                                                                                    | 19.483 ns |
| freq_cont_reg[4].ff_inst/DF                                                                                                    | 19.518 ns |
| freq_cont_reg[5].ff_inst/DF                                                                                                    | 19.537 ns |

Setup # of endpoints with negative slack: 0

**Contents**

- Timing Report
- 1 DESIGN CHECKING
  - 1.1 SDC Constraints
  - 1.2 Combinational Loop
- 2 CLOCK SUMMARY
- 3 TIMING ANALYSIS SUMMARY
  - 3.1 Overall (Setup and Hold)
  - 3.2 Setup Summary Report
  - 3.3 Hold Summary Report
  - 3.4 Unconstrained Report
- 4 DETAILED REPORT
  - 4.1 Setup Detailed Report
  - 4.2 Hold Detailed Report

# 3. タイミングレポート確認-Place&Route Report 確認

- ① タイミングエラー発生時は、以下のように赤いハイライトで表示される
- ② タイミングエラーの詳細は、Contents より確認

Reports

Project Summary

Synthesis Reports

Map Reports

Place & Route Reports

Place & Route

Signal/Pad

Place & Route

Copyright (c) 2002-2022 Lattice Semiconductor Corporation, All rights reserved.  
Thu Oct 13 16:53:18 2022  
Command Line: par -w -n 1 -t 1 -s 1 -cores 1 -exp parPathBased=ON \ Lab1\_impl\_1\_map.udb Lab1\_impl\_1.udb

Cost Table Summary

| Level/     | Number   | Worst | Timing | Worst        | Timing       |      |
|------------|----------|-------|--------|--------------|--------------|------|
| Cost [udb] | Unrouted | Slack | Score  | Slack (hold) | Score (hold) | Time |
| S_1        | *        | 0     | -6.816 | 6816         | 0.165        | 0    |

\* : Design saved.

Total (real) run time for 1-seed: 18 secs  
par done!

Lattice Place and Route Report for Design "Lab1\_impl\_1\_map.udb"  
Thu Oct 13 16:53:18 2022

Reports

Project Summary

Synthesis Reports

Map Reports

Place & Route Reports

Place & Route

Signal/Pad

Place & Route Timing Analysis

I/O Timing Analysis

Export Reports

Misc Reports

Place & Route Timing Analysis

3 TIMING ANALYSIS SUMMARY

3.1 Overall (Setup and Hold)

3.1.1 Constraint Coverage

Constraint Coverage: 95.5786%

3.1.2 Timing Errors

Timing Errors: 1 endpoints (setup), 0 endpoints (hold)

3.1.3 Total Timing Score

Total Negative Slack: 6.816 ns (setup), 0.000 ns (hold)

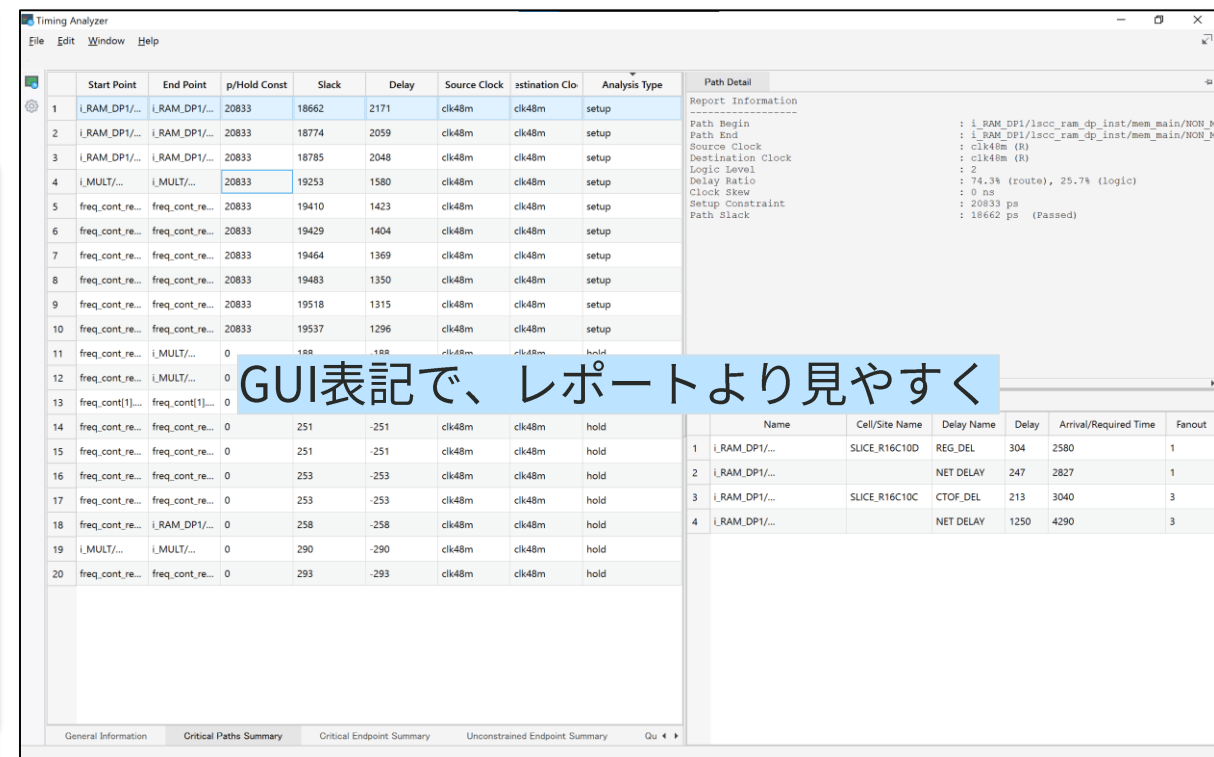
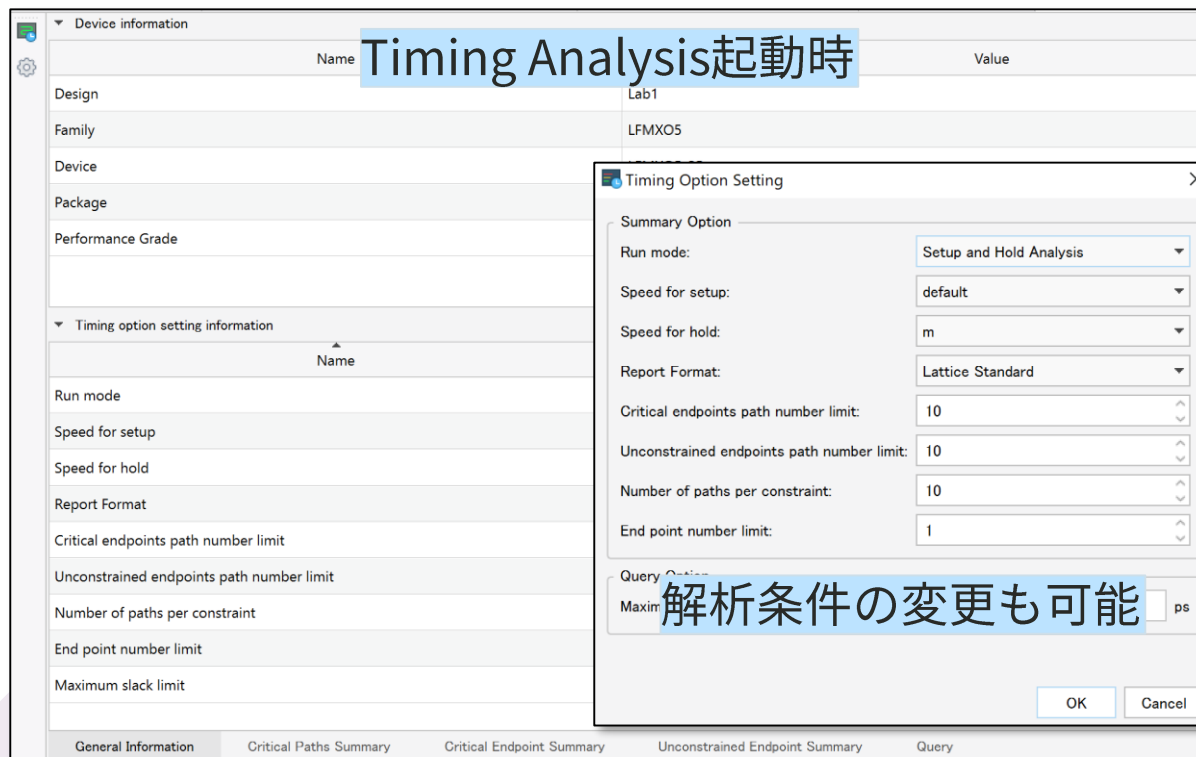
3.2 Setup Summary Report

| Listing 10 End Points      | Slack     |
|----------------------------|-----------|
| jtaghub_inst/jtagg_u/JTDO2 | -6.816 ns |
| secured_pin_0_455_15       | 17.786 ns |
| secured_pin_0_451_15       | 17.898 ns |
| secured_pin_0_274_15       | 17.992 ns |
| secured_pin_0_474_15       | 18.019 ns |
| secured_pin_0_473_15       | 18.019 ns |
| secured_pin_0_452_15       | 18.053 ns |
| secured_pin_0_449_15       | 18.053 ns |
| secured_pin_0_448_15       | 18.053 ns |
| secured_pin_0_491_15       | 18.229 ns |

Setup # of endpoints with negative slack: 1

### 3. タイミングについて - 静的タイミング解析

- ① Radiant > Tool Bar > Timing Analyzer  をクリック、初期画面では解析時の設定表示
- ②  アイコンにて配置配線を変更することなく、静的にタイミング解析可能
- ③ レポートと同じ内容をGUI上で、タイミング解析結果の確認が可能



# 3. 消費電力見積もりについて - Power Calculator

①Radiant > Tool Bar > Power Calculator  をクリック

②配置配線後は、Calculation モードで消費電力を表示

| モード         | 見積フェーズ          | コア・リソースの使用率 | 配線リソースの使用率 | クロック周波数     | 活性化率 (AF)   | 見積精度     |
|-------------|-----------------|-------------|------------|-------------|-------------|----------|
| Estimation  | 見積時<br>初期設計段階   | ユーザー入力      | ツール推定      | ユーザー入力      | ユーザー入力      | 概算       |
| Calculation | 配置配線後           | ネットリストより抽出  | ネットリストより抽出 | ユーザー入力      | ユーザー入力      | 一般的な期待精度 |
|             | Gate Level Sim後 |             |            | TWRファイルより抽出 | VCDファイルより抽出 | 高精度も可能   |

Device

Family: LFMX05 Performance grade: 9.High-Performance,1.0V

Device: LFMX05-25 Operating conditions: Commercial

Package type: BBG400 Part Number: LFMX05-25-9BBG400C

Device Power Parameters

Process Type: Typical Power File Revision: Preliminary

Software Mode: Calculation Calculate

Environment

Thermal Profile...

Ambient Temperature(° C): 25

Effective Theta-JA(° C/W): 14.53

Junction Temperature(° C): 25.32

Maximum Safe Ambient(° C): 84.35

Voltage/Dynamic Power Multiplier

|            | Voltage | DPM  |
|------------|---------|------|
| Vcc        | 1.000   | 1.00 |
| Vccaux     | 1.800   | 1.00 |
| Vccauxa    | 1.800   | 1.00 |
| Vccauxh    | 1.800   | 1.00 |
| Vccio 3.3  | 3.300   | 1.00 |
| Vccio 2.5  | 2.500   | 1.00 |
| Vccio 1.8  | 1.800   | 1.00 |
| Vccio 1.35 | 1.350   | 1.00 |
| Vccio 1.5  | 1.500   | 1.00 |
| Vccio 1.2  | 1.200   | 1.00 |
| Vccio 1.0  | 1.000   | 1.00 |
| Vccadc18   | 1.800   | 1.00 |

Current by Power Supply

| Static (A) | Dynamic (A) | Total (A) |
|------------|-------------|-----------|
| 0.003115   | 0.001018    | 0.004132  |
| 0.001709   | 0.000072    | 0.001781  |
| 0.002774   | 0.000000    | 0.002774  |
| 0.000164   | 0.000000    | 0.000164  |
| 0.001585   | 0.000627    | 0.002211  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.001311   | 0.000000    | 0.001311  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.000036   | 0.000000    | 0.000036  |
| 0.010694   | 0.001716    | 0.012410  |

Power by Power Supply

| Static (W) | Dynamic (W) | Total (W) |
|------------|-------------|-----------|
| 0.003115   | 0.001018    | 0.004132  |
| 0.003076   | 0.000130    | 0.003206  |
| 0.004993   | 0.000000    | 0.004993  |
| 0.000296   | 0.000000    | 0.000296  |
| 0.005229   | 0.002068    | 0.007297  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.002359   | 0.000000    | 0.002359  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.000000   | 0.000000    | 0.000000  |
| 0.000065   | 0.000000    | 0.000065  |
| 0.019134   | 0.003215    | 0.022348  |

Power by Block (W) Peak Startup

|             |          |
|-------------|----------|
| Logic Block | 0.001394 |
| Clocks      | 0.000593 |
| I/O         | 0.013076 |
| I/O Term    | 0.000000 |
| DSP         | 0.000111 |
| PLL         | 0.000910 |
| Block RAM   | 0.000105 |
| LRAM        | 0.000003 |
| SGMIICDR    | 0.000036 |
| DDRDL       | 0.000344 |
| DLLDEL      | 0.000002 |
| DQS         | 0.000049 |
| ADC         | 0.000069 |
| Misc        | 0.005656 |
| Total       | 0.022348 |

# 3. ツールの詳細について

● 弊社Latticeページにて、[Radiantの詳しい解説資料を無償配布中！](#)



ラティスセミコンダクターコーポレーション社

## Lattice FPGA設計ツールRADIANT 日本語版マニュアル

設計 ☐ FPGA/CPLD/ASIC ☒ Lattice

### － Lattice FPGA 設計ツール Radiant 日本語版マニュアル

Radiantは、ICE40 UltraPlus, CrossLink-NX, Certus-NX, CertusPro-NX, MachXO5-NXを設計する際に必要となる設計ツールです。

Radiantの各操作やツールに関して、詳細マニュアルを日本語で掲載しています。

1章. インストール ～インストール手順とライセンス～

2章. プロジェクト構造 ～Lattice Radiant でのデザイン・プロジェクトの構造や管理方法～

3章. デザインフローとRun Manager ～処理プロセスの説明とインプリメンテーションの並列処理～

4章. モジュール / IP作成 ～IP Catalog とモジュール生成方法～

5章. 論理合成プロセス ～論理合成ツールの選択やオプション設定～

6章. マッピングプロセス ～Map DesignにおけるStrategy設定・エラー/ワーニング・マッピング後のタイミング解析・解析レポート～

7章. 配置配線プロセス ～Place And RouteにおけるStrategy設定・エラー/ワーニング・PAR後のタイミング解析・解析レポート～

8章. 書き込みデータ生成 ～Export FilesによるBistream/JEDECファイルの生成～

9章以降. すべての資料をご参照いただくには以下のボタンから申し込みをお願いします。

[>今すぐお申し込み](#)

Rev.3.2

### 17.5 配置モード (Placement Mode)

#### 17.5.1 PAR 結果の表示

フィジカル・デザイナーを起動すると、配置モードで表示されます。図 17-2 のように、使用されている (配置配線済) リソースは濃い水色で表示されます。

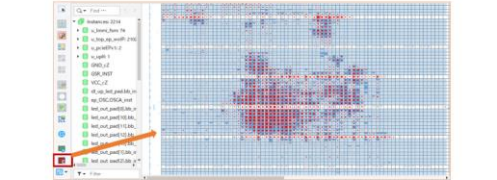
タイミング・マージンの確認は、PAR まで完了後に次のように行います。アイコンバーから  をクリックします (図 17-14 左) (PAR 未完了時はグレーアウトしてクリックできません)。「Timing Setting」ウィンドウが立ち上がります。マージン量によって赤・黄・緑の三色で表示されますが、それらのスラック閾値 "slack init" と "slack 12" を (m) 単位でそれぞれ入力します (図 17-14 中央)。「OK」をクリックすると配線結果とスラックを指定に従って表示します (図 17-14 右)。

図 17-14. タイミング・マージンの確認例



配線の混み具合 (Congestion) の確認は、やはり PAR まで完了後に  をクリックして行います。

図 17-15. 配線の混み具合表示例 (一部を拡大)



Rev.3.2

### 17.5.2 フロアプランニング

Lattice Radiant でフロアプランニング、すなわちデバイス内部の各種リソースに対する配置位置の指定はマッピング (Map Design) プロセスの前にフィジカル・デザイナーで行います。フロアプラン指定を変更後、再配置を行います。

設定時に、出力するマップで用意されている風

コンフィグレーション動作はこの最低値の周波数で開始され、ボタンから本設定ビットが検出されると、その周波数に切り替わります。

**PROGRAM PORT**

デフォルト [ENABLE] では、ユーザーは PROGRAM ピンを使用できません。[DISABLE] にすると GPIO として使用できるようになります。

**SLAVE\_I2C\_PORT**

デフォルト [ENABLE] では、ユーザーは SLAVE\_I2C ピンを使用できません。[DISABLE] にすると GPIO として使用できるようになります。

**SLAVE\_I3C\_PORT**

デフォルト [ENABLE] では、ユーザーは SLAVE\_I3C ピンを使用できません。[DISABLE] にすると GPIO として使用できるようになります。

**SLAVE\_SPI\_PORT**

デフォルト [DISABLE] では、コンフィグレーション完了後にユーザーは SLAVE\_SPI ピンを GPIO として使用できます。[SERIAL] にするとシリアルモードのスレーブ SPI がイネーブルされ、外部ポートからデバイス内部へのコンフィグレーション・アクセスが可能になります。[DUAL] や [QUAD] にすると、データ線二本や四本のスレーブ SPI モードで動作します。

**TRANSFER**

[OFF] で "Transfer" 機能はオフで、[ON] にすると Transfer がイネーブルされます。デフォルトはデバイス・ファミリーによって異なり、LFD2NX (Certus-NX) と LIFCL (CrossLink-NX) では [OFF]、LFCPNX (CertusPro-NX) では [ON] です。

**WAKE UP**

コンフィグレーション完了後に、デバイスがユーザーモードに移行する際の起動方法を指定します。デフォルトは [ENABLEDONESYNC] で、DONEEX=ON の時に DONE ピンと同期します。



Rev.3.2

### 17.4 IO モード (IO Mode)

#### 17.4.1 IO プランニング

IO モードではリソース (主に IO) のプランニング (配置指定、"LOCATE") や、PAR 実行後の IO / DQS / PLL / DLL / ECLKSVC などのリソース使用状況を確認できます。

IO プランニングを行う場合、まずマッピングまで実行します。ウィンドウ左側のリソース枠にインスタンスや IO ポートのリストが表示されます (図 17-10)。これをもとにドラッグ&ドロップ形式で右側のチップイメージ上に配置指定していきます。図 17-10 赤枠内の上部テキスト検索や下部フィルター・セルを活用できます。

図 17-10. マッピング後の IO モード初期表示例



IO 配置指定の操作例を図 17-11 に示します。左枠でポートを選択後にドラッグしますが、目的のパッドへのドロップが有効な場合は、マウスポインターが  印になり、あつぱッドの色が黄緑 になります。意図するパッドの場合、その状態でドロップします。ドロップするとパッドの色が桃色 になります。なお、ピンを使用できません。

図 17-11. IO 配置指定の操作例



Rev.3.2

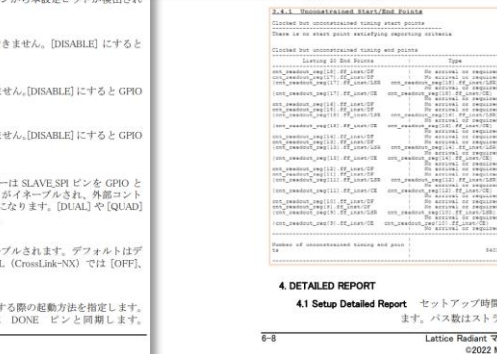
### 図 9-4. 未制約レポート例

3.4.1 Unconstrained Start/End Points

Unconstrained start points are those that do not have timing constraints. These are the start points for signals that are not constrained. The table below shows the start points for signals that are not constrained.

| Signal    | Start Point | Type  |
|-----------|-------------|-------|
| clk_in_0  | 0x00000000  | Input |
| clk_in_1  | 0x00000000  | Input |
| clk_in_2  | 0x00000000  | Input |
| clk_in_3  | 0x00000000  | Input |
| clk_in_4  | 0x00000000  | Input |
| clk_in_5  | 0x00000000  | Input |
| clk_in_6  | 0x00000000  | Input |
| clk_in_7  | 0x00000000  | Input |
| clk_in_8  | 0x00000000  | Input |
| clk_in_9  | 0x00000000  | Input |
| clk_in_10 | 0x00000000  | Input |
| clk_in_11 | 0x00000000  | Input |
| clk_in_12 | 0x00000000  | Input |
| clk_in_13 | 0x00000000  | Input |
| clk_in_14 | 0x00000000  | Input |
| clk_in_15 | 0x00000000  | Input |
| clk_in_16 | 0x00000000  | Input |
| clk_in_17 | 0x00000000  | Input |
| clk_in_18 | 0x00000000  | Input |
| clk_in_19 | 0x00000000  | Input |
| clk_in_20 | 0x00000000  | Input |
| clk_in_21 | 0x00000000  | Input |
| clk_in_22 | 0x00000000  | Input |
| clk_in_23 | 0x00000000  | Input |
| clk_in_24 | 0x00000000  | Input |
| clk_in_25 | 0x00000000  | Input |
| clk_in_26 | 0x00000000  | Input |
| clk_in_27 | 0x00000000  | Input |
| clk_in_28 | 0x00000000  | Input |
| clk_in_29 | 0x00000000  | Input |
| clk_in_30 | 0x00000000  | Input |
| clk_in_31 | 0x00000000  | Input |

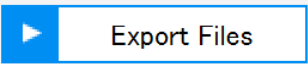
Number of unconstrained timing start points: 32

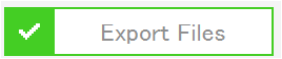


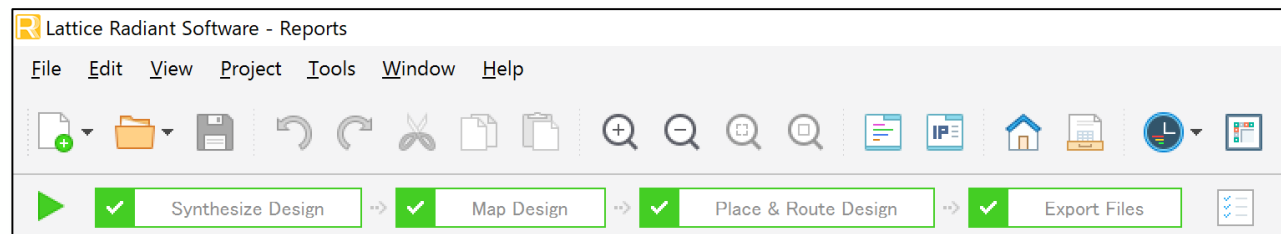
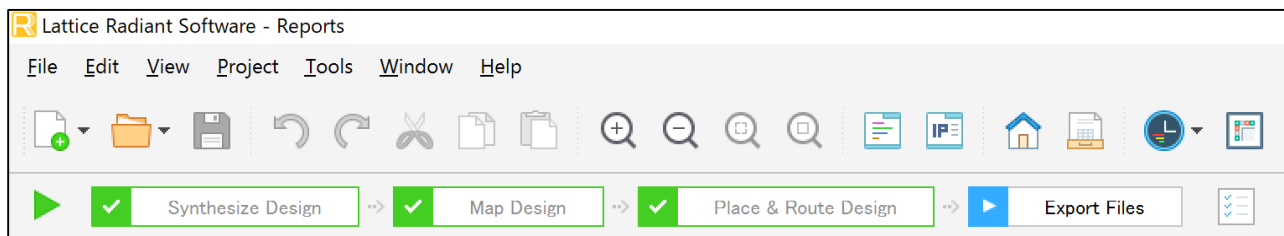
# Radiant の開発プロセス



# 4.プログラミングデータ生成

①Radiant > Tool Bar 下の  をクリックし生成

②エラー発生は  、正常に生成を終えると  表示

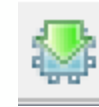


# 4.FPGAへプログラミング – FPGAとPCの接続、Radiant Programmer

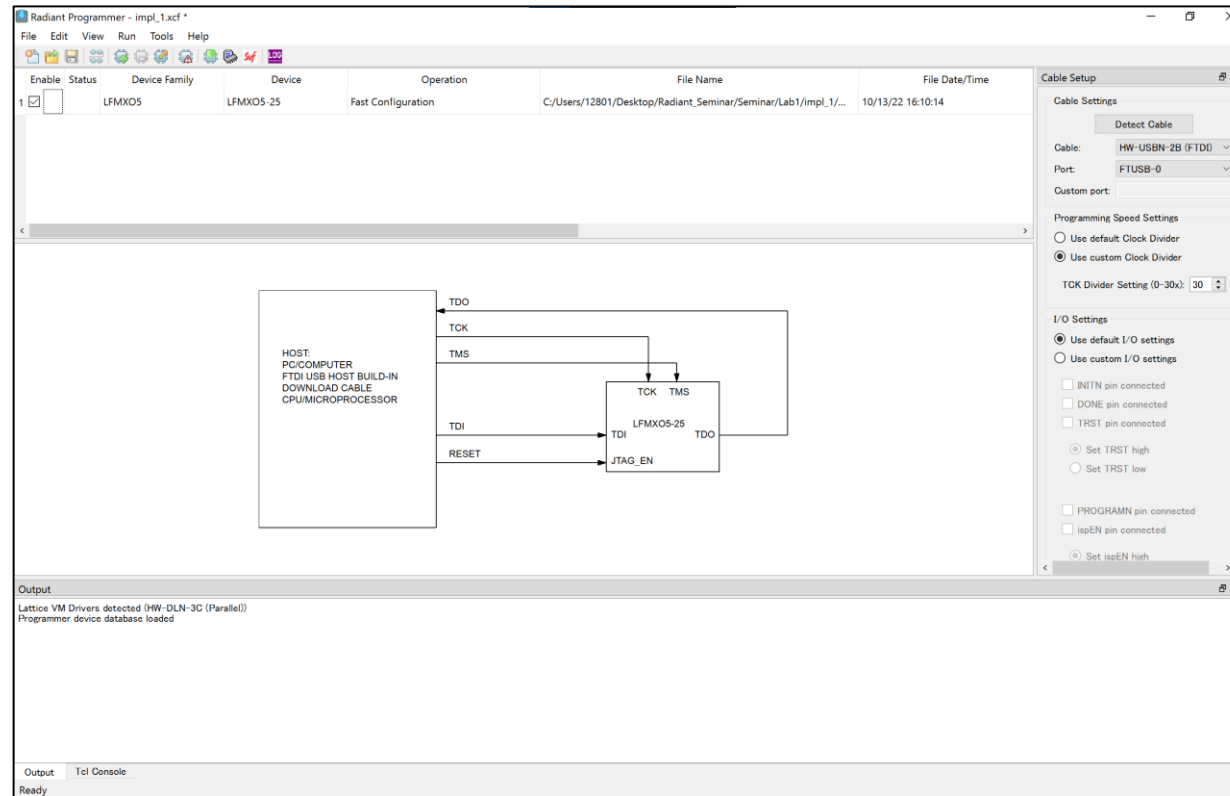
①FPGA と PC を USBケーブルにて接続

②Radiant > Radiant Programmer  を起動

③デバイスが正しく選択されているか、Operation = Fast Configuration を確認し、

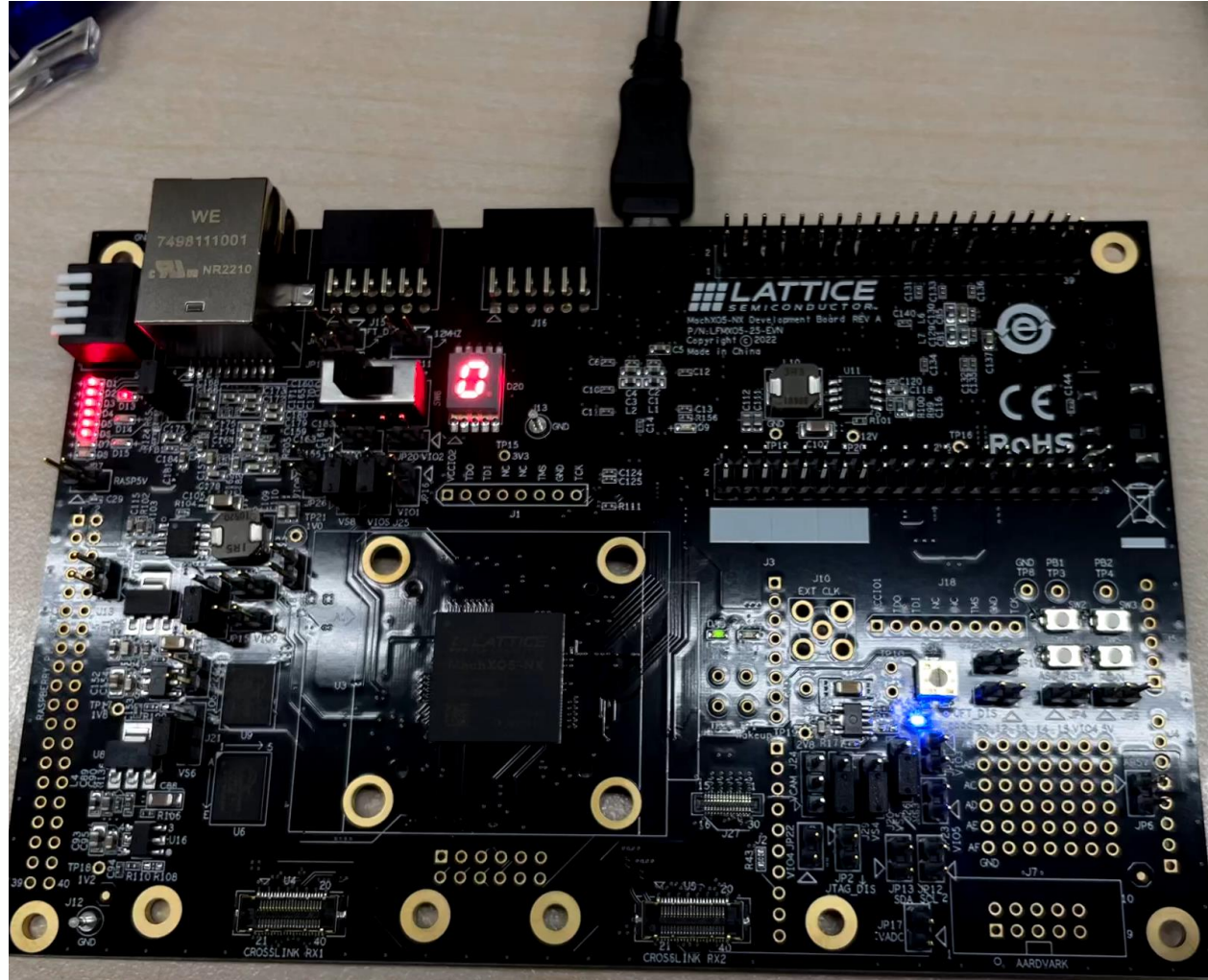


書き込み



## 4.FPGAへプログラミング-実機動作確認

①FPGAへFast Configuration にて書き込み後、LEDが以下のように点灯していたら、正常に動作を確認



# 4.Reveal について - 内部ノード観測ツール

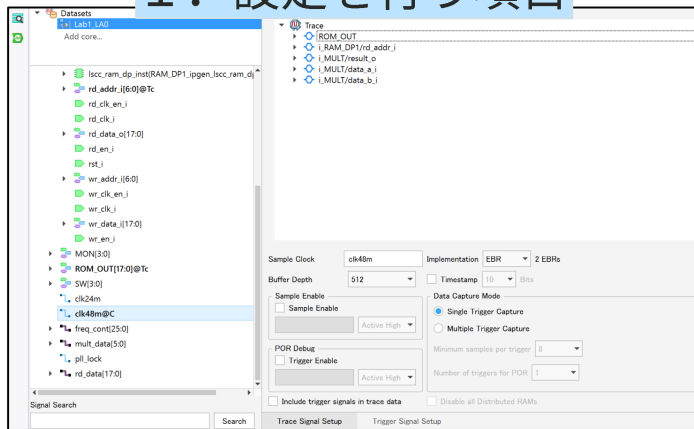
Reveal：デバイスの I/O や 内部ノードを観測するもの

約300LUTs 程のリソースを消費

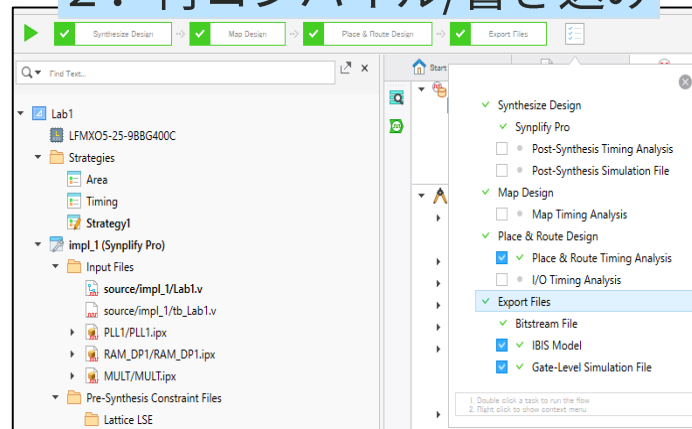
Reveal 生成後、再度配置配線を行う必要あり

大きく 3つのフローから構成される

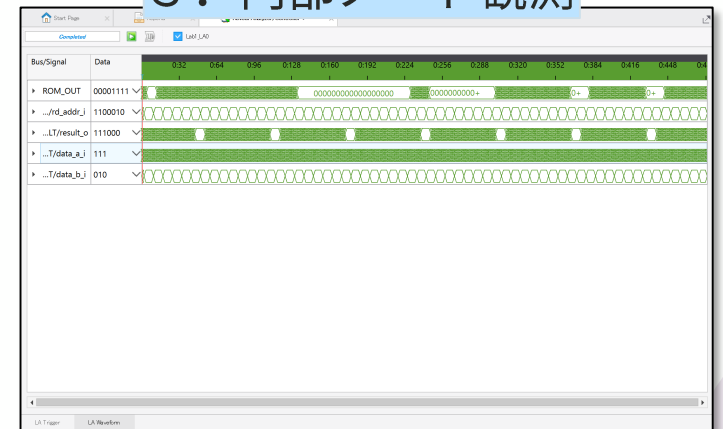
## 1. 設定を行う項目



## 2. 再コンパイル/書き込み

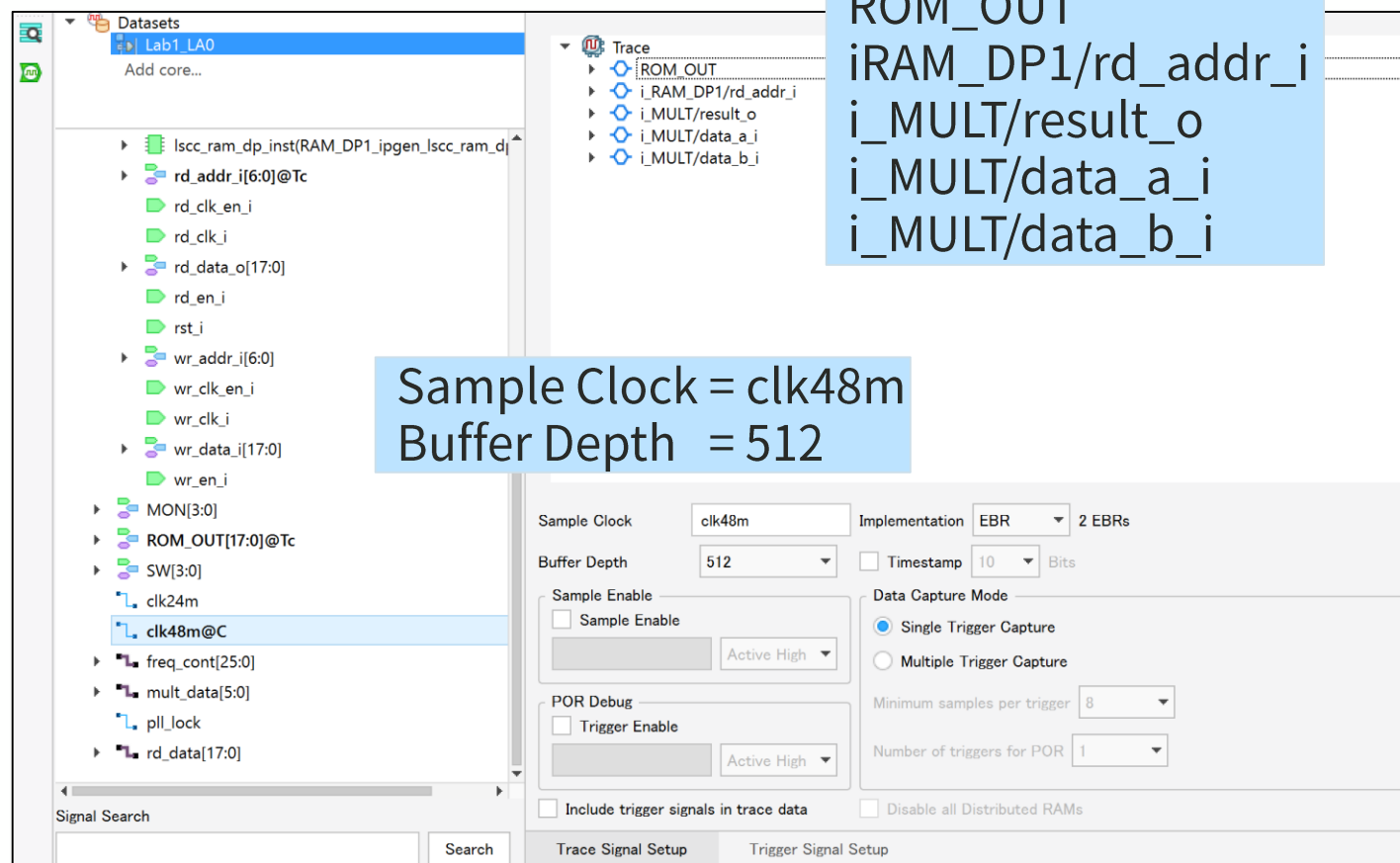
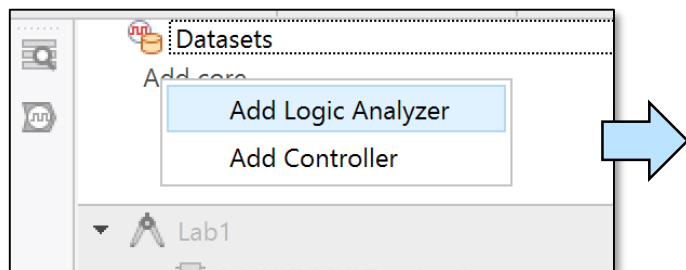


## 3. 内部ノード観測



## 4.Reveal Inserter 設定- On-chip debug logic 挿入

- ①Reveal Inserter  を起動、Add Core > Add Logic analyzer を選択
- ②Trace Signal Setup > Trace に観測する信号をドラッグ&ドロップ
- ③Sample Clock = clk48m に設定
- ④Buffer Depth = 512 に設定



ROM\_OUT  
i\_RAM\_DP1/rd\_addr\_i  
i\_MULT/result\_o  
i\_MULT/data\_a\_i  
i\_MULT/data\_b\_i

Sample Clock = clk48m  
Buffer Depth = 512

# 4.Reveal Inserter 設定- On-chip debug logic 挿入

- ⑤Reveal Inserter 下部の Trigger signal Setup へ移動
- ⑥Trigger Unit > Addにて、Signal = i\_RAM\_DP/rd\_addr\_i[6:0] ドラッグ&ドロップ
- ⑦Trigger Expression > Add にて Expression = TU1、RAM Type = 1 EBR に設定

The screenshot displays the Reveal Inserter configuration window. On the left, a tree view shows the signal hierarchy under 'Lab1\_LA0'. The signal 'rd\_addr\_i[6:0]@Tc,Tg' is selected. On the right, the 'Trigger Unit' table contains one entry: TU1, with signal 'i\_RAM\_DP/rd\_addr\_i[6:0]', operator '==', radix 'Bin', and value '0000000'. Below this, the 'Trigger Expression' table contains one entry: TE1, with expression 'TU1', RAM Type '1 EBR', sequence depth '1', max sequence depth '2', and max event counter '1'. A blue callout box points to the signal selection step: 'Add > Signals ^ i\_RAM\_DP/rd\_addr\_i[6:0]'. Another blue callout box points to the expression and RAM type settings: 'Add > Expression ^ TU1 RAM Type = 1 EBR'. At the bottom, a progress bar shows the steps: STEP 1 (Initial Setup), STEP 2 (RTL Design Simulation), STEP 3 (Configuration Line/Analysis), and STEP 4 (Writing).

| Name  | Signals (MSB:LSB)       | Operator | Radix | Value   |
|-------|-------------------------|----------|-------|---------|
| 1 TU1 | i_RAM_DP/rd_addr_i[6:0] | ==       | Bin   | 0000000 |

Add > Signals ^ i\_RAM\_DP/rd\_addr\_i[6:0]

| Name  | Expression | RAM Type | Sequence Depth | Max Sequence Depth | Max Event Counter |
|-------|------------|----------|----------------|--------------------|-------------------|
| 1 TE1 | TU1        | 1 EBR    | 1              | 2                  | 1                 |

Add > Expression ^ TU1  
RAM Type = 1 EBR

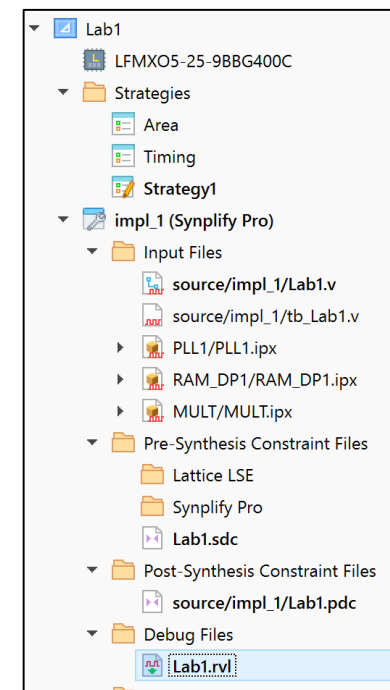
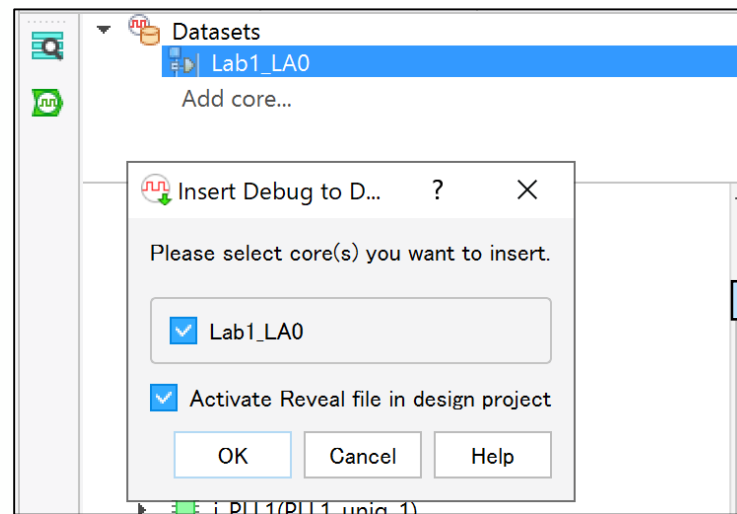
Progress bar: STEP 1 (Initial Setup) > STEP 2 (RTL Design Simulation) > STEP 3 (Configuration Line/Analysis) > STEP 4 (Writing)

## 4.Reveal Inserter 設定- On-chip debug logic 挿入

- ⑧Reveal Inserter 左側のDesign Rule Check  を選択
- ⑨radiant tool 下部の Output にて エラー確認
- ⑩ Reveal Inserter 左側のInsert Debug to Design  をクリックし、OK
- ⑪Lab1.rvl として保存、File List に Lab1.rvl がインプリメントされているのを確認

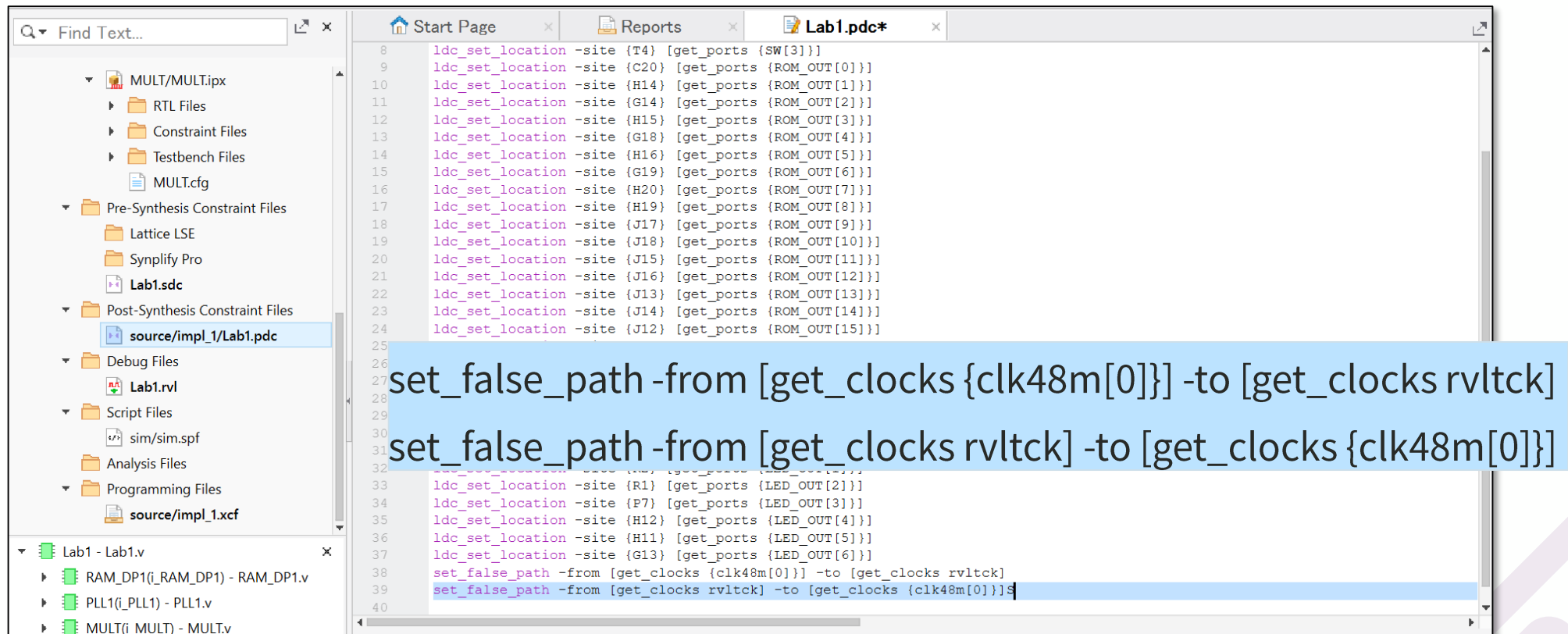
```
Checking design rules ...  
INFO - The number of EBRs needed is 3.  
INFO - The number of DistRAM (logic/ROM/RAM) slices needed is 0.  
Design Rule Check PASSED.
```

Tcl Console   Output   Message



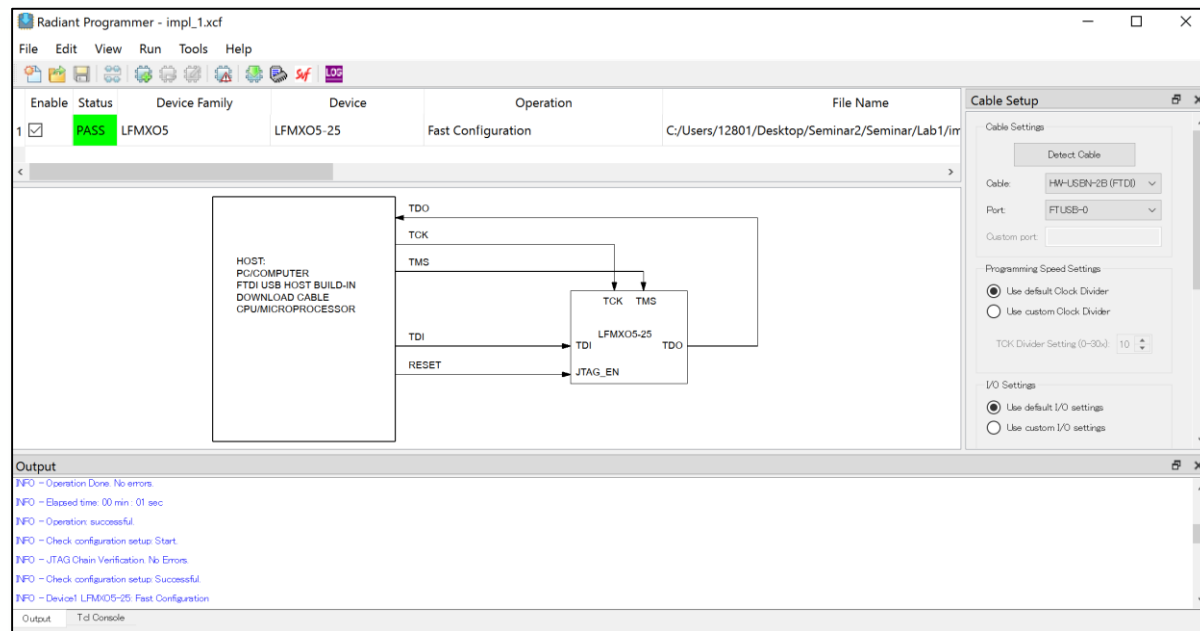
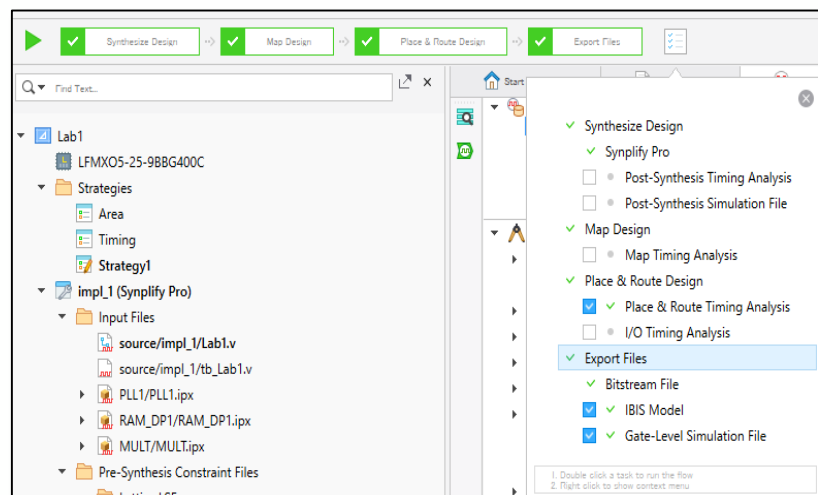
## 4.Reveal Inserter 設定- タイミング解析対象から除外

- ⑫ DLコンテンツ内の「Reveal timing set\_false\_path.txt」に記載の2行をコピーし、  
「Lab1.pdc」内にペースト（Reveal信号をタイミング解析対象から除外）



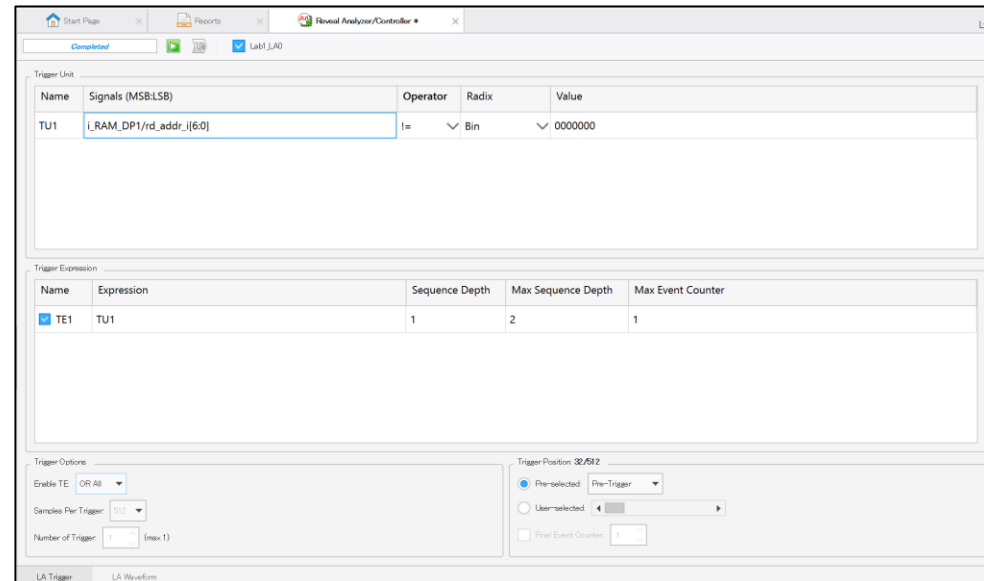
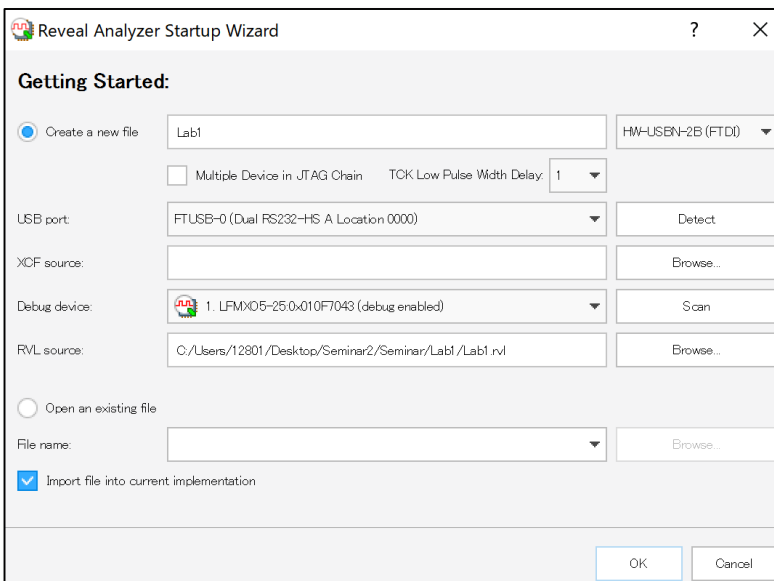
## 4.Reveal Inserter 設定 - On-chip debug logic 挿入

- ⑫再度Bitstream File を生成（配置配線も再度行うので注意）
- ⑬Radiant Programmerにて書き込む（Fast Configuration）



# 4.Reveal Analyzer 設定- On-chip debug logic 挿入

- ①  を起動し、Reveal analyzerを起動
- ② Create a new file のファイル名を「Lab1」、USB port を Detect、Debug Device を「Scan」  
(RVL source 欄のファイルが空欄の場合は、Reveal Inserterで生成した .rvt ファイルを選択)
- ③ OKを選択すると、右の画面が表示されるため、Operator を「!=」に変更し、 にて実行



# 4.Reveal Analyzer 設定- On-chip debug logic 挿入

④ 以下図のように、波形が観測できていれば、OK

