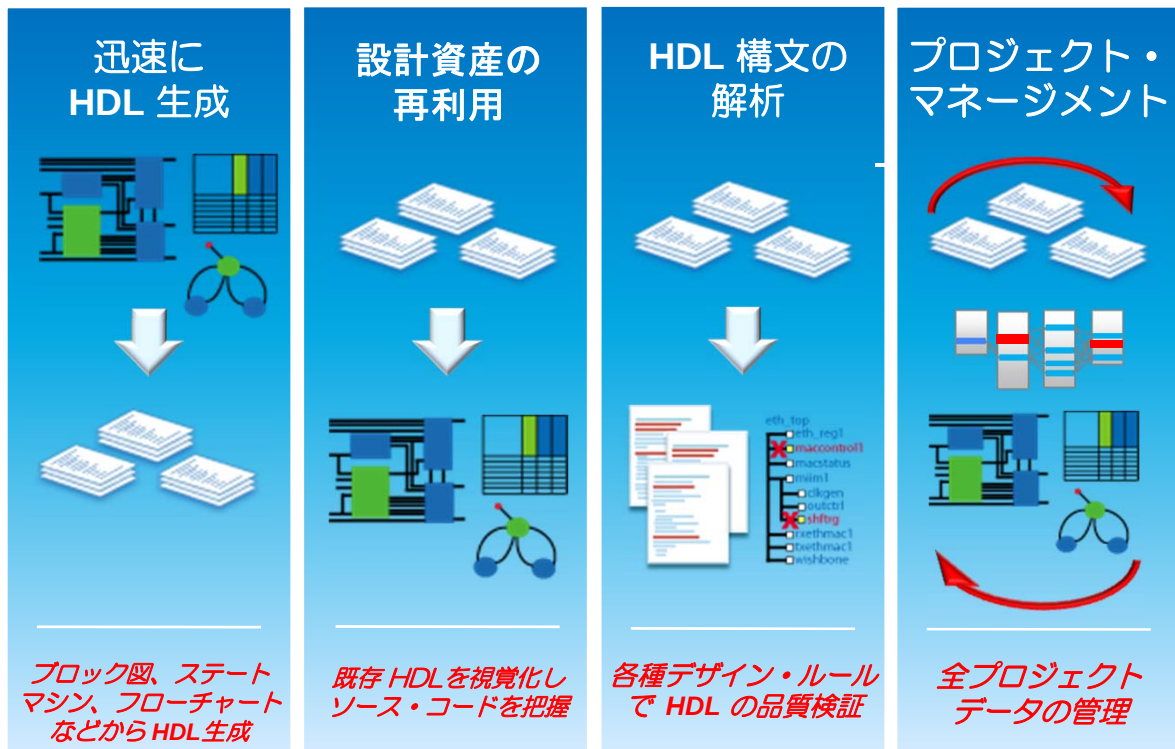


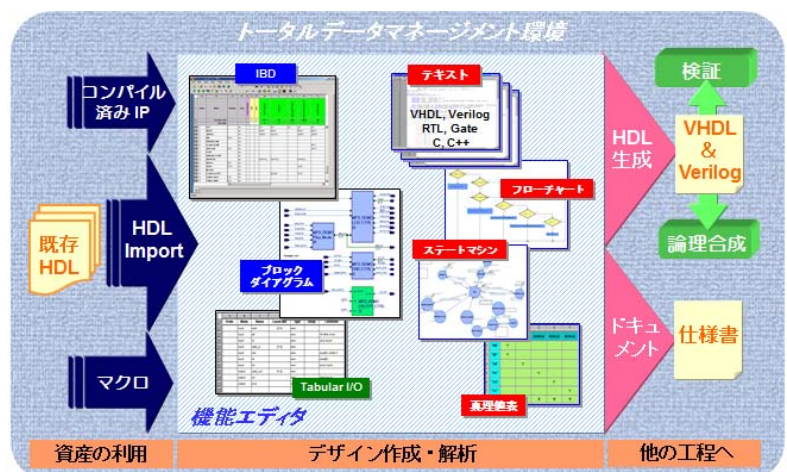
HDL で設計するために便利な機能が満載！

設計品質を底上げして統一化！



例えば、こんな悩みを抱えている方にお薦めです！

- 過去の設計資産を活用したい
- 設計者が退職して既存HDLの設計仕様が分からない
- エンジニアにより品質のバラツキがあって困る
- バージョン管理が煩雑
- 部下が設計/外注したHDLの品質を知りたい
- 設計仕様書を効率的に視覚化して作成したい



活用方法例（１）～仕様書の簡単作成～

HDLソース

```

// HDL Designer Series
// Example: Simple Counter
// Author: [Name]
// Date: [Date]

// Module Declaration
module simple_counter (
    input clk,
    input reset,
    output [7:0] count
);

// Internal Signals
reg [7:0] count_reg;

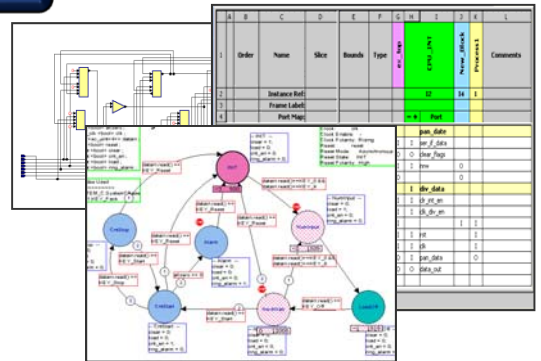
// Initial Value
initial count_reg = 0;

// Counter Logic
always @(posedge clk) begin
    if (reset)
        count_reg <= 0;
    else
        count_reg <= count_reg + 1;
end

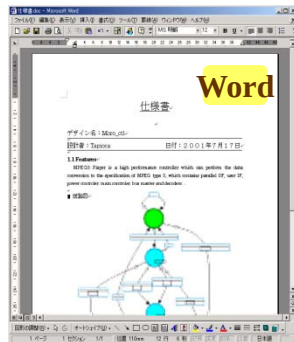
// Output Assignment
count <= count_reg;

endmodule
    
```

HDL Designer Series

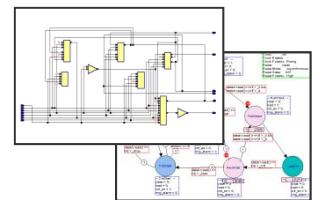


仕様書へ
貼り付け



Block図, IBD, 状態遷移図
を自動生成

関係者で視覚化
したデザインを
レビュー



活用方法例（２）～デザイン・ルール・チェック～

HDLソース

```

// HDL Designer Series
// Example: Simple Counter
// Author: [Name]
// Date: [Date]

// Module Declaration
module simple_counter (
    input clk,
    input reset,
    output [7:0] count
);

// Internal Signals
reg [7:0] count_reg;

// Initial Value
initial count_reg = 0;

// Counter Logic
always @(posedge clk) begin
    if (reset)
        count_reg <= 0;
    else
        count_reg <= count_reg + 1;
end

// Output Assignment
count <= count_reg;

endmodule
    
```

HDL Designer Series



下記ルールを使って
HDLを自動評価



100%

設計品質の底上げ

0%