



## HyperLynx SI/PI セミナー

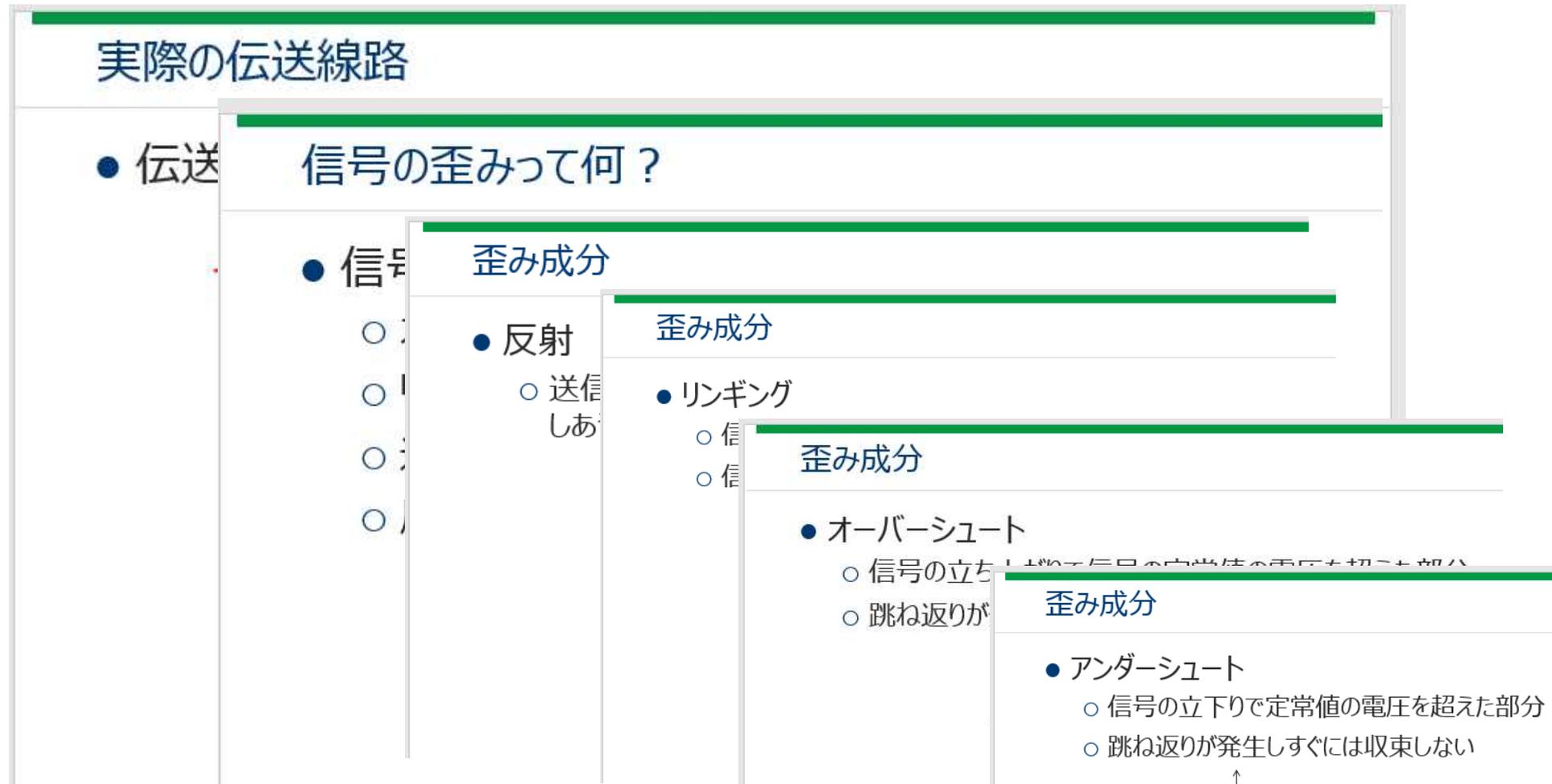
株式会社マクニカ アルティマ カンパニー  
技術統括部

# Agenda

- 基板設計における信号品質
  - 伝送線路
  - 信号歪みの原因
  - 信号品質の一般的な対策
- 障害事例とその解析
  - 基板上の構成要素
  - 信号品質低下による障害例
  - 信号品質低下によるシステムへの影響
  - 回路・基板設計の妥当性の確認
- 基板解析ツール
  - HyperLynx SI
  - HyperLynx PI

# 理想の伝送線路

## ● プリント基板上の配線イメージ



# なぜ歪む？

## ● 歪みの要因は複数ある

○ 電源

電源・GND プレーン

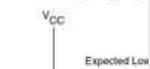
○ 伝送線路

● 電源

信号の反射

○ ス

○ デ



● レシーバ

● 伝送線路

● 伝送線路の分岐

● ビア

○ クロストーク

● インピーダンスの不整合が歪みの原因

基板上でのインピーダンス不整合ポイント

● ドライバ

● 伝送線路

● ビア

● プリント

ドライバの駆動能力

● デバイス

伝送線路の特性インピーダンス

出力する

● 伝送線路

分岐による反射 ①

● 影響を

● 分岐点

ビアによる反射

○ 線路

○ パター

● 貫通ビアの

○ レイヤの

○ 高周波

スタブの

レシーバの入力容量

● 入力ピンが

クロストーク

● 伝送線路 A から伝送線路 B に信号

○ 伝送線路の電圧変化により隣り合う

- 浮遊容量による結合  
- 電磁結合  
伝送線路A

# 一般的に使用される SI / PI 対策例

- 電源・グラウンド平面的の電圧の揺れ

  - 電源・GND の対策

    - グラウンド・バウンスを抑えることが大事！

- 伝送

  - 電源・GND の対策

    - デカップリング・キャパシタの挿入

      - 電源・GND の対策

- クロ

        - 電源・GND の対策

          - デカップリング

            - 重要な電源
              - コア電源

        - 電源・GND

          - 短く・太く
            - 低インピーダンス

          - デカップリング・キャパシタの挿入

            - 例: インテグレーション
              - 1.1V Vcc

              - 電源・GND の対策

                - グラウンド、電源平面的のレイアウト

                  - グラウンド、電源平面的のレイアウト
                  - ビアやスリット

                    - 電源・GND の対策

                      - スリットやビアを避けられない時は

                        - できるだけスリットを避ける
                        - インピーダンス

                          - 電源・GND の対策

                            - アナログ / デジタル 回路の分離

                              - 電源・GND の対策

                                - Isc
                                - アナログ・デジタル GND の分離例
                                  - PLL グラウンド・アイランドを備えたレイアウト

- その他

  - FPGA の機能を使用した対策

電圧  
ノイ

# 反射に対する SI 対策

- インピーダンス整合がポイント！

## ダンピング抵抗

- ダンピング抵抗の挿入

- オー

## 終端抵抗

- 終端抵抗

- 伝送

## (参考) ダンピング抵抗、終端抵抗

- 終端方法

- 直列終

- 信号

- オー

- 並列終

- 負荷

- 反射

- 両側終

## ダンピング抵抗、終端抵抗の位置と値

- 一般的

### 1対n接続の場合の配線例

- 例) 1対n接続

- 分

### 1対nの場合のダンピング例

- 例) 1対n

- 分

### 1対nの場合の終端例

- 例) 1対2

- レシーブ
- 適切な

### 特性インピーダンス

- 伝送線路はインピーダンス設計が基準
  - 伝送線路の特性インピーダンス設計
    - シングルエンド：50Ω、差動：100Ω
    - 配線幅・厚み、配線間隔、絶縁層厚みで調整

- 例) PCB 基板の板厚を層数によらず >2mm にする
  - 基板の強度を確保するため

- 一般的

- ダンピ

- トポロ

- 基板

- 伝送線路のイン

- ビアの配置

# クロストークに対するSI対策

- Aggressor からの影響を減らす、影響を受けにくくする

## クロストーク SI 対策

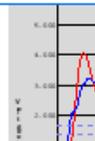
- 差分

## クロストーク SI 対策

- GND でシー
- Aggressor

GND

D = W

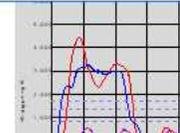


## クロストーク SI 対策

- 平行する配線長を短くする
- Aggressor と Victim

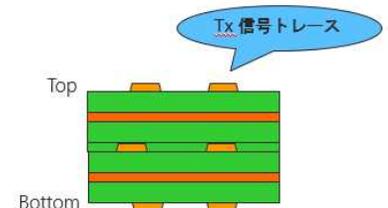
3インチ (76.2mm)

3インチ (76.2mm)



## クロストーク SI 対策

- PCIe TX / RX 信号の配線例
- 表面 (Top) と裏面 (Bottom) にトレースを分け



積み

# その他、FPGA の機能を使用した対策

## ● FPGA の機能でよりよい信号品質

- ドライブ能力
- 出力電流
- デバイス保護
- PCI Clamp Diode

### ドライブ能力の可変機能

- ドライブ電流 (Current Strength)
  - 出力電流値
    - 出力 / 方向
    - IO 規格 (例) S

オーバーシュート低減  
同時スイッチングの抑制

### FPGA デバイス内蔵の終端抵抗

- On-Chip Termination (OCT)
  - デバイス
  - 3種類の
    - 直列
      - ・オ
    - 並列
      - ・反
    - 差動
      - ・反
  - デバイス
    - Rs OCT

オーバーシュート低減  
反射ノイズ低減

### オンチップ・クランプ・ダイオード

- PCI Clamp Diode
  - デバイス保護

### 各種機能の設定方法

- Quartus® Prime > Pin Planner もしくは Assignment Editor
  - これまでに紹介した各種機能
    - Current Strength, Slew Rate, OCT, PCI Clamp Diode
  - プルダウンから設定を選択可能
  - ピン毎に設定

Node Name	Direction	Location	I/O Bank	WEP Group	I/O Standard	Current Strength	Slew Rate
clk	Input	P0L_R13	4	B4_N2	2.5 V	16mA (default)	
count[53]	Output	P0L_A1	8	B6_N1	3.0 V LVTTL	12mA	2 (default)
count[52]	Output	P0L_A3	7	B7_N1	3.0 V LVTTL	12mA	2 (default)
count[51]	Output				2.5 V (default)	16mA (default)	2 (default)
count[40]	Output				2.5 V (default)	16mA (default)	2 (default)
count[39]	Output				2.5 V (default)	16mA (default)	2 (default)
count[38]	Output				2.5 V (default)	16mA (default)	2 (default)
count[37]	Output				2.5 V (default)	16mA (default)	2 (default)

# 障害例

- システム・エラー

- イッ
- 遅延

- デバイス

- 絶対

- 様々な要因

- クロック

リングング  
・インピータ  
・クロスト  
・長い配線  
・電源 / ク

- クロックに対する遅延

- データ
- タ
- タ

- ストロー

- イリ
- デー

- バスに対する
- データ / ア
- データ

- オーバーシュート / アンダーシュート

- 例: FPGA / CPLD 動作不具合相談の割合

- コンフィグレーションの問題が 40%
  - DCLK (コンフィグレーション・クロック) 信号品質
    - 低速クロックのため信号品質を考慮しない
      - ・信号のオーバーシュート、反射

期待オス力

送信

Confidential

減  
増

FPGA 組込み

10/18

# 信号品質によるシステムへの影響

- プログラマブル・デバイス

- 何度か試す必要がある

- FPGA

- FPGA

- コ

- JT

- コンフ

- JT

## コンフィグレーションの不具合事例

- コンフィグレーションの不具合事例

- FPGA

- 回路

- コンフィ

- 開発

## FPGA コンフィグレーション

- コンフィグレーション事例1

- 低速と判断

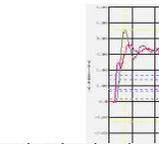
- DCLK ( )



- コンフィグレーション事例2

- 外部

- D



## コンフィグレーションの信号品質問題

- 低速と判断
- FPGA 設計に関する設計・デバッグ手法
- タイミング & インプリメンテーション デザイン & デバッグ
- FPGA 内外のタイミング制約の生成方法や不具合が発生とともに、不具合発生時のデバッグ手順を紹介
- <https://www.macnica.co.jp/business/semiconductor/arti>

Conf

# メモリ・インタフェース

- DDR3 / DDR4 が主流

- 高速  
- ク
- 低電力  
- SS
- バス  
- ア
- 双方  
- 終
- DIMM  
- マ

## DDR<sub>x</sub> の主なピン

- 主に 4つのグループ (例: DDR3 SDRAM)

## メモリ・インタフェース基板設計フロー

- 使用する  
○ DDR  
○ Harc
- ピン配置  
○ Soft
- 基板設計  
○ トポロ  
○ イン  
- I
- IP のパラ  
● タイミング

## 参考: メモリ・インタフェース

- メモリ・

- 信号

### メモリインタフェース 不具合事例1

- 初期化、コ  
○ アドレス  
○ クロック

### メモリインタフェース 不具合事例2

- 不正デ  
○ 加  
○ デ
- 要因  
○ 信
- EMIF デザイン & デバッグ ガイドライン  
○ 要求仕様を満たすための検証やデバッグに費やす時間  
切な手順でデバイス・ボードの設計を行い、かつ、設計  
ための手段を紹介  
○ <https://www.macnica.co.jp/business/semiconduc>

# 高速シリアル転送

- パラレル → シリアルへ移行

- パラ

- デー

- 高速化

- デー

- 差動信

- 低電

- コンプラ

- 信号

## 高速シリアル転送

- PCI Express

- Ge

- マ

- 解析

- ア

- IBI

## 高速シリアル転送 事例1 PCIe

- パケットの破損

## 高速シリアル転送 事例1 PCIe

- 要因

- ビアによる反射

- 差動配線間

- 配線長の差

- エラー発

- リンク

- CRC

- ロス増大

- PCI Express 規

## PCIe デザインの設計・デバッグ手法

- PCI-Express デザイン & デバッグ ガイドライン

- Design Flow と Debug Flow を示し、適切な手順で設計を混入を防ぐこと、デバッグに必要な仕組みを実装することに決することを目的

- <https://www.macnica.co.jp/business/semiconductor/a>



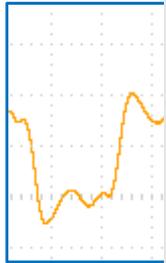
# 設計の妥当性を確認

- 試作で検証

NO!

- 試作前に検証

YES!



## 信号品質の検証手法

- 伝送線路
- 設計中

### 日本の設計事情

- 伝送線路シミュレーションの実施

#### 敬遠される伝送線路解析

- 信号品質に関する情報

- 高度

#### 容易な伝送線路シミュレーション

- 解析で確認

#### 伝送線路解析を行うタイミング

- 回路設計と PCB

HyperLynx SI

- プリ解析 (LineSim)

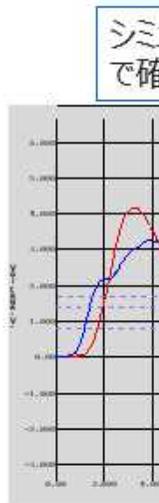


# 敬遠される伝送線路解析

- 信号品質に必要な情報

- 容易な伝送線路シミュレーション

- 解析で確認 伝送線路解析ツール



- 豊富な機能
- オシロ
- クロス
- スイ
- バッ
- マル

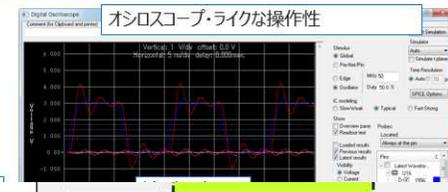
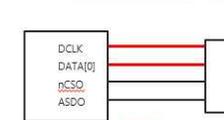
## プリ解析

### 伝送線路解析を行うタイミング

- 回路設計の初期段階から

### HyperLynx SI

- プリ解析 (LineSim)



# HyperLynx SI オシロスコープ

- 回路内の伝送線路を波形で確認

## オシロスコープ解析例

- 解析例

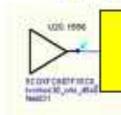
- 反射



## スイープ解析例

- 解析例

ダビ



LineSim なら簡単に検証可能



Confidential

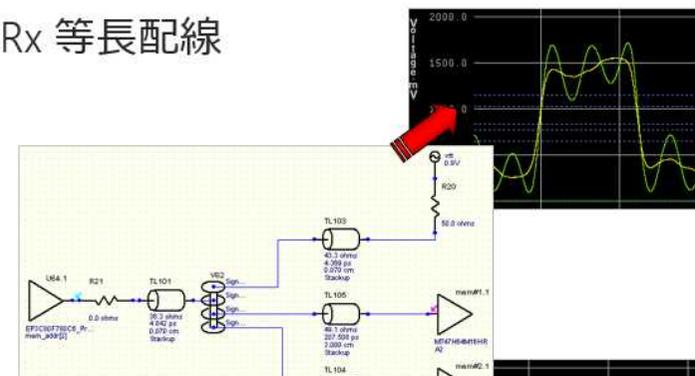
## HyperLynx SI スイープ解析

- 回路内のパラメータを変化させて同時解析

- 素子
- 伝送
- 層構
- IC モ
- バッ
- 伝送
- 電源

## オシロスコープ解析例

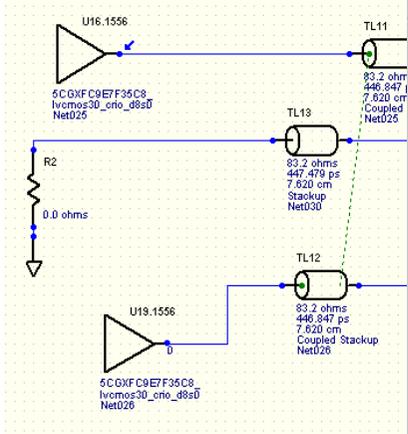
- DDRx 等長配線



# HyperLynx SI クロストーク解析

- 隣接する伝送線路間の影響を確認

  - 伝送線路間のクロストーク解析例



- バス信号のクロストーク解析例

  - 隣接する伝送線路間のクロストーク解析例



- スイープ解析で最適値を探索

  - 配線パラメータ
  - 並列伝送線路

- GND ガードパターンのポスト解析

  - ポスト解析

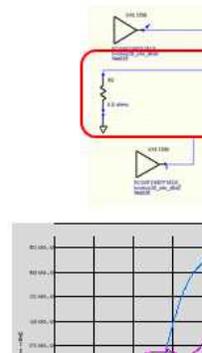
    - PCB 設計情報の取り込み
    - 検証対象の信号を指定
    - シミュレーションを実行し結果確認





  - 解析結果から条件を満たしているかを確認

    - ダンピング・終端は適切か？
    - クロストークの影響はあるか？

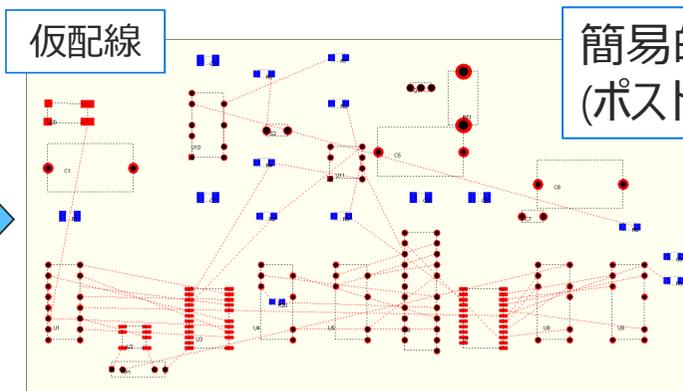
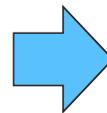
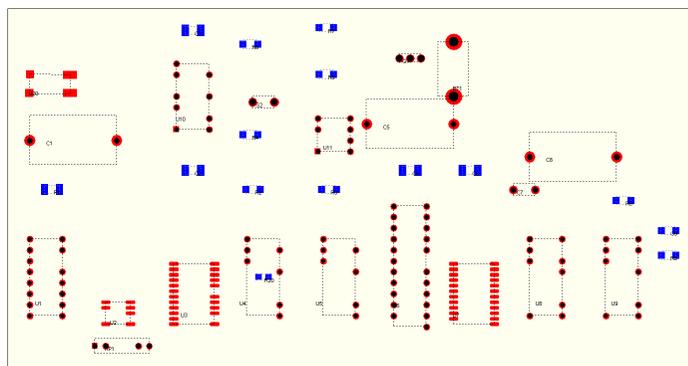


# HyperLynx SI 仮配線機能

- 配置後のデータ (未配線) を使ってポスト解析



- 重要配線の事前検証
- HyperLynx SI BoardSim 仮配線機能を使用
  - マンハッタン配線



簡易的な BoardSim (ポスト解析) が可能

# 基板のレイアウトを加味した PI 解析

- レイアウトおよび実装位置により反共振点が変わる

