

第13章 マッピング後のタイミング解析

マッピング (Map Design) プロセス完了後 (配置配線実行前) には、仮配線遅延での静的タイミング解析 (Map Trace) と、ネットリストによるシミュレーションでの機能検証を行うことができます。本章ではタイミング解析の実行方法とオプション設定の詳細、それにシミュレーション用のネットリスト生成方法等について説明します。

13.1 Map Trace

タイミング解析 (または Map Trace) は Map Design 完了後のネットリストを使った、静的タイミング検証 (STA) です。Place & Route プロセス実行前に検証を行うことにより、事前にクリティカルパスになりそうなパスに対して対策を行うことができます。

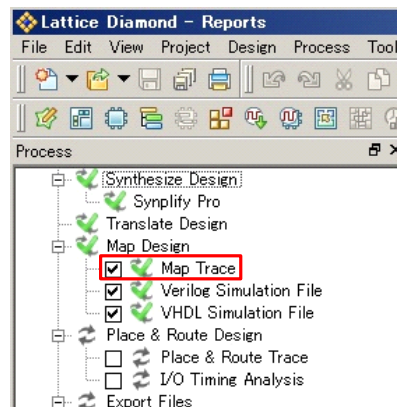
13.1.1 Map Trace における配線遅延

タイミング解析は LUT やレジスタ等のゲート遅延、データパスの配線遅延、およびクロック配線の遅延を使用して行われます。LUT やレジスタ等のゲート遅延は配置配線前でも分かっているため適当な値で解析が行われますが、配置配線前ではデータパスおよびクロックの配線遅延を正確に知ることはできません。このため Map Trace では、配線遅延は見積もった値 (見積もり方法は後述) を使用して解析を行います。

13.1.2 Map Trace の実行

仮配線遅延でのタイミング解析プロセスは、Process ウィンドウの Map Design プロセスツリーの下にある [Map Trace] です (図 13-1)。

図 13-1. タイミング検証の実行

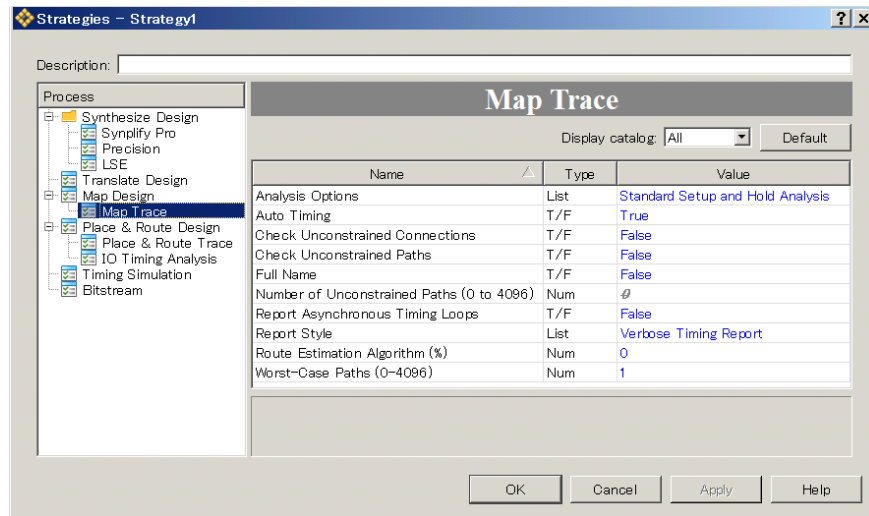


プロセス名の左側にあるチェックボックスにチェックが入っていると、Map Design プロセス完了後に自動的に実行されます。チェックが入っていない場合でも、プロセス名をダブルクリックすれば実行されます。

13.1.3 タイミング検証のストラテジ設定

仮配線遅延でのタイミング検証では、ストラテジ設定による検証条件やレポートスタイル等を変更することができます。

図 13-2. Map Trace のストラテジ



仮配線遅延でのタイミング検証は、ストラテジ設定ウィンドウ左側の一覧から [Map Trace] を選択します (図 13-2)。以下に各オプションの詳細を説明します。

Analysis Option

パラメータ : Standard Setup and Hold Analysis / Standard Setup Analysis / Hold Analysis / Standard Setup with Hold Analysis on IO

デフォルト値 : Standard Setup and Hold Analysis

実行する解析内容の選択です。解析内容は表 13-1 のようになります。

表 13-1. 解析オプションと内容

解析内容選択	内部レジスタ間タイミング		入力信号タイミング		出力信号タイミング	
	最大動作速度 (周期 or 周波数)	内部レジスタ間 Hold-time	Setup-time	Hold-time	最大遅延	最小遅延
Standard Setup and Hold Analysis	○	○	△	△	△	△
Standard SetupAnalysis	○	×	△	×	△	×
Hold Analysis	×	○	×	△	×	△
Standard Setup with Hold Analysis on IO	○	×	△	△	△	△

- : 解析が実行される (基本的には制約が設定されている場合のみ)
- △ : 解析は実行されるが、(特にクロックが) 仮配線遅延では参考にならない
- ×

Auto Timing

パラメータ : True / False

デフォルト値 : True

制約ファイル (lpf) 内にタイミング制約が全く設定されていない場合の処理に関する設定です。True (デフォルト) では、lpf ファイル内に全く制約が設定されていないと、自動的に制約が設定されてそれが prf (タイミング検証で使用する制約ファイル) に記述されます。

False を選択した場合は、prf にはタイミング制約が記述されません。ただし、この場合でも解析は行われ、パス遅延の大きなパスから順にレポートされます。

Check Unconstrained Connections (Diamond 2.x 以降)

パラメータ : True / False

デフォルト値 : False

タイミング制約の対象外 (制約がない、或いは BLOCK 制約) となる接続のレポートに関する設定です。デフォルト (False) では何もレポートされません。

True を選択した場合は、解析対象外となった接続のリストがレポートされます。

Check Unconstrained Paths

パラメータ : True / False

デフォルト値 : False

タイミング制約の対象外 (制約がない、或いは BLOCK 制約) となるパスのレポートに関する設定です。False (デフォルト) では何もレポートされません。

True の場合は、解析対象外となったパスのリストがレポートされます。

Full Name

パラメータ : True / False

デフォルト値 : False

レポート内の長いリソース名の表示に関する設定です。False (デフォルト) では、リソース名が長いと (問題ない範囲で) 省略して表示されます。

True を選択すると、常に省略されずに全て表示されます。

Number of Unconstrained Paths (0 to 4096) (Diamond 2.x 以降)

パラメータ : [0 - 4096]

デフォルト値 : なし (無効)

レポートする未制約パス数に関する設定です。「Check Unconstrained Paths」を [True] にした場合に、レポートすべきパス数を数値で入力します。Check Unconstrained Paths を True にした場合にのみ入力が可能になります。

Report Asynchronous Timing Loops

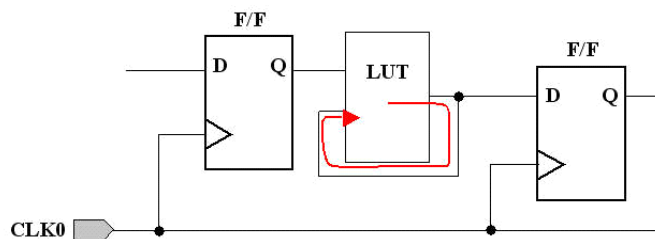
パラメータ : True / False

デフォルト値 : False

非同期で信号がループするパスのレポートに関する設定です。False (デフォルト) の場合は、何もレポートされません。

True を選択すると、図 13-3 のようなレジスタを解さないループや非同期リセット等を解した非同期のループ等、単純な遅延の加算では正しく解析ができない可能性のあるパスについてレポートさせることができます。

図 13-3. 非同期ループパスの例



Report Style

パラメータ : Verbose Timing Report / Error Timing Report

デフォルト値 : Verbose Timing Report

レポートする内容についての設定です。デフォルト (Verbose Timing Report) の場合はタイミングエラーの有無に関わらず、制約に対してマージンの小さいパスからレポートされます。従ってタイミングエラーが無くてもワーストケースパスを知ることができます。

Error Timing Report を選択した場合は、タイミングエラーをおこしたパスだけがレポートされます。従って、タイミングエラーが無かった場合、最大動作周波数はレポートされますがパスの情報はレポートされません (図 13-4)。

図 13-4. Error Timing Report を選択した場合のレポートの例

```

*****
Preference: FREQUENCY PORT "SPMCLK" 50.000000 MHz ;
          4096 items scored, 0 timing errors detected.
-----
Report: 164.015MHz is the maximum frequency for this preference.
Report Summary
-----
Preference | Constraint | Actual | Levels
-----|-----|-----|-----
FREQUENCY PORT "SPMCLK" 50.000000 MHz ; | 50.000 MHz | 164.015 MHz | 0
-----
    
```

Route Estimate Algorithm (%)

パラメータ : 0 または 1 ~ 100

デフォルト値 : 0

解析の際の仮配線遅延の見積もりに関する設定です。0 (デフォルト値) の場合は、デフォルトで設定されている配線遅延が使用されます。

1 ~ 100 までの場合は、選択した値がパス全体に占めるゲート遅延の割合 (%) になるよう計算された配線遅延が使用されます。例えば [30] を設定した場合、ゲート遅延の合計が 6ns だとすると配線遅延の合計が 14ns になるような値が適用されます。

設定値は「配線遅延の割合」ではないので注意してください。

図 13-5. Route Estimate Algorithm を 30 に設定した場合のレポート

```

Name      Fanout  Delay (ns)  Site  Resource
REG DEL   ---    0.303  */SLICE_91.CLK to */SLICE_91.Q1 MPUTOSPI2MPUIF_INSTANCE0/STATEAA/Slice_91 (from SPMCLK_c)
ROUTE     2      e 0.405  */SLICE_91.Q1 to */SLICE_39.A0 MPUTOSPI2MPUIF_INSTANCE0/STATEAA/sr_aai_cnt_11
COTOFD0_DE ---    0.465  */SLICE_39.A0 to */SLICE_39.F0 MPUTOSPI2MPUIF_INSTANCE0/STATEAA/Slice_39
ROUTE     1      e 0.405  */SLICE_39.F0 to */SLICE_40.FCI MPUTOSPI2MPUIF_INSTANCE0/STATEAA/sr_aai_cnt_cry_12
FCITOFD0_D ---    0.070  */SLICE_40.FCI to */SLICE_40.F0 MPUTOSPI2MPUIF_INSTANCE0/STATEAA/Slice_40
ROUTE     1      e 0.405  */SLICE_40.F0 to */SLICE_41.FCI MPUTOSPI2MPUIF_INSTANCE0/STATEAA/sr_aai_cnt_cry_14
FCITOFD0_D ---    0.070  */SLICE_41.FCI to */SLICE_41.F0 MPUTOSPI2MPUIF_INSTANCE0/STATEAA/Slice_41
ROUTE     1      e 0.405  */SLICE_41.F0 to */SLICE_42.FCI MPUTOSPI2MPUIF_INSTANCE0/STATEAA/sr_aai_cnt_cry_16
FCITOFD0_D ---    0.070  */SLICE_42.FCI to */SLICE_42.F0 MPUTOSPI2MPUIF_INSTANCE0/STATEAA/Slice_42
ROUTE     1      e 0.405  */SLICE_42.F0 to */SLICE_43.FCI MPUTOSPI2MPUIF_INSTANCE0/STATEAA/sr_aai_cnt_cry_18
FCITOFD0_D ---    0.070  */SLICE_43.FCI to */SLICE_43.F0 MPUTOSPI2MPUIF_INSTANCE0/STATEAA/Slice_43
ROUTE     1      e 0.405  */SLICE_43.F0 to */SLICE_44.FCI MPUTOSPI2MPUIF_INSTANCE0/STATEAA/sr_aai_cnt_cry_20
FCITOFD0_DE ---    0.163  */SLICE_44.FCI to */SLICE_44.F0 MPUTOSPI2MPUIF_INSTANCE0/STATEAA/Slice_44
ROUTE     1      e 0.405  */SLICE_44.F0 to */SLICE_96.B1 MPUTOSPI2MPUIF_INSTANCE0/STATEAA/sr_aai_cnt_s_21
CTOF_DEL ---    0.179  */SLICE_96.B1 to */SLICE_96.F1 MPUTOSPI2MPUIF_INSTANCE0/STATEAA/Slice_96
ROUTE     1      e 0.405  */SLICE_96.F1 to */SLICE_96.D11 MPUTOSPI2MPUIF_INSTANCE0/STATEAA/sr_aai_cnt_la_21 (to SPMCLK_c)
-----
4.630 (30.0% logic, 70.0% route), 8 logic levels.
    
```

Worst Case Paths (0-4096)

パラメータ : 1 ~ 4096 または 0

デフォルト値 : 1

詳細がレポートされるパス数の設定です。1 ~ 4096 の場合は、制約ごとにその値と同じだけのパスの詳細（経路や各リソースの遅延等）がレポートされます。

0 の場合は、全てのパスの詳細がレポートされます。大きなデザインだとファイルサイズが大き過ぎて開けなくなることもあるので注意してください。

13.2 Map Trace レポート

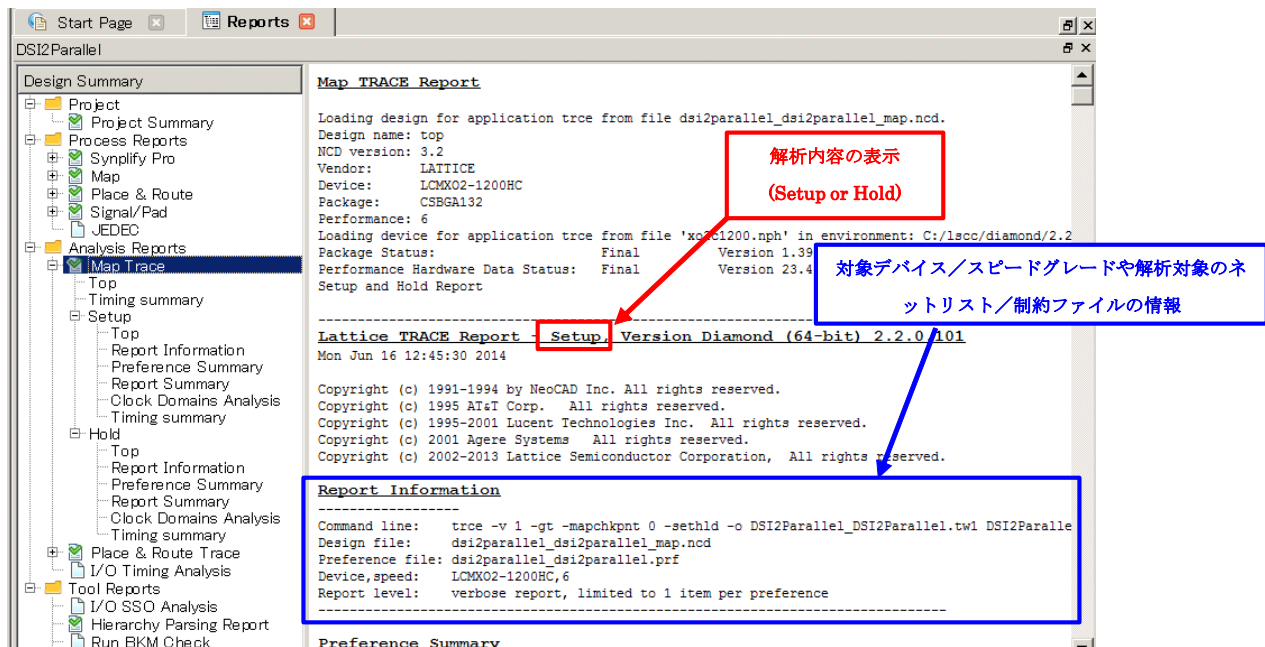
13.2.1 出力されるレポートファイル

Map Trace プロセス実行時には、インプリメンテーション・フォルダに html とテキスト形式のレポートが出力されます。内容はどちらも同じですが、ファイル名はそれぞれ以下ようになります。html 形式のレポートは、Lattice Diamond の Report ウィンドウで見ることができます。

html 形式 : プロジェクト名_インプリメンテーション名_tw1.html

テキスト形式 : プロジェクト名_インプリメンテーション名 .tw1

図 13-6. Map Trace レポート例



13.2.2 レポート内容の概要

レポートには、解析の結果として主に以下のような内容についてレポートされます（レポート順）。

- ・ 解析実行環境のレポート
- ・ 各制約に対する解析の詳細レポート
- ・ 解析結果のサマリ
- ・ クリティカルネット情報
- ・ クロックドメイン解析情報
- ・ 解析対象外コネクションやパスのレポート
- ・ 総パス数や解析カバレッジのレポート

13.2.2.1 解析実行環境のレポート

図 13-6 のようにレポートファイルの先頭には、ヘッダとして解析を行ったツールやライブラリのバージョン、解析対象のネットリストおよび制約ファイル等の情報がレポートされます。「Report Information」の後には「Preference Summary」として各周波数制約に対するサマリ部が続き、その後 Diamond 2.x 以降では「Unconstrained:」として未制約パスに関するサマリ部が設けられています（図 13-7 左）。

これはストラテジ設定で「Check Unconstrained Paths」を [True] にした場合にレポートされます。制約タイプとして CLOCK_DOMAIN、INPUT_SETUP、CLOCK_TO_OUTPUT、および MAXDELAY の 4 つがリストされます。それぞれクリックするとジャンプする詳細レポート・セクションをチェックすることにより（図 13-7 右）、本来制約されるべき箇所が漏れていないかの把握ができます。

図 13-7. 未制約パスのサマリ部と詳細例

The image shows a report snippet with a summary of unconstrained paths and a detailed table for the MAXDELAY preference.

未制約パスのサマリ

- Unconstrained: CLOCK_DOMAIN(unconstrained errors)
5 or more unconstrained paths found
- Unconstrained: INPUT_SETUP(unconstrained errors)
5 or more unconstrained paths found
- Unconstrained: CLOCK_TO_OUT(unconstrained errors)
5 or more unconstrained paths found
- Unconstrained: MAXDELAY(4 errors)
4 unconstrained paths found

クリックで詳細へ

```

Preference: Unconstrained: MAXDELAY
2 unconstrained paths found

Unconstrained Preference:
MAXDELAY FROM PORT "DCK" TO CELL "PIXCLK_adj"

Report: 17.718ns delay DCK to PIXCLK_adj

Name Fanout Delay (ns) Site Resource
PADI_DEL --- 1.123 N6.PAD to N6.PADDI DCK
ROUTE 3 0.901 N6.PADDI to *LKSYNCO.ECLKI DCK_c
C2OUT_DEL --- 0.000 *LKSYNCO.ECLKI to *LKSYNCO.ECLKO u_DEHY_RX_INST/u_IDDRx4/In
ROUTE 4 0.000 *LKSYNCO.ECLKO to BCLKDIVO.CLKI u_DEHY_RX_INST/u_IDDRx4/ed
CLKOUT_DEL --- 0.324 BCLKDIVO.CLKI to BCLKDIVO.CDIVX u_DEHY_RX_INST/u_IDDRx4/In
ROUTE 30 1.529 BCLKDIVO.CDIVX to LPLLREFPCS.CLKI byte_clk_c
CLKIOUT_DE --- 0.000 LPLLREFPCS.CLKI to *EFCS.FLCSOUT u_pll_mux
ROUTE 1 0.000 *EFCS.FLCSOUT to LPLL.CLKI muxclk
CLKI2OS_DE --- 9.259 LPLL.CLKI to LPLL.CLKOS pll/PLLInst_0
ROUTE 1 1.134 LPLL.CLKOS to B1.PADD0 PIXCLK_adj_c
DOPAD_DEL --- 3.448 B1.PADD0 to B1.PAD PIXCLK_adj

-----
17.718 (79.9% logic, 20.1% route), 6 logic levels.
    
```

13.2.2.2 各制約に対する解析の詳細レポート

設定した制約毎に詳細な解析情報がレポートされます。先頭には、制約記述、その制約の対象となったパス数およびエラーの数がレポートされます。なお、解析対象パス数の表示は、ストラテジの [Worst Case Paths] の設定値に依存します。[0] 以外が設定されている場合には、対象パスが [4096] を超えていても表示される最大値は [4096] です。[0] を設定した場合は、[4096] を超えた値も表示されます。

```

*****-----
・ レポートの解析パス数の表示が [4096] であっても、解析は 4096 を超える全てのパスを対象に行われ
  ています
*****-----
    
```

その後に、タイミングマージンの少ないパスから順に、詳細情報がレポートされます。

パスごとのレポートの 1 行目にはタイミング制約に対する合否判定と、タイミングマージン（エラーの場合は不足分）が表示されます。行頭に [Passed] と書かれていれば、タイミング要求を満たしていることを表します。行末に書かれている数値はタイミングマージンです。

タイミング要求が満たされていない場合は行頭に [Error] と表示されます。この場合、行末に記載されている数値は、要求値に対する不足／超過分になります。

図 13-8. 詳細レポート例

```

=====
Preference: FREQUENCY PORT "CLKD" 100.000000 MHz ;
           36 items scored, 0 timing errors detected.
=====
Passed: The following path meets requirements by 8.567ns
-----
Logical Details: Cell type Pin type Cell/ASIC name (clock net +/-)
Source:          FF      Q      sr_adra_1 (from CLKD_c +)
Destination:     FF      Data in sr_adra_6 (to CLKD_c +)

Delay:           1.358ns (79.2% logic, 20.8% route), 4 logic levels.

Constraint Details:

1.358ns physical path delay SLICE_2 to SLICE_4 meets
10.000ns delay constraint less
0.075ns DIN_SET requirement (totaling 9.925ns) by 8.567ns

Physical Path Details:
Name Fanout Delay (ns) Site Resource
REG_DEL --- 0.303 SLICE_2.CLK to SLICE_2.Q0 SLICE_2 (from CLKD_c)
ROUTE 3 e 0.279 SLICE_2.Q0 to SLICE_2.A0 sr_adra_1
COTOF0C0_DE --- 0.465 SLICE_2.A0 to SLICE_2.FC0 SLICE_2
ROUTE 1 e 0.001 SLICE_2.FC0 to SLICE_3.FCI sr_adra_cry_2
FCITOF0C0_D --- 0.070 SLICE_3.FCI to SLICE_3.FC0 SLICE_3
ROUTE 1 e 0.001 SLICE_3.FC0 to SLICE_4.FCI sr_adra_cry_4
FCITOF1_DE --- 0.238 SLICE_4.FCI to SLICE_4.F1 SLICE_4
ROUTE 1 e 0.001 SLICE_4.F1 to SLICE_4.D11 sr_adra_s_6 (to CLKD_c)
-----
1.358 (79.2% logic, 20.8% route), 4 logic levels.
    
```

エラーパス数

解析の対象パス数

タイミング要求に対する合否判定と、タイミングマージン

解析対象パスの始点と終点

パスの経路と遅延情報

次にレポートされるのはパスの始点および終点のオブジェクト名の情報です。クロックエッジで動作するオブジェクト (FF やブロックメモリ等) は、オブジェクト名の右側括弧内に使用されているクロック名とエッジ (+: 立ち上がり、-: 立下り) が表示されます。

個別パスレポートの最後は、パスの経路と遅延情報です。Map Trace では配線遅延に見積もり値が使用されており、レポート内にそれを表すため遅延値の左側に [e] の文字が表示されています。

パスの経路と遅延情報は、制約の種類や回路構成に応じて必要とされるデータパスやクロック遅延等がレポートされます。

13.2.2.3 解析結果のサマリ

制約と検証結果のサマリがレポートされます (図 13-9)。[Preference] は制約記述、[Constraint] はその解析で適用された制約の要求値、[Actual] は解析結果、[Levels] はクリティカルパスの論理回路段数です。制約を満たせてない項目については、論理回路段数の右側に [*] 印が表示されます。

図 13-9. Map Trace の Report Summary の例

```

Report Summary
-----
Preference | Constraint | Actual | Levels
-----|-----|-----|-----
FREQUENCY PORT "SPMCLK" 50.000000 MHz ; | 50.000 MHz | 164.015 MHz | 7
INPUT_SETUP PORT "SPMADR_3" 10.000000 ns HOLD 5.000000 ns CLKPORT "SPMCLK" ; Setup Analysis. | 10.000 ns | 1.411 ns | 1
CLOCK_TO_OUT PORT "SPMDO_3" 4.000000 ns MIN 2.000000 ns CLKPORT "SPMCLK" ; Setup Analysis. | 4.000 ns | 5.618 ns | 2*
    
```

要求値を満たせていない場合に示される印

13.2.2.4 クリティカルネット情報

タイミングエラーがある場合、解析結果のサマリに続きタイミング要求を満たしていないパスに共通して含まれているネット名がレポートされます (図 13-10)。全てのタイミング要求を満たしている場合は、この項目はレポートされません。[Critical Nets] は該当するネット名、[% of total] はそのネットを含むタイミングエラーパスの割合を表します。

図 13-10. クリティカルネットのレポート例

Critical Nets	Loads	Errors	% of total
MPUTOSPI2MPUIF_INSTANCE0/REGAA/N_114_i	1	3	100.00%
MPUTOSPI2MPUIF_INSTANCE0/REGAA/N_872	2	3	100.00%
MPUTOSPI2MPUIF_INSTANCE0/REGAA/sr_rdaten_2_i_a2_0_4	7	3	100.00%
MPUTOSPI2MPUIF_INSTANCE0/REGAA/un3_rfren_1	17	3	100.00%
MPUTOSPI2MPUIF_INSTANCE0/REGAA/N_114_i_1	1	3	100.00%
MPUTOSPI2MPUIF_INSTANCE0/REGAA/sr_wdat_m_15	1	3	100.00%
MPUTOSPI2MPUIF_INSTANCE0/n_rfadr_14	1	1	33.33%
MPUTOSPI2MPUIF_INSTANCE0/n_rfadr_13	1	1	33.33%
MPUTOSPI2MPUIF_INSTANCE0/n_rfadr_6	1	1	33.33%

13.2.2.5 クロックドメイン解析情報

図 13-11. クロックドメイン解析レポート例

抽出ドメインと制約

各ドメインを終点とする別ドメイン始点のパスと制約

```

Clock Domains Analysis
-----
Found 7 clocks:
Clock Domain: RCLK in c Source: RCLK in.PAD Loads: 232
Covered under: FREQUENCY NET "RCLK_in_c" 108.000000 MHz ;

Data transfers from:
Clock Domain: rx_inst/sclk_c Source: rx_inst/pll_inst0/PLLInst_0.CLKOK
Covered under: MULTICYCLE FROM CLKNET "rx_inst/sclk_c" TO CLKNET "RCLK_in_c" 2.000000 X

Clock Domain: CLK Tx c Source: CLK Tx.PAD Loads: 151
Covered under: FREQUENCY NET "CLK_Tx_c" 108.000000 MHz ;

Data transfers from:
Clock Domain: tx_inst/sclk_c Source: tx_inst/PLL_INST0/PLLInst_0.CLKOK
Covered under: MULTICYCLE FROM CLKNET "tx_inst/sclk_c" TO CLKNET "CLK_Tx_c" 2.000000 X ;

Clock Domain: rx_inst/sclk_c Source: rx_inst/pll_inst0/PLLInst_0.CLKOK Loads: 150
Covered under: FREQUENCY NET "rx_inst/sclk_c" 189.000000 MHz ;

Data transfers from:
Clock Domain: RCLK in c Source: RCLK in.PAD
Covered under: MULTICYCLE FROM CLKNET "RCLK_in_c" TO CLKNET "rx_inst/sclk_c" 2.000000 X

Clock Domain: rx_inst/eclk Source: rx_inst/pll_inst0/PLLInst_0.CLKOK
Covered under: Timing Rule Check Transfers: 5
    
```

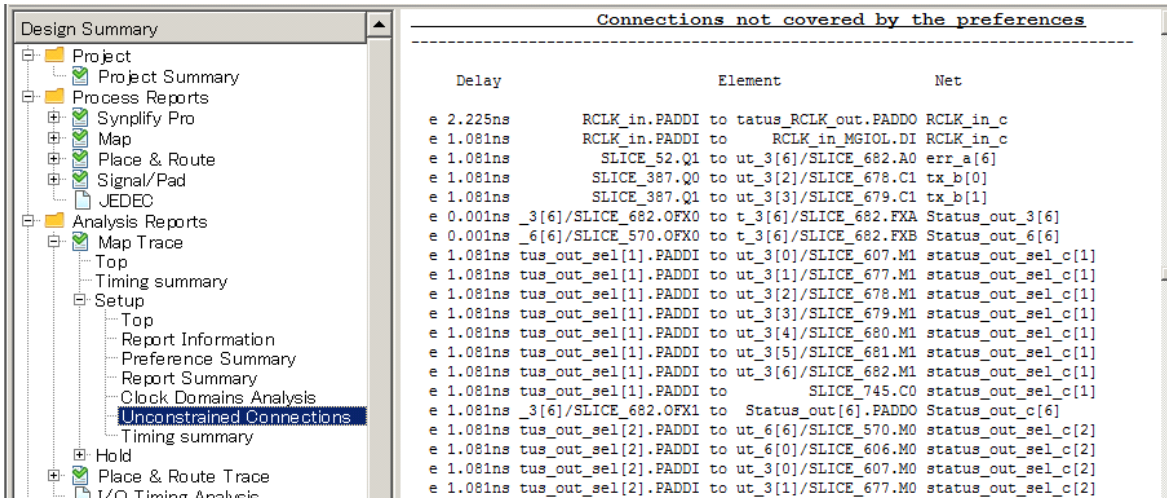
タイミング解析ツールがネットリストから抽出したクロックネットと、それに適用されたタイミング制約のリストがレポートされます。

クロックドメインをまたぐパスがあった場合は、ネストされてパスの始点側レジスタのクロックの情報と、そのパスに適用された制約や、その制約の対象となったパス数がレポートされます。このレポートで、必要な制約が全て設定されていることを確認してください。

13.2.2.6 未制約コネクション・レポート

ストラテジで「Check Unconstrained Connections」を [True] に設定した場合、タイミング制約解析の対象とならなかったコネクションの情報がレポートされます。従来のタイミング詳細レポートと同様の形式です。本来は制約が与えられるべきコネクションが含まれていないことの確認を推奨します。

図 13-12. 未制約コネクション・レポート例



13.2.2.7 総コネクション数と解析カバレッジのレポート

レポートの最後には、コネクションに対する解析のカバレッジがレポートされます。カバレッジが 100% である必要はありませんが、必ず詳細レポートで解析されていないパスの確認を行ってください。

図 13-13. 解析カバレッジのレポート例

Timing summary (Setup):

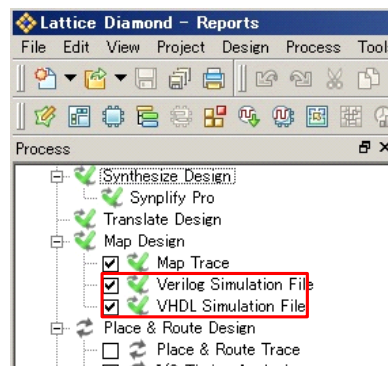
Timing errors: 2 Score: 20635
Cumulative negative slack: 20635

Constraints cover 7088 paths, 5 nets, and 3338 connections (98.6% coverage)

13.3 シミュレーション用ネットリストの作成

シミュレーション用のネットリストを作成は、Process ウィンドウの Map Design プロセスツリーの下にある [VHDL Simulation File] および [Verilog Simulation File] プロセスです (図 13-14)。

図 13-14. シミュレーション用ネットリスト出力



Lattice Diamond 日本語ユーザガイド

プロセス名の左側にあるチェックボックスにチェックが入っていると、Map Design プロセス完了後に自動的に実行されます。チェックが入っていない場合でも、プロセス名をダブルクリックすれば実行されます。

これらのプロセスを実行するとシミュレーション用のネットリストファイルと sdf ファイルが、インプリメンテーション・フォルダに出力されます。作成されるファイル名は、それぞれ以下のようになります。

ネットリスト (VHDL) : [プロジェクト名][インプリメンテーション名]_mapvho.vho
SDF (VHDL) : [プロジェクト名][インプリメンテーション名]_mapvho.sdf
ネットリスト (Verilog HDL) : [プロジェクト名][インプリメンテーション名]_mapvo.vo
SDF (Verilog HDL) : [プロジェクト名][インプリメンテーション名]_mapvo.sdf

なお、sdf 内は LUT やレジスタ等の遅延は適当なものが入っていますが、配線遅延は全て 0ps です。タイミング検証と違い値を入れることはできません。

13.4 改訂履歴

Ver.	Date	page	内容
2.3F	June 30 2014	13-2, 3	Strategy: 図 13-2 差し替え、項目記述追加 (Check Unconstrained Connections, Number of Unconstrained Paths)
		-	旧リスト 2-1 「Unconstrained path レポートの例」 削除
		13-5, 6	未制約レポートに関する図 13-8 と記述を追加
		13-5, 9	図 13-6、図 13-7、図 13-12 更新
		13-10	図 13-13 「解析対象外パスのレポート」を「未制約コネクション・レポート」として更新
3.3	Mar. 2015	1	旧図 13-1 削除

--- *** ---