Altera Agilex FPGA向け SiTime社 clock Solutions

FPGAの機能ブロックに最適な発振器・クロックICをワンストップで提案

1. なぜSiTime品がFPGAに最適か — 4つの価値 WHY SiTime ?

4 Key Values

01 高速インターフェース対応
- 低ジッター・低位相ノイズのRefclk
- GTSトランシーバー／PLLの安定動作を支援

02 高い環境耐性と信頼性
- 温度変化・振動・電源ノイズに強い
- MEMS構造による高信頼性

03 柔軟なクロック構成
- XO、 Buffer 、Clock Gen ラインナップ有
- 複数クロックを1デバイスに統合提案可能

04 設計・調達の柔軟性
- 周波数・電圧・出力タイプをプログラム可能
- BOM・PCB面積・調達負荷を削減

2. 推奨製品リスト for Agilex 5（機能ブロック別） RECOMMENDED PRODUCTS

製品区分 ｜ 出力タイプ	代表型番	I/O PLL	GTS（E-Series／D-Series）			HPS 外部 クロック	System PLL
			Group B ≤17.16G	Group A ≤28.1G	GTS-D ≤28.1G		
SPXO ｜ LVCMOS	SiT8008/9 ・ SiT8918/9	✓				✓	
差動XO ｜ LVPECL/ LVDS /HCSL	SiT9375・SiT9505	✓	✓	✓	✓	✓	✓
TCXO ｜ LVCMOS	SiT5501 ・ SiT5503	✓	✓	✓	✓		
OCXO ｜ LVCMOS	SiT5801・SiT5811	✓	✓	✓	✓		
多出力 クロックジェネレーター *Jitter Attenuator、Synchronizer含む	SiT95141/5/7	✓	✓	✓	✓	✓	✓

3. Agilex 5 クロック構成事例 CLOCK CONFIGURATION

シンプル構成 Ver.

単出力XOで各ブロックを直接駆動（クロック数＝発振器数／少数クロック・同期不要時）

- 差動XO：SiT9375／SiT9505 例：HCSL出力/100MHz
- 差動XO：SiT9375／SiT9505 例：LVDS/125MHz
- SPXO：SiT8008・SiT8918 例：LVCMOS/100MHz
- SPXO： SiT8008・SiT8919 例：LVCMOS/125MHz

→ Agilex 5
- GTS Refclk（E-Series Group A/B・D-Series）
- System PLL（GTSバンク）
- I/O PLL
- HPS外部クロック

統合構成 Ver.

他出力 クロックジェネレーターで複数ブロックを一括駆動（BOM・面積削減）

SPXO
SiT8008
LVCMOS／48MHz

→ **Clock Generator**
SiT95141
10出力(差動)対応

→ Agilex 5
- GTS Refclk（E-Series Group A/B・D-Series）
- System PLL（GTSバンク）
- I/O PLL
- HPS外部クロック

記載内容は参考資料に基づく提案例です。最終選定時はFPGAおよびSiTime製品の最新データシートをご確認ください。

株式会社マクニカ
フィネッセカンパニー
〒222-8561 横浜市港北区新横浜1-6-3 マクニカ第一ビル
電話：045-470-9831
メール：SiTimePMAll@macnica.co.jp