

Quartus® Prime はじめてガイド Quartus® Prime Standard Edition 開発ソフトウェア 簡易チュートリアル

Quartus[®] Prime Standard Edition 開発ソフトウェア 簡易チュートリアル

目次

本書をお読みになる前に3
はじめに
チュートリアルを実施するために必要な環境4
サンプルデザインの概要5
Quartus® Prime での開発6
1. Quartus® Prime を起動する6
2. 論理回路を設計する7
2-1. プロジェクトを作成する7
2-2. 論理回路を作成する11
2-3. Analysis and Elaboration を実行する25
3. 論理シミュレーションを実行する27
4. 制約の設定をする
4-1. デザイン上のピンをデバイスにアサインする33
4-2. タイミング制約
5. コンパイルを実行する
6. タイミングを検証する
7. プログラミングをする
7-1. sof ファイルを書き込む40
7-2. コンフィグレーション ROM に書き込む43
7-2-1. コンフィグレーション ROM 用のプログラミング・ファイルを作成する43
7-2-2. コンフィグレーション ROM ヘプログラミングする47
8. 実機で動作検証をする

本書をお読みになる前に

この資料の内容は 2024 年 10 月現在のものです。

この資料で紹介しているソフトウェアやハードウェア、操作手順などは、指定バージョンやデバイスなど以外で も共通のものもありますが、一部については共通にならないものもありますので、ご注意ください。

文書中の記号

(i) Note	補足情報などを記載しています。
P Point	重要なポイントを記載しています。
■ 参考	理解を深めるため、参考となる資料やサイトを紹介しています。
▲ 注記	この資料の中では具体的には触れませんが、必要となる知識や情報を記載しています。
◎ 禁止	注意点や、してはいけないことを記載しています。

文中の表記

<u>下線</u>	クリックする事で、資料中の別の章や、外部のサイトにジャンプします。
太字斜体	画面の操作をする際の、メニューやウィンドウなどに表示されている文字を示しています。
XXXXXXX	入力するコマンド文字列を示しています。

はじめに

この資料は、Quartus[®] Prime Standard Edition 開発ソフトウェア (以降 Quartus[®] Prime) を使用して、デジタル 論理回路の作成からインテル FPGA の搭載された評価ボードを動作させるまでをチュートリアル形式にまとめ たものです。はじめて FPGA 設計をするユーザーが、開発ソフトウェアの基本的な操作フローを簡易的に理解 することができます。



上図は、FPGA の一般的な開発フローを示しています。

インテル FPGA を開発する場合、開発フローの [2]~[9] は Quartus[®] Prime を使用し、そのうち開発フローの [4] では Questa* - Intel[®] FPGA Edition などのインテル FPGA をサポートする EDA シミュレーション・ツール を使用します。

このチュートリアルでは、開発フローの [3]~[9] を体験することができます。

なお、各工程の操作マニュアルは、下記ページよりご利用いただけます。

<u>Altera® FPGA の開発フロー</u>

チュートリアルを実施するために必要な環境

このチュートリアルを実施するためには、以下の環境が必要です。

【表 A】 チュートリアル実施に必要な環境

No.	項目	内容
1	パソコン	Quartus® Prime が動作するスペックを保有するパソコンをご用意ください。
		 サポート OS 情報は、<u>Quartus[®] Prime 開発ソフトウェア – サポート OS 対応表</u> をご覧ください。
		 パソコンの物理メモリ容量の情報は、<u>こちらのページ</u>から使用するバージョンの Release Notes を入手し、Disk Space and Memory Recommendationsのセクションをご 覧ください。



No.	項目		内容	
2	Quartus [®] Prime Standard Edition	開発ソフトウェアをインストーノ ル方法は、以下の Web ペー	レしてください。各種ツールの ジをご参照ください。	ダウンロードおよびインストー
3	Questa*- Intel® FPGA Edition または Questa*- Intel® FPGA Starter Edition	 <u>Quartus[®] Prime</u>開発ソフト 方法 <u>Quartus[®] Prime</u>開発ソフト 方法 	・ウェアおよび Questa* - Intel® ・ウェアおよび Questa* - Intel®	[•] FPGA Edition のダウンロード [•] FPGA Edition のインストール
4	評価ボード	このチュートリアルに対応した	評価ボードは、以下のとおりて	ぎす。
		ボード	FPGA	Altera® FPGA ダウンロード・ケーブル の有無
		Cyclone [®] 10 LP Evaluation Kit	10CL025YU256I7G	不要 (別途使用可能)
		MAX [®] 10 FPGA Evaluation Kit	10M08SAE144C8G	必要
5	Altera® FPGA ダウンロード・ケ ーブル II (旧称 USB-Blaster II) または	開発したデータを FPGA やコ USB ケーブルです。 ・ 評価ボード Cyclone®101 ケーブルは必要ありませ	ンフィグレーションデバイスに LP Evaluation Kit を使用する場 ん。Altera® FPGA ダウンロー	ダウンロードするための専用 合は、これらのダウンロード・ ド・ケーブル II と同等の機能
	Altera® FPGA ダウンロード・ケ ーブル (旧称 USB-Blaster)	を基板に搭載しています ・ これらダウンロード・ケー ストールしてください。イン <u>USB-Blaster™ II のドライバ</u> USB-Blaster™ のドライバス	。 ブルをはじめて利用するパソ - レストール方法は、以下の We <u>バをインストールしてみよう</u> をインストールしてみよう	コンには、事前にドライバをイン b ページをご参照ください。

サンプルデザインの概要

このチュートリアルでは、評価ボード上の LED の点灯・消灯を制御する (いわゆる L チカ) 動作をデジタル 論理回路としてハードウェア言語 (以下 HDL) で設計します。

作成するデザインは、3つのブロック(機能)で構成します。

◆ 各ブロックの概要

デザイン	動作概要
PLL (Phase-Locked Loop) 回路	外部から入力されたクロック信号の周波数を逓倍・分周します
カウンター回路	非同期クリアー付き 32bit アップカウンター
セレクター回路 (マルチプレクサー)	入力条件に応じて出力するデータを選択します







目 参考:

- HDL 設計経験がないユーザーは、以下もご活用ください。
 - ・ はじめてみよう! Verilog-HDL < 演習問題つき>
 - ・ <u>はじめてみよう! VHDL <演習問題つき></u>

Quartus[®] Prime での開発

1. Quartus[®] Prime Standard Edition を起動する

Windows OS の場合は、[スタート] ➤ Intel FPGA <version_build> Standard Edition ➤ Quartus (Quartus Prime <version>) をクリック、もしくはデスクトップに生成した Quartus® Prime のショートカット・アイコンをダブルクリック してください。

Linux OS の場合は、quartus コマンドにより起動させます。

😮 Quartus Prime Standard Edition	- 🗆 ×
Eile <u>E</u> dit <u>V</u> iew <u>Project</u> <u>Assignments</u> <u>Processing</u> <u>Iools</u> <u>W</u> indow <u>H</u> elp	Search altera.com 🔵
□ ► 日 ← D D つ C - ∠ ♦ ♦ ♦ ■ ► ► € ♀ 0 ▲ ●	
◆ 12 田 @ 4 ● 1 = 10 = 10 = 10 = 10 = 10 = 10 = 10	
Project Navigator A Hierarchy 🔻 🔍 🖳 🗗 🗙	
Complation Herarchy	
Tasks Compilation ▼ ≡ 및 6 ×	
Task Version Standard Edition	
♥ ► Compile Design	View Quartus Prime Information
> Malysis & Synthesis	Documentation
	Notification Center
×	
Image: Base of the state o	
30 Sustem Brocerine	
e oyacan Processing	
Design Partitions Window Messages	

2. <u>論理回路を設計する</u>

1つの FPGA に構築する論理回路を作成します。(この作業は、開発フローの [3] にあたります。)



1 つの FPGA に対して開発を始めるには、Quartus® Prime Standard Edition で 1 つのプロジェクトを構築する 必要があります。そのプロジェクトに対して、HDL やスケマティックで論理回路を作成し、登録を行います。

2-1.プロジェクトを作成する

論理回路を作成するためのプロジェクトを作成します。

 Quartus[®] Prime のメニューから File ➤ New Project Wizard を選択します。New Project Wizard ダイアロ グボックスが起動し、初回は Introduction ページが表示されますので、Next ボタンをクリックし、次へ進 みます。



2. Directory, Name, Top-Level Entity ページでは、以下の情報を登録し、Next ボタンをクリックします。

【表 2-1-1】Directory, Name, Top-Level Entity ページに入力する内容

質問事項	入力内容
What is the working directory for this project?	プロジェクト用 作業フォルダーのパス
	C:/AlteraFPGA_lab/my_first_fpga
What is the name of this project?	プロジェクト名
	my_first_fpga
What is the name of the top-level design entity	プロジェクトにおける最上位エンティティー名
for this project? This name is(省略)	my_first_fpga

C:/AlteraFPGA_lab/my_first_fp	ga			
What is the name of this projec	17			
my_first_fpga				
What is the name of the top-lev exactly match the entity name i my_first_fpga	et design entity for this project n the design file.	(? This name is	case sensitive a	and must

作業フォルダーのパス、プロジェクト名、ファイル名は、半角・英数字のみを利用してください。全角 やスペースの使用はできません。

このとき、プロジェクト用作業フォルダーをあらかじめ作成していない場合は、指定したフォルダーの自動作成を認証するメッセージ (下図) が表示されます。Yes を選択し、作業フォルダーを作成します。

🕥 Quai	tus Prime	Х
	Directory "C:/AlteraFPGA_lab/my_first_fpga" does not exist. Do you want to create it?	
	Yes No	

One:

3. Project Type ページでは、Empty project を選択し、Next ボタンをクリックします。



4. Add Files ページでは、既存のデザインファイルを指定します。

このチュートリアルでは、まだデザインを作成していませんので空欄のまま Next ボタンをクリックします。

5. Family, Device & Board Settings ページでは、使用する評価ボードに搭載されている FPGA の型番を選択 します。

評価ボード	Device Family	Package	Pin count	Core speed grade	Available devices
Cyclone [®] 10 LP Evaluation Kit	Cyclone 10 LP	UFBGA	256	7	10CL025YU256I7G
MAX [®] 10 FPGA Evaluation Kit	MAX 10	EQFP	144	8	10M08SAE144C8G

【表 2-1-2】Family, Device & Board Settings ページで選択する内容

① Family (Device family エリア内) プルダウン・リストから、FPGA の デバイスファミリー を選択します。

mily, Device & Boa	ard Settings		
Device Board			
elect the family and device	e you want to target for com	npilation.	
· · · · · · · · · · · · · · · · · · ·	evice support with the Insta	all Devices command on the Tools :	nenu.
ou can install additional d			
ou can install additional d	^t the Quartus Prime softwar	re in which your target device is sur	ported, refer to the Device Support List webpag
ou can install additional d	f the Quartus Prime softwar	re in which your target device is sup	ported, refer to the <u>Device Support List</u> webpa
ou can install additional d	f the Quartus Prime softwar	re in which your target device is sup Show in 'Available	ported, refer to the <u>Device Support List</u> webpa _t devices' list
ou can install additional d o determine the version of Device family <u>F</u> amily: <u>Cyclone 10 LP</u>	f the Quartus Prime softwar	re in which your target device is sup Show in 'Available Pac <u>k</u> age:	ported, refer to the <u>Device Support List</u> webpag devices' list
ou can install additional d o determine the version of Device family Eamily: Cyclone 10 LP Device Arma 10 (GX/SX,	f the Quartus Prime softwar	re in which your target device is sup Show in 'Available Pac <u>k</u> age:	ported, refer to the <u>Device Support List</u> webpay devices' list
ou can install additional d o determine the version of Device family Eamily: Cyclone 10 LP Device Arna 10 (GX/SX, Arria V (GT/GX/S	f the Quartus Prime softwar (GT) (ST)	re in which your target device is sup Show in 'Available Pac <u>k</u> age: Pin <u>c</u> ount:	ported, refer to the <u>Device Support List</u> webpaged devices' list Any <
ou can install additional d o determine the version of Device family <u>Eamily:</u> Cyclone 10 LP Device Arria V (GT/GX/S Target d	f the Quartus Prime softwar (GT) ST/SX)	re in which your target device is sup Show in 'Available Pac <u>k</u> age: Pin <u>c</u> ount: Core sp <u>e</u> ed grade	ported, refer to the <u>Device Support List</u> webpagedevices' list Any Any Any Any The second sec
ou can install additional d o determine the version of Device family Eamily: Cyclone 10 LP Device Arna 10 (GX/SX, Arria V (GT/GX/S Target d	f the Quartus Prime softwar (GT) ST/SX)	re in which your target device is sup Show in 'Available Pac <u>k</u> age: Pin <u>c</u> ount: Core sp <u>e</u> ed grade	ported, refer to the <u>Device Support List</u> webpaa devices' list Any Any Any Any

例: Cyclone[®] 10 LP Evaluation Kit をターゲットにした場合

② Show in 'Available devices' list エリアにおいて、[表 2-1-2] を参考に <u>Package</u>、<u>Pin count</u>、<u>Core speed</u> <u>grade</u> の項目を選択します。

選択した項目がフィルター条件となり、Available devices 欄に該当する型番のみが表示されます。

N. B. C. MIC. I		
New Project Wizard		
amily Device & Board Settings		
anny, Device a Doard Settings		
Device Board		
Select the family and device you want to target for compilation.		
You can install additional device support with the Install Devices con	mmand on the Tools n	nenu.
To determine the version of the Quartus Prime software in which yo	ur target device is sup	ported, refer to the <u>Device Support List</u> webpage.
Device family	Show in 'Available	devices' list
Family: Cyclone 10 LP		
Lamily. Cyclone to El	Pac <u>k</u> age:	UFBGA 👻
Dev <u>i</u> ce: All	Pin <u>c</u> ount:	256 🔻
Device: All	Pin <u>c</u> ount: Core sp <u>e</u> ed grade:	256 • • 7 •
Device: All	Pin <u>c</u> ount: Core sp <u>e</u> ed grade: Name filter:	256 • • 7 • 025
Device: All Target device All All Specific device selected by the Fitter Specific device selected in 'Available devices' list	Pin <u>c</u> ount: Core sp <u>e</u> ed grade: Name filter: ☑ S <u>h</u> ow advancee	256 7 7 025 d devices

	Ð	Point	
--	---	-------	--

条件を入力しても Available devices 覧に多くの型番が検出され対象の FPGA が見つけにくい ときは、Show in 'Available devices' list エリアの Name filter 欄にキーワードを入力して、さら に絞り込んでください。

例えば、Cyclone 10 LP Evaluation Kit (10CL025YU256I7G)の場合、Name filter 欄に "025" を入力 するとよいでしょう。

③ Available devices 欄から対象の型番をクリックで指定 (ハイライト) し、Finish ボタンをクリックします。

Specific device s	elected in 'Available	e devices' lis	t	Show adv	vanced devices	
Other: n/a						
ailable devices:						
Name	Core Voltage	LEs	Total I/Os	GPIOs	Memory Bits	Embedded multiplier 9-bit
0CL025YU256A7G	1.2V	24624	151	151	608256	132
0CL025YU256I7G	1.2V	24624	151	151	608256	132
				_		
						/

▲ 例: Cyclone[®] 10 LP Evaluation Kit をターゲットにした場合

6. 以下のメッセージが表示されます。作業を継続するため Yes ボタンをクリックします。



7. 以上で プロジェクト作成が完了しました。

画面のツールバー、および Project Navigator ウィンドウに、設定した情報が表示されていることを確認します。

Quartus Prime Standard Edition - C:/	/AlteraFPGA_lab/my_first_fpga/my_first_fpga - my_first_fpga
<u>File E</u> dit <u>V</u> iew <u>P</u> roject <u>A</u> ssignm	ents P <u>r</u> ocessing <u>T</u> ools <u>W</u> indow <u>H</u> elp
<u> </u> → → D ⊃ (my_first_fpga 作業フォルダーのパス - プロジェクト名
🔶 🔁 🔒 🦃 👫 🗲 🗮 🄇) 🕵 😢 🐕 🤹 💐 💐 🕸 🗠 📾 🔌 🖾
Project Navigator	🝌 Hierarchy 🔻 🤉 🖓 🖉
Project Navigator Entity:Ins	→ Hierarchy Q P Ø 図 stance
Project Navigator Entity:Ins	▲ Hierarchy ▼ Q 里 @ 図 stance 選択されている FPGA の型番

▲ 例: Cyclone[®] 10 LP Evaluation Kit をターゲットにした場合

■ 参考:
 ● 「Quartus Prime はじめてガイド - プロジェクトの作成方法」

2-2. 論理回路を作成する

作成したプロジェクトに、サンプルデザインの概要 で示した論理回路を作成します。

このチュートリアルでは、カウンター回路 および セレクター回路は HDL (VHDL または Verilog HDL) でコード を記述し、PLL 回路は IP Catalog と言う入力手法で設計します。また、この3つのエンティティーを接続する最上 位階層デザインも、HDL で記述します。 ■ **カウンター回路**を設計する

VHDL または Verilog HDL で記述します。

 Quartus[®] Prime のメニューから File ➤ New を選択しま す。表示された New ダイアログボックスの Design Files ブランチ内から、記述する HDL 用のファイルを選択し、 OK ボタンをクリックします。

新規ワーキングシートが開きます。



2.

3. Quartus[®] Prime のメニューから File ► Save As... を選択します。

これから作成するデザインファイルを保存するフォルダーを指定し、デザインファイルに名前を付け、保存(5)ボタンをクリックします。

項目	指定内容		
保存するフォルダー	C:/AlteraFPGA_lab/my_first_fpga		
ファイル名	simple_counter		
コーノック活動	VHDL で記述 → VHDL Files (*.vhd *.vhdl)		
ノアイルの種類	Verilog HDL で記述 ⇒ Verilog HDL Files (*.v *.vlg *.verilog)		
Add file to current project オプション	On		

名前を付けて保存	×
← → → ↑ 🔂 « SYSTEM (C:) → AlteraFPGA	lab > my_first_fpga v ♂ ♂ my_first_f , P
整理 ▼ 新しいフォルダー	i i · · · · · · · · · · · · · · · · · ·
<pre>> SYSTEM (C:) AlteraFPGA_lab > my_first_fpga </pre>	Ь
ファイル名(<u>N</u>): simple_counter ファイルの種類(<u>T</u>): VHDL Files (*.vhd *.vhdl)	~ ~
▲ フォルダーの非表示	Add file to current project 保存(S) キャンセル

▲ 例: VHDL で記述した場合の保存画面

4. 先ほど保存したワーキングシート (simple_counter.vhd または simple_counter.v) に HDL コードを入力し ます。

下記に各 HDL の記述サンプルを掲載していますので、参考にしてください。

【サンプル 2-1-1】 simple_counter.vhd コード例

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity simple_counter is
    port
    (
        clock : in std_logic;
reset : in std_logic;
        counter_out : out std_logic_vector (31 downto 0)
    );
end entity;
architecture rtl of simple_counter is
signal cnt : std logic vector (31 downto 0) := (others => '0');
begin
    process (clock, reset)
    begin
        if (reset = '0') then
             cnt <= (others => '0');
        elsif (rising edge(clock)) then
            cnt <= cnt + 1;
        end if;
            counter out <= cnt;
    end process;
end rtl;
```

【サンプル 2-1-2】 simple_counter.v コード例

```
module simple_counter
(
    input clock,
    input reset,
    output reg [31:0] counter_out
);

    always @ (posedge clock or negedge reset)
    begin
        if (!reset)
            counter_out <= 0;
        else
            counter_out <= counter_out + 1;
    end
endmodule</pre>
```

- 5. Quartus[®] Prime のメニューから File ➤ Save を選択し、デザインファイルを保存します。
- 6. ワーキングシートのタブ右端にある [X] ボタンをクリックし、ファイルを閉じます。



以上で カウンター回路の設計は終了です。

■ セレクター回路を設計する

VHDL または Verilog HDL で記述します。

- Quartus[®] Prime のメニューから File ➤ New を選択します。表示された New ダイアログボックスの Design Files ブランチ内から、記述する HDL 用のファイルを選択し、OK ボタンをクリックします。 新規ワーキングシートが開きます。
- 2. Quartus[®] Prime のメニューから *File ► Save As ...* を選択します。

これから作成するデザインファイルを保存するフォルダーを指定し、デザインファイルに名前を付け、保存(5)ボタンをクリックします。

項目	指定内容		
保存するフォルダー	C:/AlteraFPGA_lab/my_first_fpga		
ファイル名	counter_bus_mux		
フー ノル の 孫 将	VHDL で記述 → VHDL Files (*.vhd *.vhdl)		
ファイルの種類	Verilog HDL で記述 → Verilog HDL Files (*.v *.vlg *.verilog)		
Add file to current project オプション	On		

【表 2-1-4】 デザインファイルを保存する際の打	指定内容
----------------------------	------

3. 先ほど保存したワーキングシート (counter_bus_mux.vhd または counter_bus_mux.v) に HDL コードを 入力します。

次頁に各 HDL の記述サンプルを掲載していますので、参考にしてください。



【サンプル 2-1-3】 counter_bus_mux.vhd コード例

```
library ieee;
use ieee.std logic 1164.all;
entity counter_bus_mux is
   port
    (
        dataa : in std_logic_vector (2 downto 0);
        datab : in std_logic_vector (2 downto 0);
        sel
                : in std logic;
       result : out std logic vector (2 downto 0)
   );
end entity;
architecture rtl of counter bus mux is
begin
result <= dataa when (sel = '1') else datab;
end rtl;
```

【サンプル 2-1-4】 counter_bus_mux.v コード例

```
module counter_bus_mux
(
    input [2:0] dataa,
    input [2:0] datab,
    input sel,
    output [2:0] result
);
    assign result = (sel == 1'b1) ? dataa : datab;
endmodule
```

- 4. Quartus[®] Prime のメニューから File ➤ Save を選択し、デザインファイルを保存します。
- 5. ワーキングシートのタブ右端にある [X] ボタンをクリックし、ファイルを閉じます。

以上で セレクター回路の設計は終了です。

■ PLL 回路を設計する

IP Catalog で作成します。

① Note:

IP Catalog とは、インテル FPGA の IP コアのパラメーターを簡単にカスタマイズして、プロジェクトに組み込むことができるツールです。詳細は、<u>Introduction to Intel FPGA IP Cores</u> をご参考ください。

1. Quartus[®] Prime の画面右端に IP Catalog ウィンドウが表示されていない場合は、メニューから **Tools** ➤ *IP Catalog* を選択し、IP Catalog ウィンドウを表示します。



2. IP Catalog の検索フィールドに PLL IP 名の一部である pll と入力すると、指定したキーワードを IP 名に 持つラインナップのみが表示されます。

ALTPLL を選択し、+Add ボタンをクリックします。



Note:

デバイスファミリーにより指定する PLL の IP 名が異なります。詳細は下記ページをご参考ください。

- IP の生成 (「インテル® FPGA の PLL」より)
- 3. Save IP Variation ダイアログボックスが表示されます。

これから作成する PLL IP の保存フォルダー、およびエンティティー名を入力し、生成する HDL フォーマットを選択します。

このチュートリアルでは、以下のとおりに設定します。

【表 2-1-5】 デザインファイルを保存する際の指定内容

項目	内容
IP variation file name	C:/AlteraFPGA_lab/my_first_fpga/pll
Durnistian file have	VHDL で記述 → VHDL を選択
IP variation file type	Verilog HDL で記述 ⇒ Verilog HDL を選択



▲ 例: VHDL を選択した場合の画面

OK ボタンをクリックすると、Wizard 画面が起動します。

4. ALTPLL IP のパラメーターを設定します。

macnic

 MegaWizard Plug-In Manager ウィンドウの 1 Parameter Settings ➤ General/Modes において、[表 2-1-6] を参考にパラメーターを設定します。

【表 2-1-6】ATLPLL のパラメーター設定 (General/Modes)

項目	Cyclone [®] 10 LP Evaluation Kit	MAX [®] 10 FPGA Evaluation Kit
Currently selected device family	Cyclone 10 LP	MAX 10
Which device speed grade will you be using?	7	8
What is the frequency of the inclock0 input?	50 (MHz)	50 (MHz)
その他の設定	デフォルト	デフォルト

× MegaWizard Plug-In Manager [page 1 of 12]	? ×
	out Documentation
Parameter Settings Reconfiguration 3 Output d EDA 5 Summary	
General/Modes Inputs/Lock Bandwidth/SS Clock switchover	
pll Currently selected device family: Cyr inclk0 inclk0 frequency: 50.000 MHz c0	done 10 LP
Areset Operation Mode: Normal Cik Ratio Ph (dg) DC (%) General Output Which device speed grade will you be using? 7 Cyclone 10 LP Use military temperature range devices only	
What is the frequency of the indk0 input? 50 Set up PLL in LVDS mode Data rate: Not Available	MHz
PLL Type Which PLL type will you be using? C Fast PLL C Fast PLL C Enhanced PLL	PLL type automatically
Operation Mode How will the PLL outputs be generated? (Use the feedback path inside the PLL (In normal mode	c0 _

▲ 例: Cyclone[®] 10 LP Evaluation Kit をターゲットにした場合

Next ボタンをクリックします。

② **1** Parameter Settings ➤ Inputs/Lock において、[表 2-1-7] を参考にパラメーターを設定します。

項目	Cyclone [®] 10 LP Evaluation Kit	MAX [®] 10 FPGA Evaluation Kit
Create an 'areset' input to asynchronously reset the PLL	On	On
Create 'locked' output	On	On
その他の設定	Off	Off



🖄 MegaWizard Plug-In Manager [page 2 of 12]		? ×
		<u>About</u> <u>D</u> ocumentation
1 Parameter 2 PLL Reconfiguration 3 Output 4 ED/ Clocks 4	A 5 Summary	
General/Modes Inputs/Lock Bandwidth/SS	> Clock switchover >	
pli	Able to implement the requested PLL	
areset Operation Mode: Normal locked	Create an 'pliena' input to selectively enable the PLL	
Clk Ratio Ph (dg) DC (%) c0 1/1 0.00 50.00	Create an 'areset' input to asynchronously reset the PLL Create an 'pfdena' input to selectively enable the phase/frequence	y detector
Cyclone 10 LP	Lock Output	
	Create 'locked' output Enable self-reset on loss lock	
Y	- Advanced Parameters	
オプションポートは、選択されたポートのみ	Using these parameters is recommended for advanced users only	
がグラフィカルプレビューに表示	 Create output file(s) using the Advanced PLL parameters Configurations with output clock(s) that use cascade counters a 	re not supported
	Cancel	< <u>Back</u> Next > Einish

▲ 例: Cyclone[®] 10 LP Evaluation Kit をターゲットにした場合

③ 3 Output Clocks をクリックし、clk c0 ページへジャンプします。

[表 2-1-8] を参考にパラメーターを設定します。

【表	2-1-8]	ATI PI I	のパラメー	-タ-	-設定	(c k c0)	۱
12	2 1 0 4		· · · · · / ·				

項目	Cyclone [®] 10 LP Evaluation Kit	MAX [®] 10 FPGA Evaluation Kit
Clock division factor	10	10
その他の設定	デフォルト	デフォルト

☆ MegaWizard Plug-In Manager [page 6 of 12]		? ×
		<u>A</u> bout <u>D</u> ocumentation
1 Parameter Settings Reconfiguration Clocks	EDA 5 Summary	
$\left[dkc0 ight] $ $\left[dkc1 ight> dkc2 ight> dkc3 ight>$	dk c4 >	
pll inclk0 frequency: 50.000 MHz Operation Mode: Normal Cik Ratio Ph (dg) DC (%) co 1/10 0.00 50.00 Cyclone 10 LP	CO - Core/External Output Cloc Able to implement the requested PLL Use this clock Clock Tap Settings C Enter output clock frequency: € Enter output clock parameters: Clock multiplication factor Clock division factor Clock phase shift	Requested Settings Actual Settings 100.0000000 MHz 1 5.000000 1 1 10 4 0.00 deg 0.00 0.00
	Clock duty cycle (%)	50.00 - 50.00
	Note: The displayed internal settings of the PLL is recommended for use by advanced users only	Description Val Primary clock VCO frequency (MHz) 600 Modulus for M counter 12 Image:
		Per Clock Feasibility Indicators C0 c1 c2 c3 c4
		Cancel < Back Next > Finish

▲ 例: Cyclone[®] 10 LP Evaluation Kit をターゲットにした場合

- ④ Finish ボタンをクリックします。
- ⑤ **5** Summary が表示されます。ここでは、IP ファイル以外に追加生成するファイルを選択します。 このチュートリアルでは、[表 2-1-9] を参考に選択してください。

【表 2-1-9】ATLPLL	のパラメーター	-設定 (Summary)
-----------------	---------	---------------

言語	選択するファイル	
VHDL で設計	pll.cmp、pll_inst.vhd	
Verilog HDL で設計	pll_inst.v	

⑥ Finish ボタンをクリックします。

以下のダイアログボックスが表示されますので、Yes ボタンをクリックします。

🕥 Quartus Prime IP Files	×
When you create an Intel IP variation, a Quartus Prime IP File is general Quartus Prime IP Files are used to represent the Intel IP in your design you want to add the Quartus Prime IP File to the project?	ted. . Do
C:\AlteraFPGA_lab\my_first_fpga\plLqip	
Automatically add Quartus Prime IP Files to all projects	
Automatically add Quartus Prime IP Files to all projects (Note: Turning on this option permanently suppresses this dialog box.	. You
Automatically add Quartus Prime IP Files to all projects (Note: Turning on this option permanently suppresses this dialog box. can change this setting in the Options dialog box)	. You

以上で PLL 回路の設計は終了です。

■ 最上位階層デザインを設計する

これまで作成した各エンティティーを接続するための最上位階層エンティティーを、VHDL または Verilog HDL で記述します。

1. Quartus[®] Prime のメニューから *File ➤ New* を選択し、New ダイアログボックスの Design Files ブランチ 内から、記述する HDL 用のファイルを選択し、*OK* ボタンをクリックします。

新規ワーキングシートが開きます。

2. Quartus[®] Prime のメニューから File ➤ Save As... を選択します。

これから作成するデザインファイルを保存するフォルダーを指定し、デザインファイルに名前を付け、保存(S)ボタンをクリックします。

項目	指定内容	
保存するフォルダー	C:/AlteraFPGA_lab/my_first_fpga	
ファイル名	my_first_fpga	
コーノルの研究	VHDL で記述 → VHDL Files (*.vhd *.vhdl)	
ノアイノレの種類	Verilog HDL で記述 ⇒ Verilog HDL Files (*.v *.vlg *.verilog)	
Add file to current project オプション	On	

【表 2-1-10】 デザインファイルを保存する際の指定内容

3. 先ほど保存したワーキングシート (my_first_fpga.vhd または my_first_fpga.v) に HDL コードを入力します。

以下に各 HDL の記述サンプルを掲載していますので、参考にしてください。

【サンプル 2-1-5】 my_first_fpga.vhd コード例

```
library ieee;
use ieee.std_logic_1164.all;
entity my first fpga is
  port
  (
      OSC CLK : in std logic;
      RESET : in std_logic;
      BUTTON : in std logic;
      LED : out std logic vector (3 downto 0)
  );
end entity;
architecture rtl of my first fpga is
signal pll c0 : std logic;
signal cnt : std_logic_vector (31 downto 0);
signal tmp
            : std_logic_vector (3 downto 0);
component pll
  port (
      areset : in std logic := '0';
      inclk0 : in std logic := '0';
      c0 : out std logic;
      locked : out std logic
  );
end component;
component simple counter
  port (
      clock
                : in std logic;
      reset
                : in std logic;
      counter_out : out std_logic_vector (31 downto 0)
  );
end component;
component counter bus mux
  port (
      dataa : in std_logic_vector (2 downto 0);
      datab : in std logic vector (2 downto 0);
      sel : in std logic;
      result : out std_logic_vector (2 downto 0)
  );
end component;
```

```
begin
pll inst : pll port map (
      areset => not RESET,
      inclk0 => OSC CLK,
      c0 => pll c0,
      locked => tmp
  );
simple_counter_inst : simple_counter port map (
      clock => pll_c0,
reset => RESET,
      counter out => cnt
  );
counter bus mux inst : counter bus mux port map (
      dataa => cnt(23 downto 21),
      datab => cnt(26 downto 24),
      sel => BUTTON,
      result => tmp(2 downto 0)
  );
LED(3) <= not tmp(3);
LED(2 downto 0) <= not tmp(2 downto 0);
end rtl;
```

【サンプル 2-1-6】my_first_fpga.v コード例

```
module my_first_fpga (
        OSC_CLK,
  input
  input
               RESET,
                BUTTON,
  input
  output [3:0] LED
  );
  wire pll_c0;
  wire [31:0] cnt;
  wire [2:0] tmp;
  assign LED[2:0] = ~tmp;
  pll pll inst (
     .areset (~RESET),
      .inclk0 (OSC CLK),
      .c0 (pll_c0),
      .locked (~LED[0])
      );
  simple_counter simple_counter_inst (
     .clock (pll_c0),
      .reset
               (RESET),
      .counter_out(cnt)
      );
```

```
counter_bus_mux_counter_bus_mux_inst (
    .dataa (cnt[23:21]),
    .datab (cnt[26:24]),
    .sel (BUTTON),
    .result (tmp)
    );
endmodule
```

4. Quartus[®] Prime のメニューから File ➤ Save を選択し、デザインファイルを保存します。

5. ワーキングシートのタブ右端にある [X] ボタンをクリックし、ファイルを閉じます。

以上で このチュートリアルに必要なすべてのデザイン作成が終了しました。

Project Navigator ウィンドウのプルダウン・リストを Files に切り替え、先ほど作成した4つのデザインファイルが現在のプロジェクトに登録されていることを確認します。

余分なファイルや不足があった場合には、Quartus Prime のメニューから Project ➤ Add/Remove Files in Project を選択し、追加あるいは削除を行ってください。





▲ 注記: (VHDL 設計者のみ)

my_first_fpga.vhd には VHDL-2008 に対応した記述が含まれています。Project Navigator ウィンド ウのビューを Files に切り替え後、ファイルを右クリック選択し、 Properties から VHDL_2008 を選 択登録してください。

Project Navigator	🖹 Files 🔹 🤜 🖓 🖗 🕅			
Files				
Bbo HD simple_counter.vhd			S Properties	×
Counter_bus_mux.	vhd			
🕨 📄 pll.qip	_		File Properties	
abc my_first_fpga.vhd	<u>O</u> pen	_	File name:	C:/AlteraFPGA_lab/my_first_fpga/my_first_fpga.vhd
	Remove File from Project		Type:	VHDL File
	📱 Set as Top-Level Entity		Library:	
	Create <u>A</u> HDL Include Files for C	L I	Design entry/synthesis tool:	<none> Settings</none>
Create Symbol Files for Current		HDL version:	VHDL_2008	
	Create VHDL Component Decla	r	Modified:	in and the second second
	Properties			OK Cancel Help

2-3. Analysis and Elaboration を実行する

Quartus[®] Prime のメニューから *Processing > Start > Start Analysis & Elaboration* をクリックし、コードのシン タックス・チェックや、デザインのデータベースを作成します。

P <u>r</u> ocessing <u>T</u> ools <u>W</u> indow <u>H</u> elp			
500 Stop Processing	Ctrl+Shift+C	nift+C	
Start <u>C</u> ompilation	Ctrl+L		
🐼 Analyze Current <u>F</u> ile			
St <u>a</u> rt	•	🚬 Start Hierarchy Elaboration	
Update Memory Initialization File		Y Start Analysis & <u>E</u> laboration	
Compilation <u>R</u> eport	Ctrl+R	🎽 Start Analysis & Synt <u>h</u> esis	Ctrl+K
		🚰 Start Partition Merge	

Messages ウィンドウに、実行が完了したことを示す以下のメッセージが表示されます。

Info: Quartus Prime Analysis & Elaboration was successful.

もしエラーが発生した場合は、HDL コードに問題があります。エラーを解消しないと次のステップには進めま せん。Messages ウィンドウに表示されたエラー・メッセージの内容をよく読み、指摘されている箇所付近の記述 を確認し、記述を修正してください。

また、エラー・メッセージの他、ワーニング・メッセージが発生する場合もあります。ワーニングは解消しなくて も次のステップへ進めますが、必ず内容を確認し、その内容を回避すべきか無視できるのかをユーザーが判断 してください。 各メッセージ内容の詳細を確認するには、ヘルプ機能の活用が有効です (下図参照)。ヘルプには、メッセージが発生した要因や回避するためのヒントが掲載されています。その情報からエラーなどを回避してください。

× 7	A11 2 A A アイコンをクリックし 右上にメッセージ数	で各メッセージをフィルター。 を表示。 ges ges					
≡	Type ID Message	Hide Previous Compilation Messages					
	 18236 Number of processors has not be 20030 Parallel compilation is enabled 	and wi Locate Node					
	12021 Found 2 design units, including	1 onti Search the web					
	12021 Found 2 design units, including	r enci Help F1					
	12021 Found 2 design units, including	1 entities Leave Feedback					
es	 X 10327 VHDL error at counter_bus_mux.v X Quartus Prime Analysis & Elabor 	d(17): tion wa メッセージを選択して右クリック ➤ Help メニュー					
sag	<						
Mes	System Processing (11)						
	Content List of Messages	1 Parent topic					
	ID:10327 VHDL error at : can't determine definition of operator " <name>" found possible definitions</name>						
	CAUSE: In a <u>VHDL Design File (.vhd)</u> at the specified location, you used the specified operator. However, Quartus Prime Integrated Synthesis cannot determine the definition of the operator because no definition exists or Quartus Prime Integrated Synthesis found the specified number of different possible definitions for the operator.						
	ACTION: Make sure the design clearly specifies the definition of the operation	ator.					

デザインの修正などコード編集を行った場合は、デザインファイルを保存 (File ➤ Save) し、再び Start Analysis & Elaboration を実行します。エラーやワーニングを回避できたら、ここまでの作業は完了です。

以上で 論理回路の設計は完了です。

3. <u>論理シミュレーションを実行する</u>

2<u>章</u>で作成した論理回路の動作確認をするため、論理シミュレーションを行います。(この作業は、開発フローの [4] にあたります。)



シミュレーションを行うには、検証するデザインに対して入力する信号と出力した信号をモニターする内容を HDL 言語で表現した"テストベンチ"が必要です。テストベンチは、仕様に合わせてユーザーが設計します。

ここでは、このチュートリアル用にサンプル提供されたテストベンチ・ファイルを使用します。<u>このチュートリ</u> アル (本資料) を入手した Web ページ からダウンロードし、プロジェクト・フォルダーに保存してください。

```
    参考:
```

- テストベンチの設計経験がないユーザーは、以下もご活用ください。
 - はじめてみよう!テストベンチ

シミュレーション検証するには、Altera® FPGA をサポートしている他社の言語シミュレーターが必要です。

このチュートリアルでは、Questa* - Intel® FPGA Edition を使用して作業を進めます。(メニューや操作フローは、 Questa* - Intel® FPGA Starter Edition も同様です。)

Questa* - Intel[®] FPGA Edition を起動しメニューを選択してオペレーションするフローもありますが、このチュート リアルでは Quartus[®] Prime Standard Edition の "NativeLink 機能"を活用して Questa* - Intel[®] FPGA Edition に シミュレーションを実行させるフローで作業を行います。

```
🖹 参考:
```

- ▶ NativeLink シミュレーションについては、下記 Web ページを参照してください。
 - ・ FPGA のファンクション・シミュレーションは NativeLink で解決しよう
- Questa* Intel® FPGA Edition を起動して GUI 操作によりシミュレーションを実施する場合は、下記 Web ページのドキュメントを参考にしてください。

ModelSim - Intel FPGA Edition - RTL シミュレーションの方法

① Note:

Questa* - Intel[®] FPGA Edition の GUI が起動している場合は、メニューから *File ➤ Quit* を選択し、 終了しておきましょう。



- 1. Quartus[®] Prime のメニューから Tools ➤ Options を選択し、Category 内の General ➤ EDA Tool Options をクリックします。
- 2. *Questa Intel FPGA* 行 右横の [...] ボタンをクリックし、Questa* Intel[®] FPGA Edition の実行プログラムが 格納されているフォルダーのパスを設定します。



設定後、OK ボタンで Options ダイアログボックスを閉じます。

3. Quartus[®] Prime のメニューから Assignments ➤ Settings を選択し、Category 内の EDA Tool Settings ➤ Simulation をクリックします。[表 3-1] および次頁の図を参考に、各項目を設定してください。

【表 3-1	Simulation	の設定
--------	------------	-----

項目	設定内容
Tools name	Questa Intel FPGA
Former of Carrow Annual State	VHDL で設計 → VHDL を選択
Format for output netlist	Verilog HDL で設計 ⇒ Verilog HDL を選択
Output directory	simulation/questa
その他の設定	デフォルト

Settings - my_first_fpga	- 🗆 X
Category:	Device/Board
General	Simulation
Files Libraries	Specify options for generating output files for use with other EDA tools.
 IP Settings Design Templates 	Tool name: Questa Intel FPGA 🔹
 Operating Settings and Conditions Compilation Process Settings 	Run gate-level simulation automatically after compilation
 EDA Tool Settings Design Entry/Synthesis 	EDA Netlist Writer settings
Simulation Board-Level	Eormat for output netlist: VHDL Time scale: 100 us
 Compiler Settings 	Output <u>d</u> irectory: simulation/questa
VHDL Input Verilog HDL Input	Map illegal <u>H</u> DL characters <u>E</u> nable glitch filtering
Default Parameters	Options for Power Estimation



同じウィンドウ内の NativeLink settings エリアにおいて、*Compile test bench* を選択し、*Test Benches* ボタンをクリックします。

続いて Test Benches ウィンドウの New ボタンをクリックします。

Ŧ	EDA Tool Settings	Output directory: simulation/questa	
	Design Entry/Synthesis	Map illegal HDL characters	
	Simulation		
	Board-Level	Options for Power Estimation	
Ŧ	Compiler Settings		
	VHDL Input	Generate Value Change Dump (VCD) file script Script Settings	
	Verilog HDL Input	Design instance name:	
	Default Parameters		
	Timing Analyzer		
	Assembler	More FDA Netlist Writer Settings	
	Design Assistant	Tore Eby Health Hiner Settings	
	Logic Applyzer Interface	NativeLink settings	
	Power Analyzer Settings	0.0	
	SSN Analyzer	○ N <u>o</u> ne	
	ook , may zer	Compile test bench:	
			- 1
		Use script to set up simulation:	
			1
	Test Benches	×	
	Specify settings for each te	ist bench.	
	Existing test bench setting	s: <u>N</u> ew	
	Name Top Lev	vel Module Design Instance Run For Test Bench File(s)	
		Delete	

Help

ок

Cancel

New Test Bench Settings ウィンドウにおいて、[表 3-2] および 図を参考に 事前にダウンロードしたテスト ベンチ・ファイルの情報を入力します。

項目	設定内容	
Test bench name	testbench	
Top level module in test bench	testbench	
Simulation period セクション	End simulation at: 500 と入力 / 単位: ms を選択	
	ブラウズボタンによりテストベンチ・ファイルを選択、 Open ボタンをクリック、Add ボタンをクリックして登録	
Test bench and simulation files セクション	VHDL で設計 ⇒ testbench.vhd を選択	
	Verilog HDL で設計 ⇒ testbench.v を選択	

【表 3	3-2] N	ew Test B	ench Settin	igs の設定
1 2 -		CW ICSUD	chen Settin	

🊽 New Test Bench Settings	View Test Bench Settings				
Create new test bench settings.					
Test bench name: testbench					
Top level <u>m</u> odule in test bencl	h: testbench				
Use test bench to perform	VHDL timing sim	ulation			
Design instance name in t	est bench: NA				
Simulation period					
O Run simulation until all	<u>v</u> ector stimuli are	used			
<u>E</u> nd simulation at: 500	D	ms 🔻			
Test bench and simulation file	25				
<u>F</u> ile name:				Add	
File Name	Library	HDL Version		Remove	
testbench.vhd		Default	_	Up	
				Down	
				Properties	
		OK Car	ncel	Help	
. /=-1=		• -			

▲ 例: VHDL で設計している場合の New Test Bench Settings 画面

すべての設定画面を OK ボタンで閉じます。

Quartus[®] Prime のメニューから Tools ➤ Run Simulation Tool ➤ RTL Simulation を選択し、論理シミュレーション (RTL レベル・シミュレーション) を実行します。

<u>F</u> ile	<u>E</u> dit	<u>V</u> iew	<u>P</u> roject	<u>A</u> ssignment	s P <u>r</u> ocessing	<u>T</u> ools	<u>W</u> indow	<u>H</u> elp	
8.0	-		. n. n	D G		Ru	n Sim <u>u</u> latio	on Tool 🔶 🔸	🕂 RTL Simulation
					my_tirst_tpga	🗞 Lai	unch Simu	lation Library <u>C</u> ompiler	Cate Level Simulation

自動的に Questa* - Intel® FPGA Edition の GUI が起動し、シミュレーションが実行されます。

画面左下に、シミュレーションの実行時間が表示されます。

このチュートリアルでは 500ms の実行が終了するまで待ちます。



もし HDL デザインのシンタックス・エラーなどで処理が停止してしまった場合は、一度 Questa* -Intel® FPGA Edition の GUI を閉じ、エラーの発生した HDL ファイルを修正および保存してください。その 後、再度 Quartus® Prim のメニューから *Tools ➤ Run Simulation Tool ➤ RTL Simulation* を選択し、シミュ レーションを実行してください。

5. シミュレーションが終了したら、Wave ウィンドウに表示された波形を確認します。

moni_pllc0、moni_cnt 信号を確認してください。これらは、my_first_fpga エンティティーの内部信号をモニ ターしたものです。

- ・ moni_pllc0 : PLL 回路の出力クロック
- ・ moni_cnt : カウンター回路の cnt レジスター出力



▲ RTL Viewer (Tools ➤ Netlist Viewers)

このチュートリアルで使用する評価ボードに搭載されているクロックは 50MHz (20ns) です。デザインで は、この 50MHz を FPGA (OSC_CLK ピン) へ入力し、内部に構築した PLL のリファレンス・クロックに用い ています。また、PLL により 5MHz (200ns) のクロックを生成させ、カウンター回路のクロックに使用してい ます。 Wave ウィンドウにおいて、moni_pllc0 が正常に生成されていることが確認できます。同様に、moni_cnt が PLL の出力クロックに同期して正常にカウントアップしていることが確認できます。(論理シミュレーションは遅延を考慮しないため、クロック信号のエッジで出力信号が変化していることが確認できます。)



- 6. Questa* Intel[®] FPGA Edition のメニューから *Simulate* ➤ *End Simulation* を選択し、シミュレーションを 終了します。
- 7. Questa* Intel[®] FPGA Edition のメニューから *File ➤ Quit* を選択し、GUI を閉じます。

以上で、作成したデザインの論理シミュレーションは終了です。

以降にシミュレーション作業を行いませんので、以下の設定を無効にします。

Quartus[®] Prime のメニューから Assignments ➤ Settings を選択し、Category 内の EDA Tool Settings ➤ Simulation をクリックします。Tools name において、リストから <None> を選択後 Settings ダイアログボックスを [OK] ボタンで閉じます。

Category:	Device/Bo	oard		
General	Simulation			
Files Libraries	Specify options for generating output files for use with other EDA tools.			
IP Settings	Tool name: <none></none>	J		
Design Templates				
Operating Settings and Conditions	Run gate-level simulation automatically after compilation			
Compilation Process Settings				
 EDA Tool Settings 	EDA Netlist Writer settings			
Design Entry/Synthesis				
Simulation	Format for output netlist: Time scale: 100 us	r		
Board-Level		51		

4. 制約の設定をする

macnica

論理回路に対して各種オプションを設定します。(この作業は、開発フローの [5] にあたります。)



このチュートリアルでは、以下の内容に制約を行います。

- 論理回路の入出カピンにターゲット・デバイスの I/O ピン番号へ割り当て、ボード仕様に応じた I/O 規格を設定 [デザインのピンアサイン]
- 論理回路に対して希望の動作スピードを設定 [タイミング制約]

それ以外の制約は、Quartus® Prime のデフォルト制約を適用させます。

4-1. デザイン上のピンをデバイスにアサインする

ピンの割り当てを行うには、Analysis & Elaboration の実行が必要です。

(このチュートリアルでは 2-3 章 において すでに実行していますので、この作業はスキップできます。未完了 の場合には、以下のメニューにより実行してください。)

Quartus[®] Prime のメニューから *Processing* ➤ *Start* ➤ *Start Analysis* & *Elaboration* を選択し実行します。 Analysis & Elaboration 実行後にエラーが発生した場合は、2-3章 を参考にエラーを回避してください。

 Quartus[®] Prime のメニューから *Assignments* ➤ *Pin Planner* を選択し、 Pin Planner を起動します。



2. Pin Planner の All Pins リストに、デザインで使用しているピンが表示されていることを確認してください。 各ピン名の行にある Location カラムに、[表 4-1-1] のとおり ピン番号を指定します。

ピン名	Cyclone [®] 10 LP Evaluation Kit	MAX [®] 10 FPGA Evaluation Kit
BUTTON	D9	120
LED[3]	J13	140
LED[2]	J14	135
LED[1]	K15	134
LED[0]	L14	132
OSC_CLK	E1	27
RESET	E15	121

【表 4-1-1】 ピン番号アサイン表

① Note:

各ピン番号が、使用する評価ボードのどのタクトスイッチや DIP スイッチ、LED なのかを、評価ボードのリファレンス・マニュアルや回路図で確認してください。

×	Named: • 🔹 👻	Edit: 🗙 ✔				
8	Node Name	Direction	Location	I/O Bank ダブルクロ	ックレープルダウンルリストから	erved
Œ	BUTTON	Input	PIN D9		シアレ、シアレチシン・シストル・ワ	
	out LED[3]	Output	PIN_D9	IOBANK_7 C	进机	
	eut LED[2]	Output	PIN_D11	IOBANK_7 Column I/O	DIFFIO_T23n	
	Gut LED[1]	Output	PIN_D12	IOBANK_7 Column I/O	DIFFIO_T23p	
	LED[0]	Output	PIN_D14	IOBANK_7 Column I/O	DIFFIO_T24p	
	OSC_CLK	Input	PIN_D15	IOBANK_6 Row I/O		
	ESET	Input	PIN_D16	IOBANK_6 Row I/O		
	< <new node="">></new>		PIN_E1	IOBANK_1 Dedicated Clock	CLK1, DIFFCLK_0n	
			PIN_E2	IOBANK_1 Dedicated Clock	CLK0, DIFFCLK_0p	
2			PIN_E6	IOBANK_8 Column I/O	DIFFIO_T6p, DATA6	
E			PIN_E7	IOBANK_8 Column I/O	DATA5	·

▲ 例:Cyclone[®] 10 LP Evaluation Kit の場合

3. Pin Planner の All Pins リストにおいて、各ピン名の行にある I/O Standard カラムに、[表 4-1-2] のとおり I/O 規格を指定します。

ピン名	Cyclone [®] 10 LP Evaluation Kit	MAX [®] 10 FPGA Evaluation Kit
BUTTON	3.3-V LVTTL	3.3-V LVTTL
LED[3]	3.3-V LVTTL	3.3-V LVTTL
LED[2]	3.3-V LVTTL	3.3-V LVTTL
LED[1]	3.3-V LVTTL	3.3-V LVTTL
LED[0]	3.3-V LVTTL	3.3-V LVTTL
OSC_CLK	3.3-V LVTTL	3.3-V LVTTL
RESET	3.3-V LVTTL	3.3-V LVTTL

【表 4-1-2】 I/O 規格アサイン表

MACNÍCA I

■ 参考:

- 以下に、ここでの作業に関連したドキュメントをご案内します。ご参考ください。
 - ・ 「Quartus Prime はじめてガイド ピン・アサインの方法」
 - ・ 「Quartus Prime はじめてガイド デバイス・オプションの設定方法」

以上で デザインのピンアサインは終了です。

4-2.タイミング制約

論理回路に対して希望の動作スピードを設定するため、タイミング制約を作成します。

Quartus[®] Prime では、ASIC 業界で標準的に使用されている Synopsys Design Constraints (SDC) ファイル・フォーマットでタイミング制約を行います。

- 1. Quartus® Prime のメニューから Tools ➤ Timing Analyzer を選択し、Timing Analyzer ウィンドウを表示します。
- 2. Timing Analyzer ウィンドウのメニューから *File ➤ New SDC File* を選択すると、Quartus[®] Prime のメイン・ウィンドウに SDC ファイル・エディタが開きます。
- 3. SDC ファイルに、下記コードを入力してください。

【サンプル 4-2-1】 SDC コード

```
create_clock -period 20.000 -name osc_clk OSC_CLK
derive_pll_clocks
derive_clock_uncertainty
```

4. Quartus® Prime のメニューから File ➤ Save As... を選択し、SDC ファイルに名前を付けて保存します。

【表 4-2-1】 デザインファイルを保存する際の指定内容

項目	指定内容
保存するフォルダー	C:/AlteraFPGA_lab/my_first_fpga
ファイル名	my_first_fpga_top.sdc
ファイルの種類	Synopsys Design Constraints Files (*.sdc)
Add file to current project オプション	On

5. sdc ファイルのタブ右端にある [X] ボタンをクリックし、ファイルを閉じます。



- 6. Timing Analyzer ウィンドウのメニューから File ➤ Close を選択し、ウィンドウを閉じます。
- 7. Project Navigator ウィンドウのプルダウン・リストを Files に切り替え、my_first_fpga_top.sdc が現在のプロジェクトに登録されていることを確認します。



冒 参考:

以下に、ここでの作業に関連したドキュメントをご案内します。ご参考ください。
 「Quartus Prime はじめてガイド - TimeQuest によるタイミング制約の方法」

以上で タイミング制約は終了です。

これで、デザインに対する制約設定は完了しました。

5. コンパイルを実行する

完成したデザインをコンパイルします。(この作業は、開発フローの [6] にあたります。)



コンパイルにより生成されるファイル (コンパイル・レポートやプログラミング・ファイルなど) を保存するフォ ルダーを別途プロジェクト・フォルダー内に作成します。 この作業は必須ではありませんが、プロジェクト・フォルダーが整理され管理しやすくなります。

Quartus[®] Prime のメニューから Assignments > Settings > Compilation Process Settings を選択し、Save project output files in specified directory オプションを有効にします。

Settings - my_first_fpga	- 🗆 X
Category:	Device/Board
General	Compilation Process Settings
Files Libraries	Specify Compilation Process options.
✓ IP Settings	Parallel compilation
IP Catalog Search Locations Design Templates ✓ Operating Settings and Conditions Voltage	 Use global parallel compilation setting from Options dialog box - Use all available processors Use all available processors Maximum processors allowed: 1 *
✓ Compilation Process Settings	Use smart compilation \checkmark Preserve fewer node names to save disk space
Incremental Compilation Compilation EDA Tool Settings Design Entry (Surthesis)	Run Assembler during compilation Run I/O assignment analysis before <u>compilation</u> Run Netlist Viewers preprocessing during compilation
Simulation Board-Level	☐ Inable <u>m</u> ulticorner support for Timing Analyzer and EDA Netlist Writer
✓ Compiler Settings VHDL Input Verilog HDL Input	□ Export version-compatible databa Export directory: Directory name は output_files (デフォルト) のままで OK
Default Parameters	Save project output files in specified directory
Timing Analyzer Assembler	Directory name: output_files
Design Assistant	More Settings

1. Quartus[®] Prime のメニューから Processing ➤ Start Compilation を選択し、コンパイルを実行します。

コンパイルは、論理合成や配置配線、タイミング解析、プログラミン グ・ファイル作成が自動で行われます。

コンパイルを実行すると、Messages ウィンドウに様々な情報が表示されます。これらメッセージに関しては、2-3章 を参考に対処してください。



 Messages ウィンドウに Quartus Prime Full Compilation was successful のメッセージが確認できたら、コンパ イル成功です。

コンパイルが終了すると、コンパイル・レポート (Compilation Report) が自動ポップアップし、コ ンパイル結果が表示されます。実施された Analysis & Synthesis、Fitter、Assembler、Timing Analyzer の工程ごとに、レポートが生成され ます。ユーザーは、自分の仕様に適切な処理 が行われたかを確認するため、コンパイル・レ ポートを必ず見る必要があります。

詳細は、次のドキュメントをご覧ください。

🕥 Quartus Prime Stan	dard Edition - C:/intelFPGA_prj/m	y_first	fpga/my_first_fpga - my_first_fpga	
File Edit View P	roject Assignments Processi	ing 1	ools Window Help	Search altera.com
D 🗖 🖬 🗲 Ď	ny first	fpga		- ¥ 54
수 🔝 🗟 🥹 🕂	/ # 🔘 % 🐿 ሃ %	4	* * * * * ~ = * * *	
Project Navigator	A Hierarchy - Q.	đ×	Compilation Report - my first fpga	
-,	Entitulestance	^	Table of Contents	
A Curley 1010 100	Linky.instance		Flow Summary	
Cyclone To LP: Toc	5	-1	Flow Settings	Successful -
sounter but	muscounter hur musclost		Flow Non-Default Global Seti Quartus Prime Version	and analytic residence in the last
the man of	_mox.counter_bos_mox_mst	~	Flow Elapsed Time Revision Name	my_first_fpga
		>	Elow OS Summary Ton-level Entity Name	my_first_fpga
asks	Compilation 👻 🗏 📮	ē ×	🕥 Quartus Prime 🛛 🗙	Cyclone 10 LP
	Task	^	Eull Compilation was successful (9 warmings)	10CL025YU256I7G
	Design		> U Put complation was successful to warnings/	Final
	usis & Cunthesis			31 / 24,624 (< 1 %)
	(Marco & Davida)		> OK	27
P Pitte	r (Place & Route)		EDA Netlist Writer Total pins	7 / 151 (5%)
Asse	embler (Generate programming fil	es)	Flow Messages Total virtual pins	0
> 🕨 Timi	ing Analysis	~	Flow Suppressed Messages Total memory bits	0 / 608,256 (0 %)
		>	د > د	
* All 🕴 📩	📕 💽 😽		💏 Eind 👫 Find Negt	
4				
i iype ID	Running Quartus Prime	EDA	Netlist Writer	
	Command: quartus_eda	-rea	d_settings_files=offwrite_settings_files=off	f my_first_fpga -c my_first_fpga
18236	Number of processors I	nas r	ot been specified which may cause overloading o	on shared machines. Set the globa
204019	Generated file my_fir:	it_fp lict	ga.vho in folder "C:/intelFPGA_prj/my_first_fpg writer was successful 0 errors 1 warning	ga/simulation/modelsim/" for EDA s
293000	Quartus Prime Full Cor	mila	tion was successful. 0 errors, 8 warnings	
Eusteen (6) De				

冒 参考:

- 以下に、ここでの作業に関連したドキュメントをご案内します。ご参考ください。
 - ・ 「Quartus Prime はじめてガイド コンパイル・レポート・ファイルの見方」

コンパイル・レポートを閉じた後に再び表示させるには、Quartus[®] Prime のメニューから *Processing* ➤ *Compilation Report* を選択してください。

6. <u>タイミングを検証する</u>

コンパイルの配置配線結果が、ユーザーのタイミング要件を満足したかを確認します。(この作業は、開発フローの [7] にあたります。)



Quartus[®] Prime は、コンパイル実行と同時に、タイミング検証も実施しています。ユーザーが事前に登録した タイミング制約と配置配線した際のタイミング情報とを比較し、ユーザーの要求値を満足 (メット) しているかどう かを Timing Analyzer レポートで確認することができます。Timing Analyzer レポートの結果がユーザーの要求値 を満足していない場合、実機でも動作を保証しないため、タイミング検証は非常に重要な作業工程です。

まずコンパイル・レポート内の Timing Analyzer レポートで検証結果 のサマリを確認し、タイミングがメット できていない箇所があった場合は、そ のパスを特定します。その後 Timing Analyzer を別途起動して要因を追究 し、回避しなければなりません。

そのため、クロックに対する同期/非 同期の考え方や、レジスタに対するセ ットアップタイムやホールドタイムと言 った、静的タイミング解析に重要な知 識を要します。

report (20 o	Slow 1200mV 1	OOC Model										
Advanced I/O Timing	Command Info	Summary of Pa	iths									
5DC File List	Slack	F	rom Node		To N	ode			Launch Cl	lock		
Summary (Setup)	1 196.573	simple_counter.sin	nple_count	er_inst[cnt[1]	simple_counter.simple_c	counter_ins	st[cnt[26] p	IL_inst[altpll_cor	nponent[auto	_generated[pll	1[clk[0]	pll_inst[altpll_co
Setup: pll_inst[altpll_component]autc	2 196.662	simple_counter.sin	nple_count	er_inst cnt[0]	simple_countersimple_c	counter_ins	st cnt[26] p	ll_inst altpll_co	nponent/auto	_generated pll	1 clk[0]	pll_inst[altpll_co
Slow 1200mV 100C Model	3 196.703	simple_counter.sin	nple_count	er_inst cnt[0]	simple_counter.simple_c	counter_ins	st[cnt[25] p	ll_inst[altpll_cor	nponent/auto	_generated pll	1[clk[0]	pll_inst[altpll_co
Present Set Operation Conditionr	4 196.707	simple_counter.sin	nple_count	er_inst cnt[1]	simple_countersimple_o	counter_ins	st[cnt[24] p	ll_inst altpll_cor	nponent/auto	_generated pll	1 clk[0]	pll_inst[altpll_co
Report Secondaria Conditional	5 196.712	simple_counter.sin	nple_count	er_inst cnt[3]	simple_counter.simple_c	counter_ins	st cnt[26] p	ll_inst altpll_co	nponent/auto	_generated pll	1 clk[0]	pll_inst[altpll_co
Tasks (1) 6 ×	6 196.723	simple_counter.sin	nple_count	er_inst cnt[1]	simple_countersimple_c	counter_ins	st cnt[25] p	ll_inst altpll_cor	nponent auto	_generated pll	1 clk[0]	pll_inst[altpll_co
Open Project												
Create Timing Netlist	Path #1: Setup s	lack is 196.573				Pa	ath #1: Setup s	lack is 196.573				
Read SDC File	Path Summary	Statistics D	ata Path	Waveform	Extra Fitter Information	8	Path Summary	Statistics	Data Path	Waveform	Extra Fi	tter Information
Update Timing Netlist	Data Arrival Pat	h										
Reset Design	Total	Incr	RF 1	Type Fanor	t Location	<u>^</u>						
Set Operating Conditions	1 0.000	0.000										
A C Slock	2 4 0.318	0.318					aunch ClockLa	unch				
 Report Setup Summary 	1 0.00	0.000				_						
Report Hold Summary	2 0.00	0.000		1	PIN F1	• S	Setup Relation	ship				
Report Recovery Summary	Date Descripted D					-						Late
Report Removal Summary	Data Required P	aus					atch Llock					-
Report Minimum Pulse Width Sur	Tota	Incr	RF	Type Fanor	It Location		ata Arrival	X				
Report Net Delay Summary	1 200.000	200.000				- 11		A	-			-
4 🏲 Datasheet	2 200.240	0.240				c	lock Delay	P Stability				
Report Fmax Summary	2 200	000 0.000		1	DIN E1			3.355 ns				
	4					•		1				

このチュートリアルは FPGA 開発のビギナーを対象としており、プロジェクト・デザインはタイミング制約を満足 する結果が得られる仕様のため、タイミング検証は割愛します。Quartus® Prime の操作に慣れてきたら、次のス テップとして習得してください。

■ 参考:

- 以下に、ここでの作業に関連したドキュメントをご案内します。ご参考ください。
 - 「Quartus Prime はじめてガイド TimeQuest によるタイミング解析の方法」

Note:

- メーカー公式 FPGA テクニカル・トレーニング (有償)
 - ・ <u>「Quartus Prime パーフェクト・コース II : タイミング解析」</u>
- 弊社オリジナル FPGA のタイミング関連 オンラインセミナー 各種

7. <u>プログラミングをする</u>

評価ボード上の FPGA を実際に動作させる準備が整ったので、作成したファイルを FPGA ヘダウンロード します。(この作業は、開発フローの [8] にあたります。)



<u> 注</u>記:

実際の開発では、コンパイル後に Quartus[®] Prime の Timing Analyzer によるタイミング検証を行い、期待 どおりの動作が実現できるかを検証します。期待するタイミングを満足できることが確認できたら、ボード 上のデバイスへデータを書き込みます。

今回の演習ではタイミング検証を省略していますが、自身の開発時は必ずタイミング検証を行った上でデ バイスへの書き込みを行ってください。

① Note:

Cyclone[®] LP Evaluation Kit をご利用の場合は、事前に DIP スイッチ [SW1] のうち SW1.4 を右図のとおりに変更してから作業を行ってください。



プログラミング・データは、コンパイル実行時に作成されます。

FPGA へ書き込む場合は sof ファイルです。sof ファイルは、FPGA の SRAM 部分に書き込むための形式で す。SRAM にデータを書き込んだ場合、FPGA へ供給される電源が OFF になるとデータは消去されます。そのた め、開発ボードの電源を OFF にしても次回の電源投入時に FPGA が動作をするためには、インテル FPGA 用 のコンフィグレーション ROM (FPGA が起動するためのブート ROM) に開発したデザインのデータを書き込む必 要があります。コンフィグレーション ROM へ書き込む場合は pof ファイルです。

コンフィグレーション ROM へ書き込んでから実機検証も行えますが、FPGA へのデータ書き込み時間と比べ てコンフィグレーション ROM への書き込みには時間がかかることと、書き込み/書き換え/消去に対する実行回 数に上限があるため、一般的には先に FPGA の実機動作検証を行い、修正が無いことを確認した上でコンフィ グレーション ROM にプログラムすることを推奨しています。

このチュートリアルにおいても、まずは FPGA に sof ファイルを書き込み、実機検証を行った後にコンフィグ レーション ROM へ書き込みを行います。

7-1. sof ファイルを書き込む

1. ダウンロード・ケーブル、パソコン、評価ボードを接続します。

ボード上の JTAG コネクターの位置や向きは、各評価ボードのユーザーガイドや回路図をご確認ください。

【表 7-1-1】 ダウンロード・ケーブルの接続

評価ボード	説明
Cyclone [®] 10 LP Evaluation Kit	 Cyclone® 10 LP Evaluation Kit に付属しているケーブルにおいて、mini USB (Type-B) を評価ボードに接続します。 USB ケーブルのうち黒いコネクターをパソコンへ接続してください。(ダウンロード・ケーブルと電源供給ケーブルを兼用しています。) ボードに電源が供給されます。
MAX [®] 10 FPGA Evaluation Kit	 インテル FPGA ダウンロード・ケーブル II 本体と USB ケーブルを接続します。 インテル FPGA ダウンロード・ケーブル II 本体から出ているケーブルの 10 pin ヘッダーを評価ボード上の JTAG コネクターに接続します。 電源用 USB ケーブルで、パソコンと評価ボードを接続します。(ボードに電源が 供給されます。

- 2. Quartus[®] Prime のメニューから Tools ➤ Programmer を選択し、Programmer ウィンドウを起動します。
- 3. Programmer ウィンドウの Hardware Setup ボタンをクリックします。

Programmer -	production before	e esta de la composición de	n fil sen i						
<u>F</u> ile <u>E</u> dit <u>V</u> iew P <u>r</u> ocessin	g <u>T</u> ools <u>W</u> indow <u>H</u> elp								
Hardware Setup No Hardware Mode: JTAG									
Enable real-time ISP to allow background programming when available									
	eit-	Device	Charleson		0				

4. Hardware Settings タブの Currently selected hardware 項のプルダウン・リストから、使用するダウンロー ド・ケーブルを選択し、Close ボタンをクリックします。

👋 Hardware Setup		Х
Hardware Settings JTAG S	ettings	
Select a programming hardwa hardware setup applies only to	re setup to use when programming devices. This programming o the current programmer window.	
Currently selected hardware:	No Hardware	
Hardware frequency:	Н	z
Available bardware items		

【表 7-1-2】 Currently selected hardware に選択するケーブル名

評価ボード	Currently selected hardware に検出される名前
Cyclone [®] 10 LP Evaluation Kit	Cyclone 10 LP Evaluation Kit
MAX® 10 FDCA Fundmention Kit	使用するダウンロード・ケーブル名
IVIAX° 10 FPGA EValuation Kit	(例: USB-Blaster II)

5. Programmer ウィンドウの Mode プルダウン・リストより、JTAG を選択します。

Programmer									
File Edit View Processing Tools Window Help									
🔔 Hardware Setup	JTAG	•	P						
Enable real-time ISP to allow background programming when available					In-Socket Programming				
Start	File	Device	Checksum	Usercod	Passive Serial Active Serial Programming Configure	Chec	k- ck		

▲ 例:Cyclone® 10 LP Evaluation Kit の場合

① Note:

- Cyclone® 10 LP Evaluation Kit は、オンボード インテル FPGA ダウンロード・ケーブル II 対応基板 です。よって、ご利用前に インテル FPGA ダウンロード・ケーブル II のドライバをインストール してください。
- インテル FPGA ダウンロード・ケーブル II は、TCK 周波数を変更可能です。詳細は、下記 Web ページをご参考ください。

<u>USB-Blaster™II の TCK 周波数を変更してみよう</u>



Programmer ウィンドウの File 欄にはプロジェクト用の my_first_fpga.sof ファイルがすでに登録され、 6. Device 欄にはプロジェクトで指定した FPGA の型番が表示されています。

Eile Edit ⊻iew	P <u>r</u> ocessing <u>T</u> ools <u>W</u> indow <u>H</u> elp Cyclone 10 LP Evaluation Kit [USB-1] SP to allow background programming wh	nen available		Mode: JT	AG	
▶ [™] Start	File	Device Checksum		Usercode	Program/ Configure	Verify
Stop	output_files/my_first_fpga.sof 1	OCL025YU256	00138A30	00138A30	\checkmark	
Auto Detect	<					
× Delete	-	↓	-#L*	Da	い、個の主	_
Add File		青 书1四4	//—r	De	vice 欄の衣	不
🅍 Change File	(intel)	Cyclone [®] 10 Li	P Evaluation Ki	it 10CL	.025YU256	
Save File		MAX® 10 FPG	A Evaluation K	it 10M	08SAE144	
Add Device	TDO					

例: Cyclone® 10 LP Evaluation Kit の場合

もし sof ファイルが未登録の場合は、Add File ボタンをクリックし、¥¥ 作業フォルダー ¥output_files¥ my_first_fpga.sof を選択後、Open ボタンをクリックして File 欄に登録します。

あるいは、別の sof ファイルが登録されている場合には、そのファイルを選択後に Change File ボタンをク リックして ¥¥ 作業フォルダー¥output_files¥ my_first_fpga.sof を指定し直します。

7. Programmer ウィンドウの my_first_fpga.sof 行の右側にある Program/Configure オプションにチェックを 入れます。

▶ [™] Start	File	Device	Checksum	Usercode	Program/ Configure	Verify	Blank- Check
Stop	output_files/my_first_fpga.sof	10CL025YU256	00138A30	00138A30			
	▲ 例: Cyclo	one [®] 10 LP Evaluatio	n Kit の場合				

Programmer ウィンドウの Start ボタンをクリックし、FPGA へのダウンロードを開始します 8.

Start	File	Device	Checksum	Usercode	Program/ Configure	Verify	Blank- Check
Stop	output_files/my_first_fpga.sof	10CL025YU256	00138A30	00138A30	\checkmark		
▲ 例: Cyclone® 10 LP Evaluation Kit の場合							

例: Cyclone® 10 LP Evaluation Kit の場合

Programmer ウィンドウの Progress バーが 100% になり、Quartus[®] Prime の Messages ウィンドウ (System タブ) に Info: Successfully performed operation(s) のメッセージを確認できたら、データのダウンロ ードは完了です。

▲ Hardware Setup Cyclone 10 LP Evaluation Kit [USB-1] Mode: JTAG Progress: 100% (Successful) Enable real-time ISP to allow background programming when available File Device Checksum Usercode Program/ Verify Blank- Examine Secu Image: Start output_files/my_first_fpga.sof 10CL025YU256 00138A30 O0138A30 Image: Check Bi Image: Start output_files/my_first_fpga.sof 10CL025YU256 00138A30 O0138A30 Image: Check Bi Image: Start Output_files/my_first_fpga.sof 10CL025YU256 00138A30 Image: Check Bi Image: Start Output_files/my_first_fpga.sof 10CL025YU256 00138A30 Image: Check Bi Image: Start Output_files/my_first_fpga.sof 10CL025YU256 00138A30 Image: Check Bi Image: Start Operations The Cyclone® 10 LP Evaluation Kit Org Org Image: Check Bi Image: Start Image: Start Image: Cyclone operation at Image: Cyclone operation	<u>F</u> ile <u>E</u> dit <u>V</u> iew	P <u>r</u> ocessing <u>T</u> ools <u>W</u> indow <u>H</u> elp						Search a	ltera.com	9
□ Enable real-time ISP to allow background programming when available ■ Start □ Device Checksum Usercode Program/ Verify Blank- Examine Secu □ output_files/my_first_fpga.sof 10CL0257U256 00138A30 ○ □ □ ■ Stopp output_files/my_first_fpga.sof 10CL0257U256 00138A30 ○ □ □ ■ Model ● Cyclone® 10 LP Evaluation Kit の場合 ○ □ □ □ ■ Model ● Cyclone® 10 LP Evaluation Kit の場合 ○ □ □ □ ■ Model ● Cyclone® 10 LP Evaluation Kit の場合 ○ □ □ □ ■ Model ● Cyclone® 10 LP Evaluation Kit の場合 ○ □ □ □ ■ Model ● Cyclone® 10 LP Evaluation Kit の場合 ○ □ □ □ ■ Model ● Cyclone® 10 LP Evaluation Kit の場合 ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● <	🚖 Hardware Setup.	Cyclone 10 LP Evaluation Kit [USB-	1] Mode:	JTAG		Progre	ss:	100% (Successful)	
File Device Checksum Usercode Program/ Verify Blank- Check Examine Secu Bit with Stop output_files/my_first_fpga.sof 10CL025YU256 00138A30 00138A30 Output_files/my_first_fpga.sof M M M M M M M M M M M M M M M M M M M M M M M M M M M M M M M M M D D D D D D D D D <	Enable real-time I	SP to allow background programming	when available							
output_files/my_first_fpga.sof 10CL025YU256 00138A30 ○0138A30 ▲ 例: Cyclone® 10 LP Evaluation Kit の場合 ● ▲ ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● <td< th=""><th>►[™] Start</th><th>File</th><th>Device</th><th>Checksum</th><th>Usercode</th><th>Program/ Configure</th><th>Verify</th><th>Blank- Check</th><th>Examine</th><th>Secu Bi</th></td<>	► [™] Start	File	Device	Checksum	Usercode	Program/ Configure	Verify	Blank- Check	Examine	Secu Bi
▲ 例: Cyclone® 10 LP Evaluation Kit の場合	■ [™] Stop	output_files/my_first_fpga.sof	10CL025YU256	00138A30	00138A30					
	X B III sagesaw S S	II Image: Second se	er operation at ce index 1 is JTAG ID code icceeded 1 de formed operation at	0x020F30DD evice(s) co n(s)	of igured	nd 😚 Fin	d Ne <u>x</u> t			

8章 実機で動作検証をする を参考に、FPGA の動作を確認します。

7-2.コンフィグレーション ROM に書き込む

▲ 注記:

この作業は、先に sof ファイルによる実機動作検証 (7-1 章) を行い、FPGA の動作に修正の必要が無いことを確認した上で行ってください。

7-2-1. コンフィグレーション ROM 用のプログラミング・ファイルを作成する

使用する開発ボードに応じたコンフィグレーション ROM 用のプログラミング・ファイルを sof ファイルから作成します。

評価ボード	コンフィグレーション ROM	作成するファイル
Curley of 101D Evolution Kit	EPCQ64	
Cyclone® 10 LP Evaluation Kit	EPCQ128A	.JIC
MAX [®] 10 FPGA Evaluation Kit	MAX 10 内蔵 CFM	.pof

【表 7-2-1-1】評価ボードに対応したコンフィグレーション	ROM	とファイル
---------------------------------	-----	-------

① Note:

- Cyclone[®] 10 LP Evaluation Kit に搭載されているコンフィグレーション ROM は、ボード・リビジョンにより 異なります。使用する基板がどの ROM に対応しているか、<u>Cyclone 10 LP Evaluation Kit ユーザーガイ</u> <u>ド</u>で確認してください。
- EPCQ64 / EPCQ128A は、基板の配線接続仕様に応じて pof ファイルにも対応しています。 (Cyclone® 10 LP Evaluation Kit の接続仕様は、pof ファイル・プログラミングに非対応)
- ・ MAX® 10 は、内蔵の CFM 領域にコンフィグレーション・データをプログラムします。
- 1. Quartus[®] Prime のメニューから File ➤ Convert Programming Files を選択し、起動します。
- 2. Convert Programming Files ダイアログボックスの Output programming file 枠内を設定します。

	設定内容					
現日	Cyclone [®] 10 LF	P Evaluation Kit	MAX [®] 10 FPGA Evaluation Kit			
Programming file type	JTAG Indirect Cont	figuration File (.jic)	Programmer Object File (.pof)			
Mode	Active Serial		Internal Configuration			
Configuration device	EPCQ64 EPCQ128A		—			
File Name	output_files/my_first_fpga.jic		output_files/my_first_fpga.pof			

【表 7-2-1-2】Output programming file

Output programming file						
Programming file type:	JTAG Indirect Configuration File (.jic)					
Options/Boot info	Config <u>u</u> ration device: EPCQ128A <u>Mode:</u> Active Serial 					
File <u>n</u> ame:	output_files/my_first_fpga.jic					
Advanced	Remote/Local update difference file: NONE					
	Create Memory Map File (Generate my_first_fpga.map)					
	Create CvP files (Generate my_first_fpga.periph.jic and my_first_fpga.core.rbf)					
	Create config data RPD (Generate my_first_fpga_auto.rpd)					

▲ 例: Cyclone[®] 10 LP Evaluation Kit / EPCQ128A の場合

Cyclone[®] 10 LP Evaluation Kit ユーザーが Convert Programming Files においてコンフィグレーション ROM を選択する際は、右横のブラウズボタンをクリックし、希望の型番を選択します。([表 7-2-1-3] 参照)

【表 7-2-1-3】Configuration Device ダイアログボックス

項目	設定内容
Device family	Cyclone 10 LP
Configuration mode	Active Serial
Configuration device	EPCQ64 または EPCQ128A

Dev	ice family:	Cyclone 10) LP				•
Con	figuration mode:	Active Seri	al				•
Cus	tom database directory	r. <quartus f<="" th=""><th>Prime insta</th><th>all folder></th><th></th><th></th><th>Browse</th></quartus>	Prime insta	all folder>			Browse
Configuration Device Initialization Program Erase Verify/Blank-Check/Examine Terr							
Nan	ne filter:			Device name	e:	EPCQ12	8A
	Nam	e	^	Device ID:			
1	< <new device="">> FPC0128</new>			Device I/O v	oltage:		
3	EPCQ128A			Device dens	iity:		
4	EPCQ16			Total device	e die:		
5	EPCQ16A			Single I/O g	odo dum mu clock		
6	EPCQ256			Single I/O n	Tode dummy clock	-	
7	EPCQ32			Quad I/O m	ode dummy clock:		
8	EPCQ32A			Programmir	ng flow template:		T E
10	EPCQ4A			Save as f	template		
11	FPCO64						
12	EPCQ64A						
		D	elete	<			>

▲ 例: コンフィグレーション ROM を選択 (Cyclone® 10 LP Evaluation Kit)

- 3. Convert Programming Files ダイアログボックスの Input files to convert 枠内を設定します。
 - ① (Cyclone[®] 10 LP Evaluation Kit ユーザーのみ作業してください。)

Flash Loader 行をハイライト選択し、Add Device ボタンをクリックします。

File/Data area	Properties	Start Address
Flash Loader		
SOF Data	Page_0	<auto></auto>

② (Cyclone[®] 10 LP Evaluation Kit ユーザーのみ作業してください。)

Select Devices ダイアログボックスから、開発ボードに応じたデバイスファミリー (Device family) とデバイス 名 (Device name) を選択し、OK ボタンをクリックします。

Device family		Device name		
APEX20K	^	10CL006Y	∧ New	
🗌 Arria 10		10CL006Z		
Arria GX		10CL010Y	Import	
Arria II GX		10CL010Z	Export	
Arria II GZ		10CL016Y		
Arria V		10010167	Edit	
Arria V GZ		10CL025Y	Remove	
Cyclone		10CL025Z		
🗹 Cyclone 10 LP		10CL040Y	Uncheck /	All
Cyclone II		10CL040Z		
Cyclone III		10CL055Y		
Cyclone III LS		10CL055Z		
Cyclone IV E		10CL080Y		
Cyclone IV GX		10CL080Z		
Cyclone V		10CL120Y		
C Development	×		×	

③ SOF Data 行をハイライト選択し、Add File ボタンをクリックします。

nput files to convert			
File/Data area	Properties	Start Address	Add He <u>x</u> Data
✓ Flash Loader			Add <u>S</u> of Page
10CL025Y			
SOF Data	Page_0	<auto></auto>	Add <u>F</u> ile
			Remove
	Cvclone [®] 10 P Fv	aluation Kit ユーザーの画症	5

out files to convert				
File/Data area	Properties	Start Address	A	dd He <u>x</u> D
SOF Data	Page_0	<auto></auto>	A	dd <u>S</u> of Pa
				Add <u>F</u> ile.
	MAX [®] 10 FPGA E	valuation Kit ユーザー	の画面	



④ my_first_fpga.sof ファイルを指定し、Open ボタンをクリックします。

🖻 Select Inpu	ıt File						×
Look in:	C:\intelFPGA_prj\my_first_fpga\output_files	•	0	0	0		:: =
S My Cor	nputer						
File <u>n</u> ame:	my_first_fpga.sof						<u>O</u> pen
Files of type:	SRAM Object Files (*.sof)				•	•	Cancel

- 4. Convert Programming Files ダイアログボックスの *Generate* ボタンをクリックし、コンフィグレーション ROM 用のプログラミング・ファイルを生成します。
- 5. Convert Programming Files ダイアログボックスの Close ボタンをクリックし、ダイアログボックスを閉じます。

🕥 Quartus Prime 🛛 🗙	🕥 Quartus Prime X
Generated output_files/my_first_fpga_jic successfully	Generated output_files/my_first_fpga.pof successfully
ОК	ОК

以上で コンフィグレーション ROM 用のプログラミング・ファイルが完成しました。

- 7-2-2. コンフィグレーション ROM ヘプログラミングする
 - 1. ダウンロード・ケーブル、パソコン、評価ボードを接続します。

ボード上の JTAG コネクターの位置や向きは、各評価ボードのユーザーガイドや回路図をご確認ください。

【表	7-2-2-1】	ダウンロー	ード・ケー	-ブルの接続
----	----------	-------	-------	--------

評価ボード	説明
Cyclone® 10 LP Evaluation Kit	 Cyclone® 10 LP Evaluation Kit に付属しているケーブルにおいて、mini USB (Type-B) を評価ボードに接続します。 USB ケーブルのうち黒いコネクターをパソコンへ接続してください。(ダウンロード・ケーブルと電源供給ケーブルを兼用しています。) ボードに電源が供給されます。
MAX [®] 10 FPGA Evaluation Kit	 インテル FPGA ダウンロード・ケーブル II 本体と USB ケーブルを接続します。 インテル FPGA ダウンロード・ケーブル II 本体から出ているケーブルの 10 pin ヘッダーを評価ボード上の JTAG コネクターに接続します。 電源用 USB ケーブルで、パソコンと評価ボードを接続します。(ボードに電源が 供給されます。

- 2. Quartus[®] Prime のメニューから Tools ➤ Programmer を選択し、Programmer ウィンドウを起動します。
- 3. Programmer ウィンドウの Hardware Setup ボタンをクリックします。

<u>F</u> ile	<u>E</u> dit	<u>V</u> iew	P <u>r</u> ocessing	<u>T</u> ools	<u>W</u> indow	<u>H</u> elp						Search a
	Hardware Setup No Hardware Mode: JTAG Progress:											
E	Enable real-time ISP to allow background programming when available											

4. Hardware Settings タブの Currently selected hardware 項のプルダウン・リストから、使用するダウンロード・ケーブルを選択し、Close ボタンをクリックします。

👋 Hardware Se	tup		×				
Hardware Set	tings JTAG S	Settings					
Select a programming hardware setup to use when programming devices. This programming hardware setup applies only to the current programmer window.							
Currently sele	cted hardware:	No Hardware	•				
Hardware free	uency:		Hz				
Available ha	rdware items						

【表 7-2-2-2】 Currently selected hardware に選択するケーブル名

評価ボード	Currently selected hardware に検出される名前
Cyclone [®] 10 LP Evaluation Kit	Cyclone [®] 10 LP Evaluation Kit
MAN® 10 FDCA Funduation Kit	使用するダウンロード・ケーブル名
IVIAX [®] 10 FPGA Evaluation Kit	(例: USB-Blaster II)

① Note :

- Cyclone[®] 10 LP Evaluation Kit は、オンボード インテル FPGA ダウンロード・ケーブル II 対応基板です。
 よって、ご利用前に インテル FPGA ダウンロード・ケーブル II のドライバをインストール してください。
- インテル FPGA ダウンロード・ケーブル II は、TCK 周波数を変更可能です。詳細は、下記 Web ページ をご参考ください。

<u>USB-Blaster™II の TCK 周波数を変更してみよう</u>

5. Programmer ウィンドウの Mode プルダウン・リストより、JTAG を選択します。

macnic

File Edit View P	rocessing Tools Window Help						
🚖 Hardware Setup	Cyclone 10 LP Evaluation Kit [USB-1	1]		Mode:	JTAG 🔻		P
Enable real-time IS	JIAG In-Socket Programming						
Start	File	Device	Checksum	Usercod	Active Serial Programming Configure C	ank- heck	
	▲ 例: Cvcl	one [®] 10 LP Evalua	tion Kit の場合				

- 6. Programmer ウィンドウの *File* 欄に *my_first_fpga.sof* ファイルがすでに登録されている場合には、sof フ ァイルをハイライト選択し *Delete* ボタンをクリックして削除 (空欄に) してください。
- Programmer ウィンドウの Add File ボタンをクリックし、¥¥作業フォルダー¥output_files 内にある my_first_fpga.jic あるいは my_first_fpga.pof ファイルを選択し、Open ボタンをクリックして File 欄に登録 します。

【表 7-2	-2-3 Current	y selected hardware	に選択するケーブル名
--------	--------------	---------------------	------------

評価ボード	選択するファイル
Cyclone [®] 10 LP Evaluation Kit	my_first_fpga.jic
MAX [®] 10 FPGA Evaluation Kit	my_first_fpga.pof

ファイル登録後の Programmer 画面は、このようになります。



Cyclone® 10 LP Evaluation Kit / EPCQ128A の場合

output_files CFM0 UFM	/my_first_fpga.po	f	10M08SAE144	026672D8	0008A94F		
CFM0 UFM							
UFM <							
<							
							>
							^
	10M085AE144						

- ▲ MAX[®] 10 FPGA Evaluation Kit の場合
- 8. Programmer ウィンドウのプログラミング・オプションを設定します。

コンフィギュレーション ROM にプログラミングするため、[表 7-2-2-4] を参考に Program/Configure オプションにチェックを入れます。

【表 7-2-2-4	Program/Configure	オプション
------------	-------------------	-------

評価ボード	Program/Configure オプション							
Cyclone [®] 10 LP Evaluation Kit	 Factory default enhanced SFL image output_files/my_first_fpga.jic 							
	File Factory default enhanced SFL image	Device 10CL025Y	Checksum 001804EB	Usercode 001804EB	Program/ Configure	Verify		
	output_files/my_first_fpga_jic ※ jic ファイル側のオプションを になります。	EPCQ128A 「」すると、Factory	F433D199 default enhanc	ed SFL image	 ● 側も自動的	り□		
MAX [®] 10 FPGA Evaluation Kit	 ✓ output_files/my_first_fpga ✓ CFM0 □ UFM 	ı.pof						
	File	Device	Checksum	Usercode	Program/ Configure	Verify		
	output_files/output_file.pof CFM0 UFM	10M08SAE144	04319F46	0008B13B				

9. Programmer ウィンドウの *Start* ボタンをクリックし、コンフィグレーション ROM へのダウンロードを開始し ます。Progress バーが 100% になり、Quartus Prime の Messages ウィンドウ (System タブ) に Info: Successfully performed operation(s) のメッセージを確認できたら、データのダウンロードは完了です。



		▼ Prog	rammer ウ	ィンドウ				
<u>F</u> ile <u>E</u> dit <u>V</u> iew P <u>r</u> ocessing	; <u>T</u> ools <u>W</u> indow <u>H</u> elp					Search a	lltera.com	5
Hardware Setup Cyclone	e 10 LP Evaluation Kit [USB-1] Mode:	JTAG		 Progre 	ss: 100% (Successful)	
Enable real-time ISP to allow	background programming v	vhen available						
▶ [™] Start	File	Device	Checksum	Usercode	Program/ Configure	Verify Blank- Check	Examine	Secu Bi
Stop outpu ≭ P I E S S S S S S S S S S S S S	outpu X All All All All X X Y X X Y Y Y Find Next Type ID Message 209060 Started Programmer operation at Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y Y							
			Messages	ウィンドウ				

■ 参考:

- 以下に、ここでの作業に関連したドキュメントおよびコンテンツをご案内します。ご参考ください。
 - 「Quartus Prime はじめてガイド デバイス・プログラミングの方法」 •
 - [Quartus Prime プログラミング・ファイルの生成と変換(Convert Programming Files)] •
 - FPGA 経由で EPCQ デバイスヘプログラミング(JIC プログラミング) •

以上で コンフィグレーション ROM への書き込みは完了です。

評価ボード上の 再コンフィグレーション用ボタンを押下し、sof ファイルを書き込んだ際と同様の動作が行わ れること (8章 を参照) を確認してください。

各評価ボードの再コンフィグレーション用ボタンは、以下のとおりです。

【表 7-2-2-5】 再コンフィグレーション用ボタン

評価ボード	Cyclone [®] 10 LP Evaluation Kit	MAX [®] 10 FPGA Evaluation Kit		
シルク印刷番号	S1	SW2		

8. <u>実機で動作検証をする</u>

実機 (評価ボード) 上で FPGA が正しく動作するかを確認します。 (この作業は、開発フローの [9] にあたります。)



このチュートリアルでは、LED が点灯および消灯する (いわゆる L チカ) 動作を作成しました。

すでに開発ボード上の LED が点灯しているはずです。セレクト信号を割り当てたピンに接続されているタクト スイッチを押す (Cyclone® 10 LP Evaluation Kit ユーザー)、あるいは DIP スイッチを切り替える (MAX® 10 FPGA Evaluation Kit ユーザー) と、点灯する間隔が変わります。



<FPGA の動作仕様>

- LED が点灯および点滅します。
- BUTTON に割り当てたピンに接続されているタクトスイッチを押下している間 または DIP スイッチが On 側に位置する場合は、LED の点滅する速さが変わります(遅くなります)。
- RESET に割り当てたピンに接続されているタクトスイッチを押下している間、PLL 回路とカウンター回路が リセットされ、LED が全消灯します。

<u>L チカの動作は成功しましたか ?</u>

実機動作	次の作業ステップ				
sof ファイルの書き込み:	コンフィグレーション ROM ヘプロジェクトのデータを書き込みます。				
問題なし	(<u>7-2 章</u> へ)				
sof ファイルの書き込み: 問題あり	デザインコードやピンアサインを見直してください。 ◆				
	修正点	修正後に実施する作業			
		・ 論理シミュレーション (<u>3 章</u> へ)			
	テザインコート	・ コンパイル (<u>5 章</u> へ)			
	ピンアサイン	・ コンパイル (<u>5 章</u> へ)			
	•				
	再コンパイルで生成した sof ファイルを使用し、Programmer でダウンロー				
	ド。(<u>7-1章</u> へ)				
	▼ 実機検証を行い、動作を確認します。 (<u>8 章</u> へ)				

各評価ボードの LED、タクトスイッチ、DIP スイッチの位置は、次のとおりです。

BUT	TTON RESET	○ 2020日 再コンフィグレーション用ボタン 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 0000日 00000日 0000日 0000日 0000日 0000日 0000	
S. Marris Marris		A CONTRACTOR	

▼ Cyclone[®] 10 LP Evaluation Kit の場合



▼ MAX[®] 10 FPGA Evaluation Kit の場合

以上で 実機での動作検証は完了です。評価ボードの電源を OFF にし、その後 ダウンロードケーブルを脱 着してください。

以上で このチュートリアルの作業はすべて終了です。

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

.....

- 1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社マクニカ 半導体事業 お問い合わせフォーム
- 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカ発行の英語版の資料もあわせてご利用ください。