

このホワイトペーパーでは、トランジスタの設計が従来のプレーナ構造から 3D 構造に移行することが半導体製造業界にもたらすインパクトと、高性能プログラマブル・ロジックの機能が大幅に向上する理由を紹介します。

## はじめに

2013 年 2 月、アルテラとインテルは、アルテラ史上最高の性能を持つ次世代 FPGA 製品の生産にインテルの 14nm 3D トライゲート・トランジスタ・テクノロジーを独占的に使用することを共同発表しました。これによって、アルテラは、最も先進的で最高性能の半導体テクノロジーを活用できる唯一の主要な FPGA ベンダーとなります。このホワイトペーパーでは、トライゲート・テクノロジーが高性能 FPGA の機能にもたらすインパクトと、デジタル回路の速度、消費電力、および生産可能性においてこの利点がどれほど重要であるかを理解するために、トライゲートと関連テクノロジーの開発と状況に関する背景情報を紹介します。



## トランジスタ・デザインに関する背景

1947 年、ゲルマニウムの「点接触」構造である最初のトランジスタのデモが Bell Laboratories で行われました。1954 年にはバイポーラ・トランジスタの製造にシリコンが初めて使用されましたが、最初の金属酸化膜半導体電界効果トランジスタ (MOSFET) がシリコンで製造されたのは 1960 年になってからでした。最も初期の MOSFET は、ゲート下のシリコンの表面に沿って電流が流れる 2D プレーナ・デバイスであり、その基本構造は 50 年以上にわたって本質的に変わることはありませんでした。

1965 年にムーアの法則が発表されて以来、ムーアの法則を辞書に語彙として残し、半導体業界の製品開発サイクルを決めるものとして利用するために、MOSFET テクノロジーによる製造と最適化に多くの強化策や改善策が追加されてきました。過去 10 年間ではひずみシリコン、High-K メタルゲート技術が MOSFET の性能と消費電力を飛躍的に向上させ、継続的に改善されてきました。

1991 年には、日立中央研究所の久本大氏とその他の研究者チームが論文を発表し、MOSFET の性能を向上させて短チャネル効果を除去する 3D (「ラップアラウンド」ゲート・トランジスタ・テクノロジー) の可能性が初めて認められました。この論文では、提案した 3D 構造を「DELTA (depleted lean-channel transistor)」と呼んでいます<sup>(1)</sup>。1997 年、米国の国防総省国防高等研究計画局 (DARPA) は、DELTA の概念に基づくディープ・サブミクロン・トランジスタの開発契約をカリフォルニア大学バークレー校の研究グループと締結しました。この研究成果である最初期の発表物の 1 つである 1999 年の発表では、トランジスタ形状の中央にあるフィン (魚のヒレ) のような構造から、このデバイスを「FinFET」と呼んでいます<sup>(2)</sup>。

## トランジスタ・テクノロジーの重要な転換点

主な半導体企業の研究開発部門で、3D トランジスタ構造の継続的な最適化と製造可能性に関する研究が続けられました。いくつかのプロセスと特許開発は公開され、一般に共有されていますが、企業の研究施設に留まっている開発もあります。

研究投資に対する半導体業界の関心は、メーカー、サプライヤ、および研究機関のコンソーシアムが調整して公表する国際半導体技術ロードマップ (ITRS) が推進しています。ITRS には、目標を達成するために研究すべきオプションとともに、性能、消費電力、および集積度を継続的に改善するためのトランジスタ・テクノロジー要件が定められています。ITRS とその公開文書には、ひずみシリコンや High-K メタルゲートのような製造能力に関する結論や推奨事項、および今ではムーアの法則の利点を維持するための 3D トランジスタ・テクノロジーの用途が記載されています。3D トランジスタ・テクノロジーの研究は、ITRS が作成した文書や学術論文と特許出願の調査に基づいて、この 10 年間で飛躍的に進歩しました。

## 採用と研究

この 2 年間で、3D トランジスタ構造が業界の注目を集め、MOSFET トランジスタのテクノロジーに関して話題を提供することになる 2 つの重要な発表がありました。

1 つ目は、インテルが同社の 22nm 半導体製品を設計・製造するために選択した同社のトライゲート・トランジスタ・デザインに関する 2011 年 5 月 4 日の発表です。これは、FinFET の開発と最適化に関する久本氏らの研究を生かした 10 年にわたる研究開発の成果です。この発表によって、半導体の大量生産におけるトライゲート・トランジスタ構造の実現可能性とコスト効果が十分に確認されただけでなく、インテルが半導体テクノロジーを引き続きリードすることが明らかになりました。

2 つ目は、ITRS テクノロジー・ロードマップの発表です。これには、3D トランジスタ・テクノロジーが 20nm や 22nm デザイン・ノード以降の半導体を段階的に改善させると考える、多くの半導体製造会社が寄与しました。

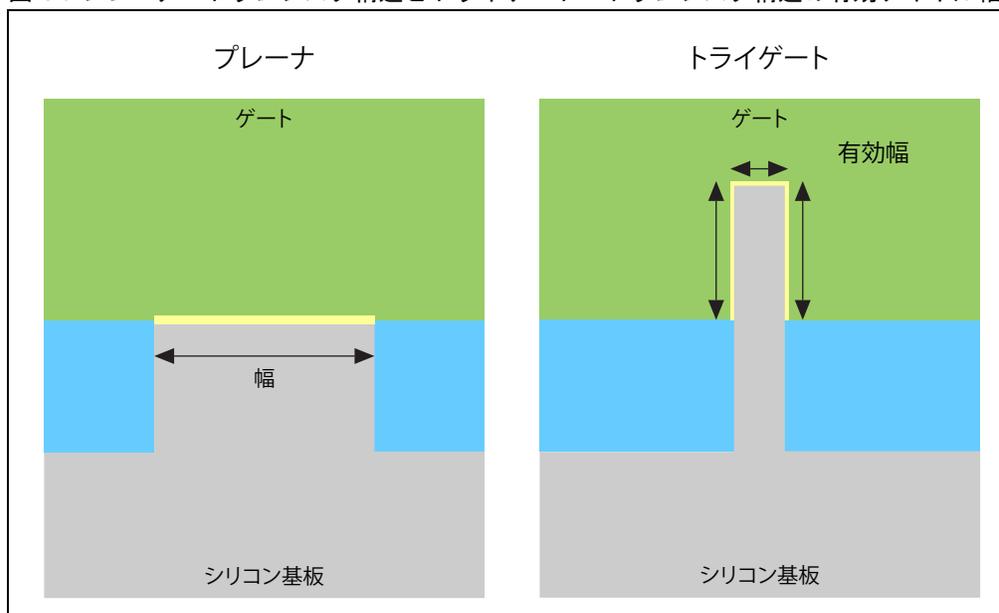
## トライゲート・デザインの主な利点

トライゲート・トランジスタの 3D の形状と構造には、プレーナ・トランジスタ構造にない多くの重要な改善が加えられています。それらはすべて、ソースからドレインへの「チャンネル」の周りにある MOSFET 「ゲート」の「ラップアラウンド」効果に関係します。これによる利点は以下の項目に表れています。

- 性能の向上
- アクティブ電力とリーク電力の削減
- トランジスタ・デザインの集積度
- 荷電粒子の SEU (Single Event Upset) に対するトランジスタの耐性の改善

図 1 を参照してください。

図 1: プレーナ・トランジスタ構造とトライゲート・トランジスタ構造の有効チャンネル幅

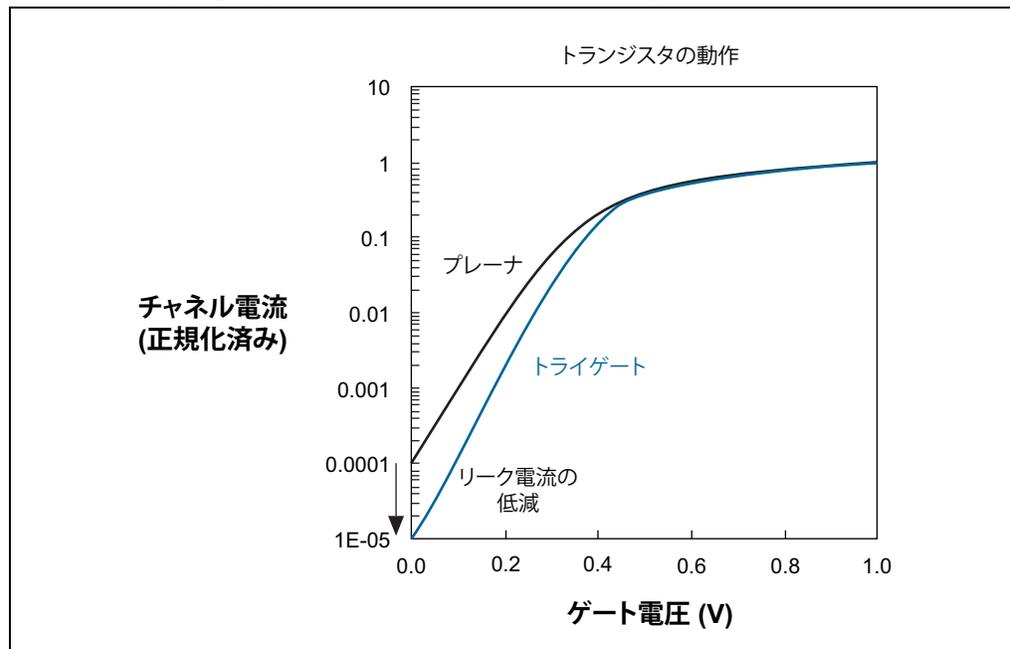


従来のプレーナ形状と比較したトライゲート・トランジスタ形状の主な性能上の利点は、伝導チャンネルの有効幅にあります。トランジスタの電流駆動能力と性能は有効チャンネル幅に正比例します。3D トランジスタ構造では、図 1 に示すようにレイアウト領域にまったく影響を与えずに 3 次元で幅を広げることができるため、プレーナ・トランジスタと比べて有効チャンネル幅を大幅に拡張できます。そのため、トランジスタ設計者によるデザインの柔軟性が高まり、プレーナ・トランジスタでチャンネル幅を拡張するときに 2D 領域で発生する犠牲を払わずに性能を向上させる可能性がもたらされます。

消費電力に関する利点は、フィンの 3 つの側面にあるゲートの電界によってチャンネル制御が改善されることによって得られます。そのため、「オフ」状態でソースからドレインに流れるサブスレッショルド・リーク電流がプレーナ・トランジスタの場合より低減されます。また、トライゲート・トランジスタはプレーナ・トランジスタより有効幅が広いので、高速性を維持しながら電源電圧を大幅に低下させることができます。電源電圧が低下するとともにリーク電流が減少するため、消費電力が大幅に節減されます。

インテルがインテル・デベロッパーズ・フォーラム (2011 年、2012 年) で説明したように、この電力に関する利点は、図 2 に示すプレーナ・トランジスタより明らかに急峻なトライゲート・トランジスタのトランジスタ電圧曲線から得られます。トランジスタ設計者は、急峻なこの曲線を利用してプレーナ・トランジスタと性能が同じときのリーク電流を大幅に低減させたり、性能 (トランジスタの動作速度) を大幅に高めたり、これらを組み合わせたりすることができます。

図 2 : 電圧曲線が急峻なトライゲート・トランジスタ構造



一般に、新世代の各シリコン製造テクノロジーによって形状が小型化されるか、またはゲートとトランジスタの全体構造が縮小される結果、集積度が向上してシリコンが高機能化します。3D トライゲートの構造自体も、トランジスタの幅特性を 3 次元に拡張することによって、集積度を高めたトランジスタ・デザインに対応します。そのため、設計者は、性能、電力、およびトランジスタ集積度の目標に基づいてトランジスタの「フィン」のサイズと幅の妥協点を見つけることができます。14nm トライゲート・デザインに移行するアルテラは、3D トライゲート・トランジスタ構造、および 14nm ノードへのプロセス縮小による両方から、集積度の改善の恩恵を受けます。

SEU に関する利点は、トライゲート構造の中でフィンが基板に接続される断面積が小さいことから得られます。そのため、イオン化した粒子によって発生した電荷を集める領域をプレーナ・トランジスタ構造の場合より小さくすることができます。トランジスタ・ベースの回路でビット・フリップを引き起こす荷電粒子の発生確率が低下することは、インテルが同社製品の トライゲート・トランジスタの 22nm 実装で行った早期テストによって裏付けられています。

## トライゲート・デバイスを量産中

トライゲート・トランジスタの利点は以前から研究されて知られていますが、採用と実装は、最終的にテクノロジー、製造容易性、およびコスト効果によって推進されます。

超微細 (40nm、28nm、22nm、または 20nm 以下) な形状を持つ半導体の製造は高度な技術力と、高額な研究開発費を要するため、現在、このテクノロジーは数十億ドルの設備投資が可能な少数の企業に限られています。その結果、3D トランジスタ・テクノロジーの既知の利点を利用できるのは、ほんの一握りのメーカーにすぎません。インテルは 22nm テクノロジーでこのデザインと製造の移行を完了した唯一の企業で、量産規模でのトライゲート・トランジスタの全体的な成熟度と製造可能性に関するデータを提供できます。2014 年第 3 四半期現在、このデータには 5 億個超のトライゲート・トランジスタ・ベースの製品が含まれています。

3D ゲート構造が持ついくつかの既知の課題と特徴が認識され、このテクノロジーを使用した製造とデザインの成熟度を実現するために対処されてきています。その中には、従来のプレーナ・デザインではモデル化されない新しい寄生容量値のモデル化、レイアウトに依存する効果、電流リソグラフィ機器を使用したダブル・パターンニング技法による狭い間隔でのフィン配置などがあります。

EDA (Electronic Design Automation) コミュニティも、半導体設計者に対する FinFET およびトライゲート・デザイン・テクノロジーの成熟度と使いやすさの重要な要素です。2013 年以降、EDA 企業は、トライゲート・ルールの影響と、将来の半導体製品デザインにおける柔軟性とに関する、広報活動とユーザー教育を大々的に開始しています。

## FPGA やその他の半導体デバイスの性能への影響

FPGA ベースの電子製品設計者に対するトライゲート・テクノロジーの第一の利点は、トランジスタの集積度、性能、消費電力、およびトランジスタあたりのコストが着実に改善されるムーアの法則が継続されることです。そのため、民生用電子機器業界、コンピューティング・プラットフォーム開発、ソフトウェアの複雑化、メモリとストレージの大容量化、モバイル・デバイスの創造性と発展、および業務の自動化と生産性が維持されます。

さらに、このテクノロジーにより、半導体のスタティック消費電力とダイナミック消費電力の制御が大幅に改善されます。FPGA ユーザーにとっては、14nm テクノロジー以降のレベルに進歩するプログラマブル・ロジックが、利用可能なプロセス・ノードの ASIC および ASSP デザイン・ソリューションの両方に対抗する消費電力を持ち、プログラマビリティ、性能、柔軟性、OpenCL™ (Open Computing Language) ソフトウェア・デザイン・エントリーの他、DSP、トランシーバ、ハード化されたプロセッサ、およびコンフィギュレーション可能な I/O の統合にさらに大きな利点があります。



詳細については、ホワイトペーパー「ゼタバイト時代の性能および消費電力要件にミートするアルテラの Generation 10 製品」をご覧ください。



OpenCL と OpenCL ロゴは Apple Inc. の商標であり、Khronos の許可を得て使用しています。

インテルは、同社のマイクロプロセッサ製品へのトライゲート・テクノロジーの量産展開に基づいて実現した明確な利点に関するデータを一般投資家コミュニティに提供しました。このデータには、32nm プレーナから 22nm トライゲート・デザインに移行してトランジスタあたりのアクティブ電力が 50 % 以上削減されたこと<sup>(3)</sup>、22nm トライゲートでは 32nm プレーナ・デザインより欠陥集積度曲線が改善されたこと<sup>(3)</sup>、32nm プレーナから 22nm トライゲート・デザインに移行して SEU 発生率が 1/4 ~ 1/10 に減ったこと<sup>(4)</sup>などが含まれています。

## トランジスタ・テクノロジーにおけるインテルのリーダーシップ

インテルは、インテル開発者フォーラムや投資家向け説明会などのいくつかの公開フォーラムで、ムーアの法則のペースを維持したさまざまな進歩のどこで技術的なリーダーシップを発揮したかを明らかにしています。図 3 に示すように、インテルはひずみシリコンと High-K メタルゲート・テクノロジーを本格的に量産する上で獲得した生産上のリーダーシップの年数を明らかにしました。3D トライゲート・トランジスタ・テクノロジーの場合は、2011 年に 22nm のトライゲート・テクノロジーを量産展開したことから最大 4 年間リードしていると見積もっています。

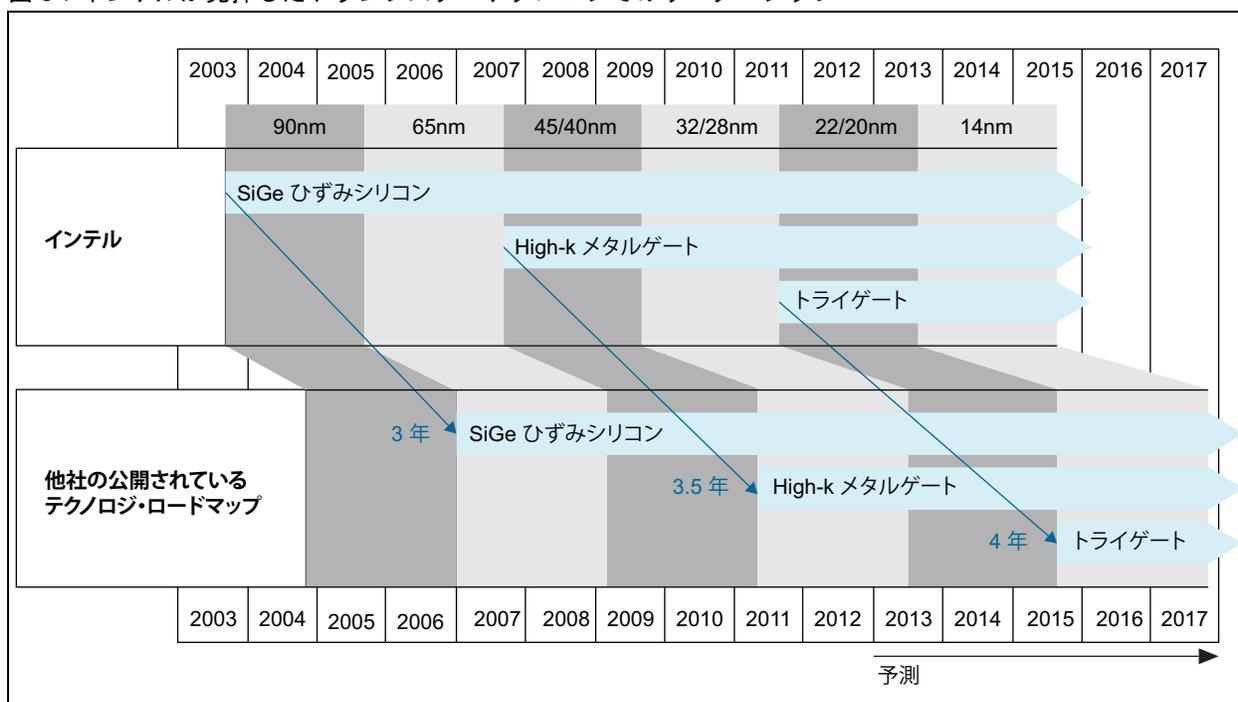
インテルの Paul Otellini 前 CEO は、2013 年 4 月 16 日の業績発表で以下のように述べています<sup>(8)</sup>。

「当社は、業界の他の企業が最初のユニットを出荷しようとしていた [2013 年] 第 1 四半期に、革命的な 3D トランジスタ・テクノロジーを使用した 1 億個目の 22nm [トライゲート] プロセッサを出荷しました。」

インテルは、2014 年 8 月に、競合ファウンドリに先駆け 14nm トライゲート・デバイスの量産を発表しました。

14nm テクノロジーを展開する上でインテルが発揮するもう 1 つのリーダーシップの利点は、完全に公開された、プロセスとマイクロアーキテクチャを導入するための「Tick-Tock (チクタク)」戦略までたどることができます。製品を導入する「Tick」サイクルは CPU 製品へのマイクロアーキテクチャの変更の実装に依存し、その後半導体プロセス製造形状を小型化する「Tock」サイクルが続きます。インテルは、22nm から 14nm に移行する中でプロセス全体を縮小することを固く約束しています。16nm または 14nm FinFET プロセス・テクノロジーを展開する他の競合ファウンドリは、FinFET テクノロジーの第 1 世代の展開リスクを抑えるため、プロセス・ノード全体の縮小は実施していません。

図 3：インテルが発揮したトランジスタ・テクノロジーでのリーダーシップ



## アルテラの FPGA でトライゲート・テクノロジーの利点を利用する

インテルのトライゲート・テクノロジーが提供する重要な利点を活用できるのは、14nm テクノロジー・プロセスを使用したアルテラの高集積・高性能 FPGA を使用するユーザーだけです。これは、このホワイトペーパーの「はじめに」で言及した両社の独占的な製造パートナーシップの成果です。

アルテラは、トライゲート・シリコン・テクノロジーの大きな利点により、以前には考えられなかった性能を FPGA 製品と SoC 製品で提供できます。それには、コア性能がその他のハイエンド FPGA の 2 倍になって、FPGA の性能レベルがギガヘルツ・レベルに達する歴史的な出来事が含まれます。プロセス、アーキテクチャ、およびソフトウェアの進歩を組み合わせると、アクティブ電力およびスタティック電力の消費が全体で最大 70% 削減されます。また、複数のデバイスをより少ない数のデバイスに統合することにより、効率化を図ることができます。

アルテラ製品のユーザーは、トライゲート・テクノロジーの優れた性能と電力効率の利点を FPGA に利用したデザインを今すぐ開始することができます。まず、20nm FPGA デバイスの Arria® 10 ポートフォリオでデザインを開始します。Stratix® 10 FPGA & SoC 製品を入手できるようになったら、Arria 10 FPGA & SoC 製品からピン・マイグレーションを利用して、デザインを置き換えることができます。

したがって、FPGA ユーザーとシステム・アーキテクトは、ボードの変更を最小限に抑えながら Arria 10 製品ファミリと Stratix 10 製品ファミリの両方に対応できる製品の設計を開始できます。そのため、20nm プロセス・テクノロジーと消費電力低減テクノロジーを活用した、性能が最高で消費電力が最小の FPGA を搭載した製品を市場に投入した後、同じ製品をインテルの 14nm トライゲート製造プロセスが持つ今まで考えられなかった性能と電力効率まで進化させることができます。

## 結論

最高性能の FPGA 製品を見極めるには、以前からパラメータを使用した主観的なベンチマーキング・プロセスを使用していました。ところが、14nm トライゲート・テクノロジー以降は、明らかに優れたトランジスタ・テクノロジーで構築された FPGA が必然的に最高性能の FPGA となります。現在、インテルの 14nm トライゲート・プロセスのみが、実績のある製造技術にて第 2 世代を提供できます。また、インテルの 14nm プロセスのみが、トライゲート・テクノロジーの利点と、トランジスタ・プロセス縮小の利点の両方を提供できます。そして、アルテラはこのインテルのテクノロジーにアクセスできる唯一の主要な FPGA メーカーです。トライゲート・ベースのテクノロジーを利用してシステムを設計すると、性能面でのリーダーシップを利用できることが保証されます。

## 参考文献

1. *Impact of the Vertical SOI "DELTA" Structure on Planar Device Technology* (IEEE Transactions on Electron Devices、第 38 巻、No. 6、1991 年 6 月)  
[ieeexplore.ieee.org/iel1/16/2677/00081634.pdf](http://ieeexplore.ieee.org/iel1/16/2677/00081634.pdf)
2. *FinFET - A Self-Aligned Double-Gate MOSFET Scalable to 20 nm* (IEEE Transactions on Electron Devices、第 47 巻、No. 12、2000 年 12 月)  
[www.eecs.berkeley.edu/~hu/PUBLICATIONS/PAPERS/700.pdf](http://www.eecs.berkeley.edu/~hu/PUBLICATIONS/PAPERS/700.pdf)
3. Mark Bohr、Intel Developer's Forum (2011 年 9 月 6 日)  
[www.intel.com/idf/library/pdf/sf\\_2011/SF11\\_SPCS002\\_101F.pdf](http://www.intel.com/idf/library/pdf/sf_2011/SF11_SPCS002_101F.pdf)
4. *Soft Error Susceptibilities of 22 nm Tri-Gate Devices* (IEEE TRANSACTIONS ON NUCLEAR SCIENCE、第 59 巻、NO. 6、2012 年 12 月)  
[ieeexplore.ieee.org/iel5/23/4689328/06338321.pdf](http://ieeexplore.ieee.org/iel5/23/4689328/06338321.pdf)
5. Intel Adds Altera as a Customer (The Wall Street Journal、2013 年 2 月 25 日)  
[online.wsj.com/article/SB10001424127887323384604578326641821604714.html](http://online.wsj.com/article/SB10001424127887323384604578326641821604714.html)
6. Intel Reinvents Transistors Using New 3-D Structure (Intel Corporation、2011 年 5 月 4 日)  
[newsroom.intel.com/community/intel\\_newsroom/blog/2011/05/04/intel-reinvents-transistors-using-new-3-d-structure](http://newsroom.intel.com/community/intel_newsroom/blog/2011/05/04/intel-reinvents-transistors-using-new-3-d-structure)
7. International Technology Roadmap for Semiconductors、ITRS.com、2011 年  
[www.itrs.net/](http://www.itrs.net/)
8. Intel 2013 年第 1 四半期業績発表 (2013 年 4 月 16 日)  
[newsroom.intel.com/community/intel\\_newsroom/blog/2013/04/16/intel-reports-first-quarter-revenue-of-126-billion](http://newsroom.intel.com/community/intel_newsroom/blog/2013/04/16/intel-reports-first-quarter-revenue-of-126-billion)
9. ホワイトペーパー：ゼタバイト時代の性能および消費電力要件にミートするアルテラの Generation 10 製品 (Altera.com、2015 年 6 月)  
[https://www.altera.co.jp/content/dam/altera-www/global/ja\\_JP/pdfs/literature/wp/wp-01200-power-performance-zettabyte-generation-10\\_j.pdf](https://www.altera.co.jp/content/dam/altera-www/global/ja_JP/pdfs/literature/wp/wp-01200-power-performance-zettabyte-generation-10_j.pdf)
10. Mark Bohr、Intel Developer's Forum 10 September, 2014  
[www.intel.com/content/dam/www/public/us/en/documents/pdf/foundry/mark-bohr-2014-idf-presentation.pdf](http://www.intel.com/content/dam/www/public/us/en/documents/pdf/foundry/mark-bohr-2014-idf-presentation.pdf)

## 文書改訂履歴

表 1 に本資料の改定履歴を示します。

表 1. 文書改定履歴

日付	バージョン	変更内容
2015 年 6 月	1.1	全体的に小規模な更新
2013 年 6 月	1.0	初版発行