

このホワイトペーパーでは、成長し続ける情報通信技術 (ICT) セクターの要求を満たす、次世代のプログラマブル・ロジック・ソリューションに求められる性能と消費電力要件の概要を解説します。要件には以下が挙げられます。

- 前世代のソリューションの 2 倍の性能
- 前世代のソリューションより最大 70 % 少ないトータル消費電力
- (56 Gbps への移行とともに) 30 Gbps 対応の高速シリアル・トランシーバ、DDR4 SDRAM やハイブリッド・メモリ・キューブ (HMC) などのメモリ・インタフェース対応オプションを含む I/O 機能
- 最大 10 兆回/秒 (TFLOPS) の浮動小数点演算によるデジタル信号処理 (DSP) 性能

## はじめに

近年、情報帯域幅に対する要求が世界中で大幅に増えており、この要求が増え続けると予想されています。2006 年の国際的なインターネットの帯域幅は 11 テラビット/秒 (Tbps) と報告されていましたが、2011 年までに約 80 Tbps に増加しました。グローバルな帯域幅はこの期間のほとんどで 57 % の年複利成長率 (CAGR) で増加し、2011 年だけで 45 % 増加しました。2013 年には人類のほぼ 40 % がインターネットを利用すると見積もられ、世界中の消費者、産業、および政府による年間 IP トラフィックは 2016 年の年末までに 1 ゼタバイトを超えるという予測もあります。これは、これまでに作られたすべての映画に相当する大量のデータが 3 分ごとにグローバル・ネットワークを流れることとなります <sup>(1)(2)(3)(4)</sup>。

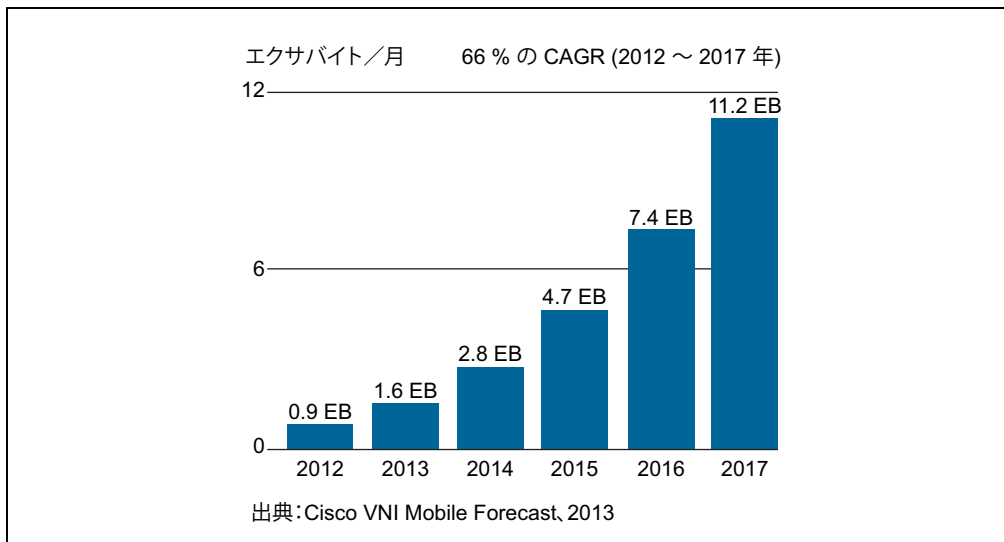
とどまることのない帯域幅の需要により、データを保存して処理するデータ・センター・サーバーから物理的な地点間の距離に広がる銅線と光のネットワーク、モバイル機器へのラスト・ワン・マイルをつなぐ無線送信タワーまで、グローバルな通信インフラストラクチャのオーバーホールが ICT セクターで推進されます。その結果、ICT セクターに機器を供給するメーカーは、さらに太いパイプの中を流れる高速化、多重化された大量のデータを処理、パッケージ化、フレーム化、ルーティング、送信、および受信する製品の機能を強化するという課題に直面しています。それができなければ、グローバルな情報への欲求を満たすための競争に後れを取るリスクにさらされます。

そのような機能を強化するには性能限界を拡大する必要があります。このニーズの例は、ICT インフラストラクチャ全体に多く見られます。データ・センターは、コスト、消費電力、および物理的な実装面積を最小化しながら最大の処理能力を得ることを極めて重視します。有線ネットワークでは 40 Gbps イーサネット (GbE) 製品が増加する一方、2010 年に規格が承認された 100 GbE 市場が立ち上がりようとしています。IEEE は、データ・レートを現在の主流レートより 1 桁高速化する必要性を 2013 年に認識し、400 GbE の正式な規格化を進めています。モバイル通信もこの動向を推進要因として加速させています。2011 年には有線機器が IP トラフィックの約 55 % を占めていましたが、スマート・モバイル機器の爆発的な増加により無線機器が過半数を占める

であろうことは容易に予想できます。図 1 はモバイル・データ・トラフィックの増加予測です。2017 年まで 66 % の CAGR を示しています (4)。

モバイル通信サービス・プロバイダーは、この増加を念頭に置いて LTE (Long-Term Evolution) ネットワークを構築し、ユーザーがどこにいても有線機器が提供する処理能力と接続性を完全に利用できることを期待する、さらにデータを多用する将来の状況をサポートします。

図 1：2017 年までのモバイル・データ・トラフィックの増加



## 高い性能、高い消費電力、それに伴う責任

経済と環境が要因でなければ、帯域幅の指数的増加に伴って消費電力も増加する可能性があります。しかし、ICT の拡張にかかわる関係者はすべて、サービス・プロバイダー、政府、およびエンドユーザーから、経済面やその他の面で効率を改善して業界の消費電力を最小化することを奨励されます。2012 年現在のインターネットの電力消費量は世界の合計電力消費量の 2 % と見積もられていますが、2020 年までに 10 % に増加する可能性があります。現在 ICT は、地域レベルで代表的な経済活動の合計電力消費量の 5 ~ 10 % を占め、企業レベルでは全消費電力の 75 % に達する場合があります。データ・センターの電力需要は、2011 年から 2012 年に 24 ギガワット (GW) から 38 GW に 63 % 増加した、ICT セクターで最も速く増加する部分の 1 つであると認識され、特に注目する必要があります (3)(5)(6)(7)。

環境の観点では、ICT セクターのカーボン・フットプリントは世界中の温室効果ガス排出量の約 2 % に相当し、6 % の CAGR で増加すると予想されています。しかし、排出量に対する ICT の影響はこれをはるかに超える可能性があります。Smart 2020 Report は、ICT セクターが報告、フィードバック機構、およびその他の手段によって、それに依存する業界全体で 2020 年に最大 15 % の排出削減を推進できる可能性があるとしています。この削減は、経済的には約 9,500 億ドルのコスト削減に相当すると見積もられています (8)(9)。

ICT 機器の設計者がクロックの高速化、データパスの拡張、またはシステム性能を向上させるためのその他の一般的な方法を利用するとシステムの消費電力が増加するため、ICT 機器の機能を強化しながら消費電力を制御することは困難な作業です。さらに悪いことに、電子機器製品の性能が向上すると発生する熱量も増えるため、放熱してシステム全体を最適な動作温度に保つにはさらに電力を消費します。

幸いなことに、開発者には、システム的设计に利用できる進化したコンポーネントが生み出したオプションがあります。例えば、ハードウェア・レベルでのカスタマイズや柔軟性は、このような消費電力の課題に対処するためのアプローチであると認識されています。データ・センターの場合、Google はサーバーをカスタマイズして高い電力効率を得ています。このカスタマイズには、電源装置の選択、サーバー・ラック内のバックアップ・バッテリー、活動レベルに応じたサーバー電源などがあります。この取り組みは電力消費量を減らすのに効果があります。Google は世界中のサーバー数の 2.8% に対する責任を負っていますが、世界中にあるデータ・センターの消費電力の 1% 未満しか消費していません<sup>(10)(11)</sup>。

モバイル通信により、ハードウェアのカスタマイズによって消費電力の増加問題に対処できる可能性がある別の領域が生まれます。モバイル・ネットワークでの信号送出に関連する電力は、ピーク需要に対応するように設定されているため、ほぼ一定です。ところが、実際のトラフィックは 1 日のうちで大きく変動し、夜などの閑散時には大幅に減少します。変化する送信のニーズにオン・デマンドで応える、柔軟で再コンフィギュレーション可能なハードウェア・ソリューションは、この問題に対処する強力なアプローチであると認識されています<sup>(12)</sup>。

機器開発者は、ハードウェアをカスタマイズして、性能の向上と消費電力の最小化という相反する課題に対処するための手段を必要とします。この機能は、製品の電力消費を最適化する正確な要件を満たす柔軟性を備えたコンポーネントが提供します。

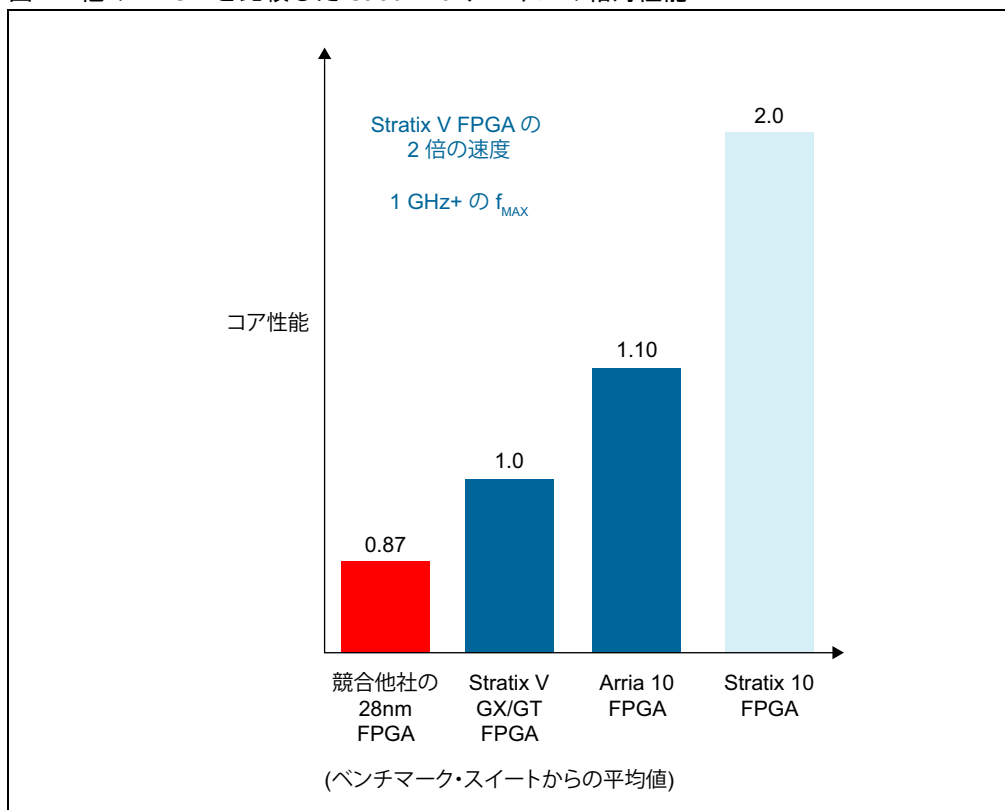
## Generation 10 FPGA & SoC は性能の課題に対応

性能の向上を求める ICT 機器開発者のニーズを満たすために、主なプログラマブル・ロジック・ベンダーは、最先端の半導体プロセスの利用、高速シリアル・データ・レートの高速化、性能に重点を置いたアーキテクチャの改善、最新のメモリ・インタフェース規格 (HMC および DDR4 SDRAM) のサポートなど、複数の製品開発戦略を実行しています。

例えば、アルテラは、最新のトライゲート半導体プロセスであるインテルの 14nm トライゲート・プロセスを使用した Stratix® 10 FPGA & SoC を提供します<sup>(13)</sup>。このプロセスの利点、およびトップ・レベルのトランシーバの IP (Intellectual Property) ポートフォリオによって、アルテラは Stratix 10 デバイスでシリアル帯域幅を 4 倍にします。アーキテクチャ・レベルでは、Stratix 10 デバイスが新しいハード化単精度浮動小数点 DSP による恩恵も受けるため、従来は高性能 GPU (グラフィックス処理ユニット) でのみ可能であったコンピューティング・スループットを、何分の 1 かの消費電力で提供できます。

Stratix 10 FPGA は、これらの改良を施すとともに画期的な HyperFlex™ コア・アーキテクチャを採用して、ギガヘルツのファブリック速度を提供します。そのため、図 2 に示すように前世代最速の高性能 FPGA の 2 倍を超える性能、最大 10 TFLOPS の DSP 性能、HMC によって 2.5 Tbps を超えるシリアル・メモリ・インタフェース帯域幅、DDR4 SDRAM によって 1.3 Tbps を超えるパラレル・メモリ・インタフェース帯域幅を得ることができる、最高の性能と帯域幅を持つプログラマブル・デバイスになっています。

図 2：他の FPGA と比較した Stratix 10 デバイスの相対性能



## トライゲート半導体プロセスが新しいレベルのデジタルおよびアナログ性能を実現

トライゲート・プロセスは、従来のプレーナ・トランジスタの電力と性能の限界を打ち破る新しいトランジスタ設計手段を利用することによって、従来の半導体製造技術から一線を画します。業界で FinFET トランジスタとも呼ばれるトライゲート・トランジスタは、現在のプレーナ・トランジスタ・アーキテクチャの欠点に対処して消費電力および性能特性を改善した 3D 構造によってこの成果を達成します。図 3 の左側は従来のトランジスタの断面を示します。ゲートは 1 つの平面に構築されています (そのため、「プレーナ」と呼ばれます)。チャンネルの実効幅を黄色で示します。チャンネル幅はトランジスタのドライブ強度に影響し、チャンネル幅が広いほどドライブ強度が増し、それに伴って性能が向上します。右側に示すトライゲート・トランジスタは、トランジスタの全体的な実装面積を増やさずに 3D 構造で大きなチャンネル幅 (黄色で表示) を得ることによって、ダイ面積を増やさずに性能を向上させる方法を示します。

図 3 : 構造の違いによって性能が向上することを示す、プレーナ・トランジスタとトライゲート・トランジスタの断面図

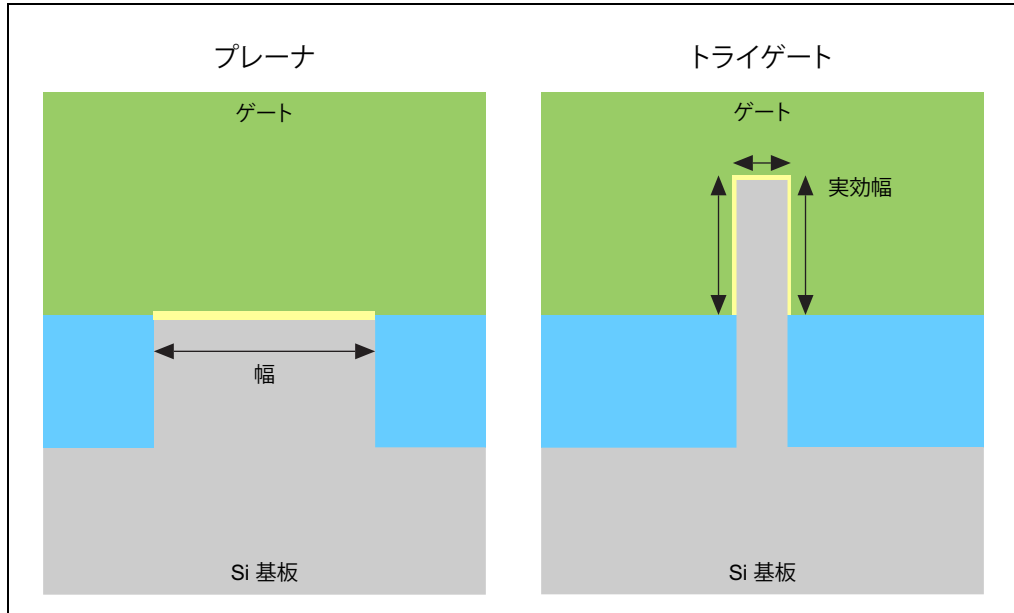


図 3 は、同じゲートで制御する垂直構造(「フィン」)を追加するか、またはフィンを長くしてトランジスタの実装面積を増やさずにチャンネル幅を増加させることによってトライゲート・トランジスタの性能をさらに改善する方法も示しています。

トライゲート・トランジスタは、デジタル・ロジックの性能を向上させるとともに、高速トランシーバなどのアナログ回路にも性能上の利点をもたらします。そのような改善は、トライゲート・トランジスタが提供するゲインが、最新のサブミクロン半導体プロセスによるプレーナ・トランジスタより大きいことに由来するものです。ゲインはアナログ回路デザインに不可欠な要素であり、以下のような重要な利点をもたらします。

- 出力インピーダンス (ROUT) が高くなることによるノイズ低減の改善
- アンプの確定的なオフセットの減少
- 小信号を増幅する能力によるアンプの精度向上
- 相互コンダクタンス (gm) が大きくなることによるドライブ強度の増加
- 相互コンダクタンスが大きくなることによる  $f_{MAX}$  の増加

図 4 は、相互コンダクタンスとトランジスタ出力インピーダンスの積として表したトランジスタのゲインが、最近のサブミクロン・プロセス全体でどのような傾向を持っているかを示しています。FET トランジスタの相互コンダクタンスは、ゲートとソース間の電圧変化の関数として変化するドレイン電流の変化量を表します。ゲート電圧の変化が小さくても大きな電流を駆動できる、高い値が望ましい値です。トランジスタの出力インピーダンスは、そのトランジスタが駆動する回路から見たインピーダンスです。値が高ければ演算増幅器 (オペ・アンプ) やレギュレータの絶縁度が上がり、ノイズに対する感度が低下してジッタが減少します。

図 4：トライゲート・トランジスタがアナログ性能を改善（インテル・デベロッパー・フォーラム、2012 年 6 月）

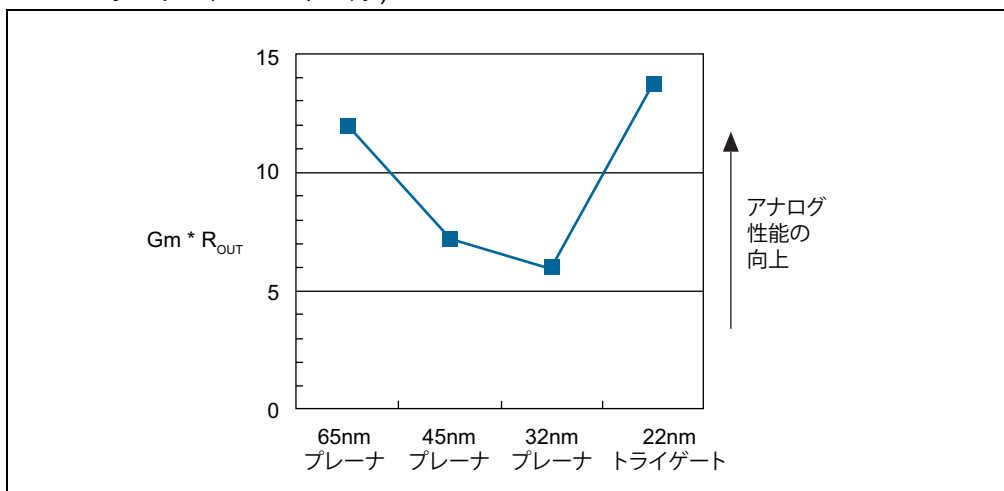


図 4 は、最近の世代の半導体プロセスでのプレーナ・トランジスタのゲインが低下傾向にあることも示しています。ゲインが低下すると高速トランシーバの開発が困難になります。同じ性能を得るには、ゲート長を長くしてゲインを高める必要があるため、ローディングが増えて消費電力とダイ面積の両方が増加します。ゲインが低いほどオフセット・エラーも大きくなるため、補正のためのキャリブレーション回路や調整回路を追加しなければならず、消費電力とダイ面積の増加につながります。図 4 は、22nm トライゲート・トランジスタでは前世代のプレーナ・トランジスタよりゲインが大幅に増えていることを示しています。

トライゲート・トランジスタに起因するゲインの増加は、Stratix 10 デバイスがサポートする 56 Gbps のトランシーバ・データ・レートを提供する上での重要な実現手段です。14nm トライゲート・プロセスはインテルの第 2 世代のプロセスであり、第 1 世代の 22nm プロセスや、他社のどの FinFET プロセスよりも微細化されているため、面積と消費電力がさらに削減されます。その結果、プログラマブル・ロジック・デバイスで初めて 56 Gbps のデータ・レートを実現するだけでなく、そのシグナル・インテグリティ品質レベルで可能な最小の消費電力で実現します。

## 業界初の性能：浮動小数点 DSP 用ハード IP と HMC および DDR4 SDRAM に対する最高レベルのサポート

アルテラはまた、高い評価を得ている可変精度 DSP ブロックを改善しており、単精度浮動小数点演算に最適化された構造を追加します。この機能強化によって、Arria 10 デバイスは最大 1.5 TFLOPS、Stratix 10 デバイスは 10 TFLOPS 以上という、市販のデバイスでは提供された実績がない性能レベルを提供します。この DSP の改善に対応し、HMC と DDR4 メモリをサポートすることによってメモリ帯域幅も増加します。HMC のサポートでは、効率を 67% とすると、1 つの Stratix 10 デバイスがそれぞれ 2.5 Tbps を超える最大帯域幅 (トランシーバ (TX) とレシーバ (RX) を含む) を持つ最大 32x4 レーンを 15 Gbps でサポートします。

同様に、1 つの Stratix 10 デバイスは、最大 12 の 72 ビット幅 DDR4 SDRAM インタフェースをそれぞれ 2.67 Gbps でサポートするため、合計 2.3 Tbps のメモリ帯域幅が得られます。表 1 は、前世代の Stratix V FPGA から改善された Stratix 10 FPGA の主な

性能の一覧です。これは、デバイスの特性の性能が 2 倍以上に向上したことを示しています。

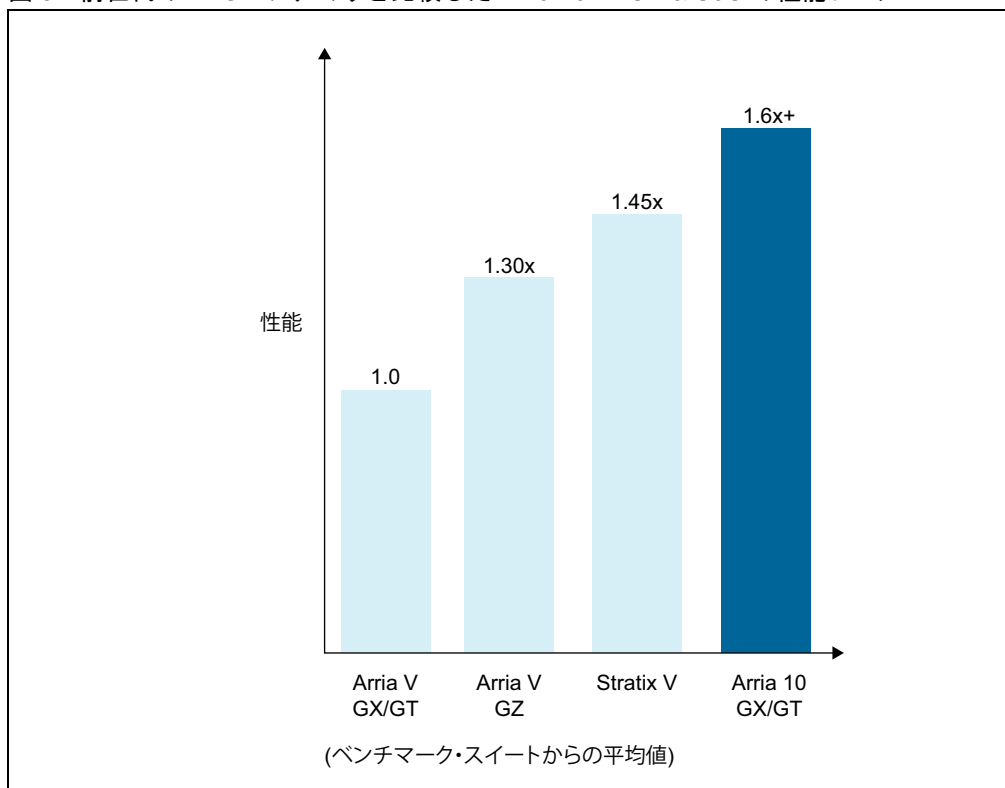
表 1. 前世代の Stratix V FPGA から向上した Stratix 10 デバイスの性能一覧

	Stratix V FPGA	Stratix 10 デバイス	性能向上の 比較
集積度	952 K LE	5,500 K LE	5.7 倍
浮動小数点性能	1 TFLOPS	10 TFLOPS	10 倍
コア性能	500 MHz	1 GHz	2 倍
トランシーバ帯域幅	1.8 Tbps	7.4 Tbps	4 倍
DDR メモリ帯域幅	0.8 Tbps	2.3 Tbps	2.9 倍
<b>性能が 2 倍以上に向上した Stratix 10 FPGA &amp; SoC</b>			

## Arria 10 FPGA & SoC の性能向上

Arria® 10 FPGA & SoC は、アルテラの Generation 10 製品ポートフォリオのミッドレンジ部分を構成し、従来どのミッドレンジ FPGA の機能からも得られなかった領域の性能を提供します。図 5 に示すように、Arria 10 デバイスは前世代の Arria V FPGA よりも 60%、Stratix V FPGA よりもスピード・グレードが 1 段階高速です。Stratix V FPGA は 28nm 製品世代で最速の FPGA であり、28nm で最速の競合品よりも 1 スピード・グレード分高速な性能を提供します。Arria 10 デバイスは、既存の最速 FPGA よりも高い性能を低い消費電力で提供することにより、現行世代のハイエンドおよびミッドレンジ 28nm FPGA デザインに対する理想的な消費電力削減パスを提供します。

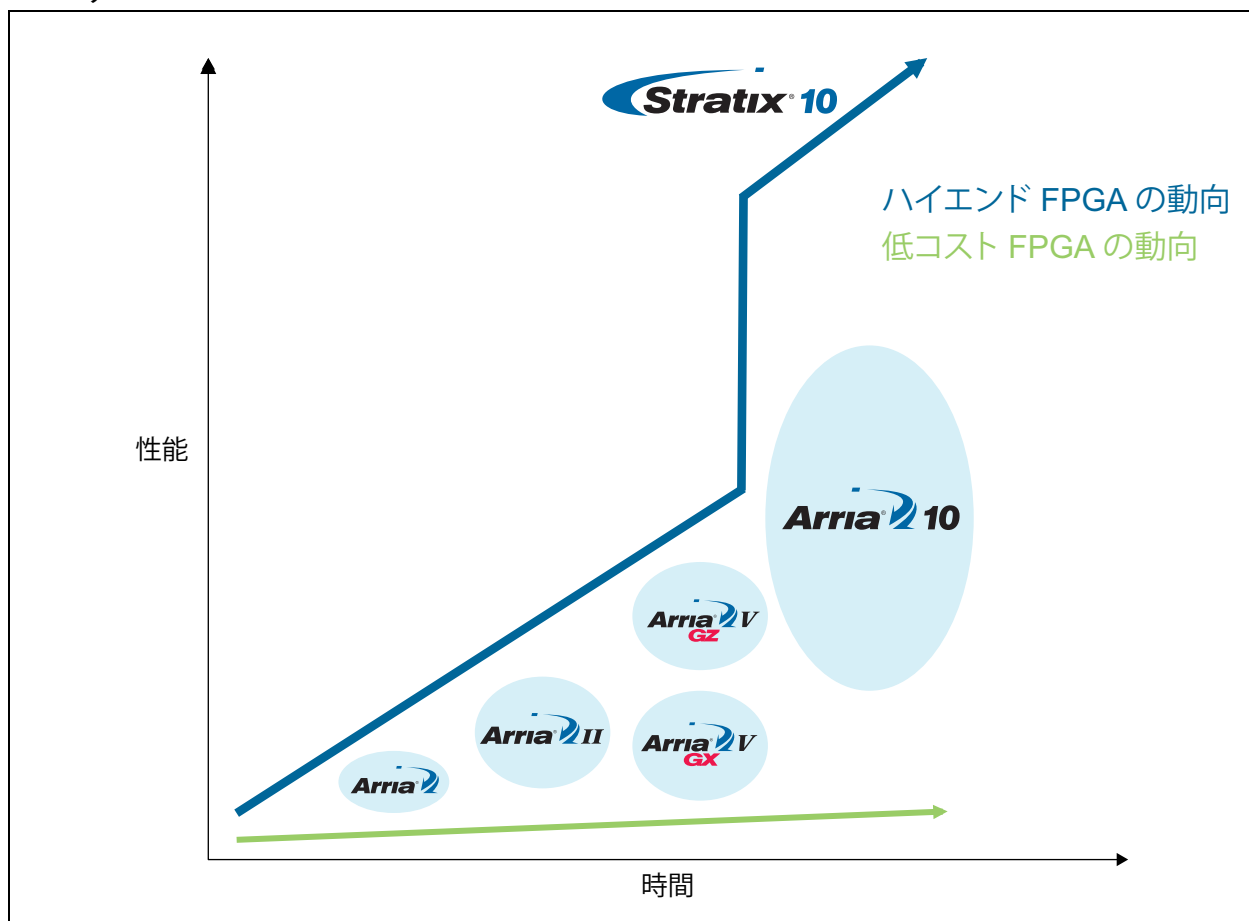
図 5 : 前世代の FPGA ファミリと比較した Arria 10 FPGA & SoC の性能レベル



Arria 10 デバイスが達成したこの著しい性能向上は、前世代のミッドレンジ FPGA 製品からの大幅な転換点です。アルテラは、2007 年に Arria GX FPGA にてミッドレンジ FPGA カテゴリの製品の提供を開始しました。当時の Stratix デバイス・ファミリなどのハイエンド FPGA と Cyclone® デバイス・ファミリのような低コスト FPGA 間の性能ギャップは、図 6 に示すように、それらの間に位置する別の製品カテゴリの明確な市場ニーズが対処されないほど広いものでした。

図 6 は、ミッドレンジ製品に関するもう 1 つの現実を表しています。時間の経過とともにハイエンドと低コスト製品間のギャップが広がり、プログラマブル・ロジック・ベンダーは、さまざまな製品を提供してこのギャップに対応することになります。青色で示した領域の Arria GX、Arria II、および Arria V FPGA は、過去 3 世代にわたってアルテラがこのギャップにどのように対処したかを表しています。図 6 はまた、次世代製品に 14nm トライゲート・プロセス採用の FPGA の投入という目覚ましい出来事による大きな変化、またその結果としてハイエンド FPGA と SoC の段階的な性能向上についても示しています。この急激に広がるギャップに対処するため、アルテラは Arria 10 FPGA & SoC の機能と性能を従来のミッドレンジ FPGA の期待よりもはるかに向上させ、さらに集積度の範囲も広げて、ミッドレンジ FPGA と SoC を新たに定義しました。

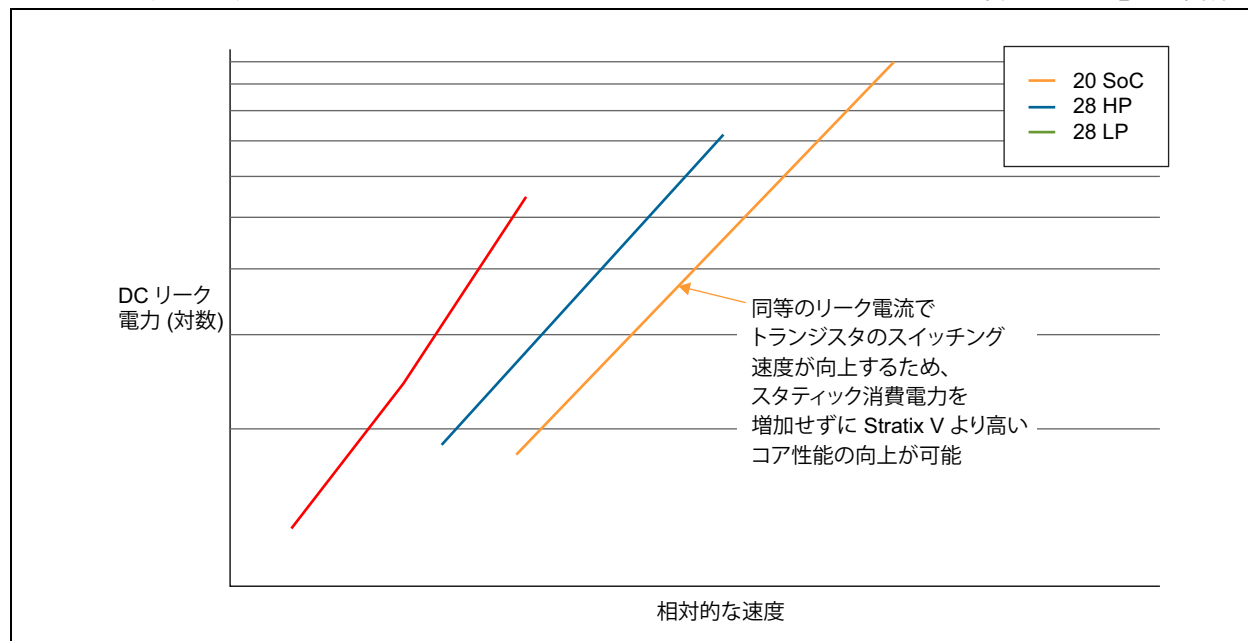
図 6 : ハイエンド FPGA と低コスト FPGA 間の性能ギャップの広がりに対処するミッドレンジ FPGA カテゴリ





Arria 10 デバイスで性能レベルが向上した要因は、20SoC 半導体プロセス、アーキテクチャの改善、および従来はハイエンドの FPGA にしかなかった高速のトランシーバおよび I/O インタフェース・レートのサポートの 3 つです。図 7 は 20SoC プロセスによる性能上の利点を示します。図 7 はまた、リーク電力レベルが同じでも、20SoC プロセスでは 28HP プロセスよりスイッチング速度が高いトランジスタが得られることも示しています。これは、同じリーク電力でも 20SoC プロセスで製造した半導体デバイスの方が高性能であることを意味するため、トランジスタをうまく選択すれば、20SoC ベースのデバイスが Arria 10 デバイスと同様に低リーク電力で高い性能を発揮できる可能性があります。

図 7 : 28HP、28LP、および 20SoC プロセスにおけるトランジスタのスイッチング速度とリーク電力の関係



Arria 10 デバイスは、アーキテクチャの強化による性能向上の恩恵も受けます。Arria 10 デバイスの多くのルーティング・パスは、以前のアーキテクチャのものより高速化されました。ハード・メモリ・コントローラも強化され、サポートするメモリ・インタフェース・レートが高くなり、インタフェースのビット幅も最大 144 ビットに広がりました。同様に、トランシーバのデータ・レートも改善され、Arria 10 デバイスは 28 Gbps のデータ・レートで動作する業界初の 20nm トランシーバを搭載します。アルテラは、32 Gbps で動作する世界初の 20nm トランシーバを 2013 年 4 月に実証し、業界をリードするトランシーバの機能を早期に検証しました。これらのトランシーバは、ミッドレンジ FPGA では世界で初めて HMC もサポートします。したがって、Arria 10 FPGA は 1 つのデバイスで 1.2 Tbps までのシリアル・メモリ帯域幅をサポートできるようになります。表 2 は、前世代の Arria FPGA から改善された Arria 10 の性能の一覧です。これは、デバイスの主な特性の性能が 2 倍以上に向上したことを示しています。

表 2. 前世代の Arria V GX/GT デバイスと比較した Arria 10 デバイスの性能一覧

	Arria V GX/GT FPGA	Arria 10 FPGA	性能向上の 比較
集積度	500K LE	1,150K LE	2 倍
マルチプライヤ	2,312	3,356	1.5 倍
コア性能	300 MHz+	500 MHz+	1.6 倍

表 2. 前世代の Arria V GX/GT デバイスと比較した Arria 10 デバイスの性能一覧

	Arria V GX/GT FPGA	Arria 10 FPGA	性能向上の 比較
トランシーバ最大データ・レート	10 Gbps	28 Gbps	2.8 倍
DDR メモリ・インタフェースの 速度	1,333 Mbps	2,666 Mbps	2 倍
性能が 2 倍に向上した Arria 10 FPGA & SoC			

## 性能の向上に伴う消費電力の課題に対処

次世代 FPGA と SoC は、高い性能を提供する最新の半導体テクノロジーの恩恵を受けようとしています。しかし、継続的なプロセスの微細化によって半導体の集積度と機能が向上するにつれて、リーク電力が増えるという重大な問題も生じています。それぞれのプロセスの進歩に伴ってリーク電力が増えることにより、それぞれのプロセスが微細化された価値がいつも損なわれてきました。リーク電力の問題は非常に深刻なため、International Technology Roadmap for Semiconductors (国際半導体技術ロードマップ: ITRS) の 2009 年の報告では、この状況を実在する危機の観点から記述しています。

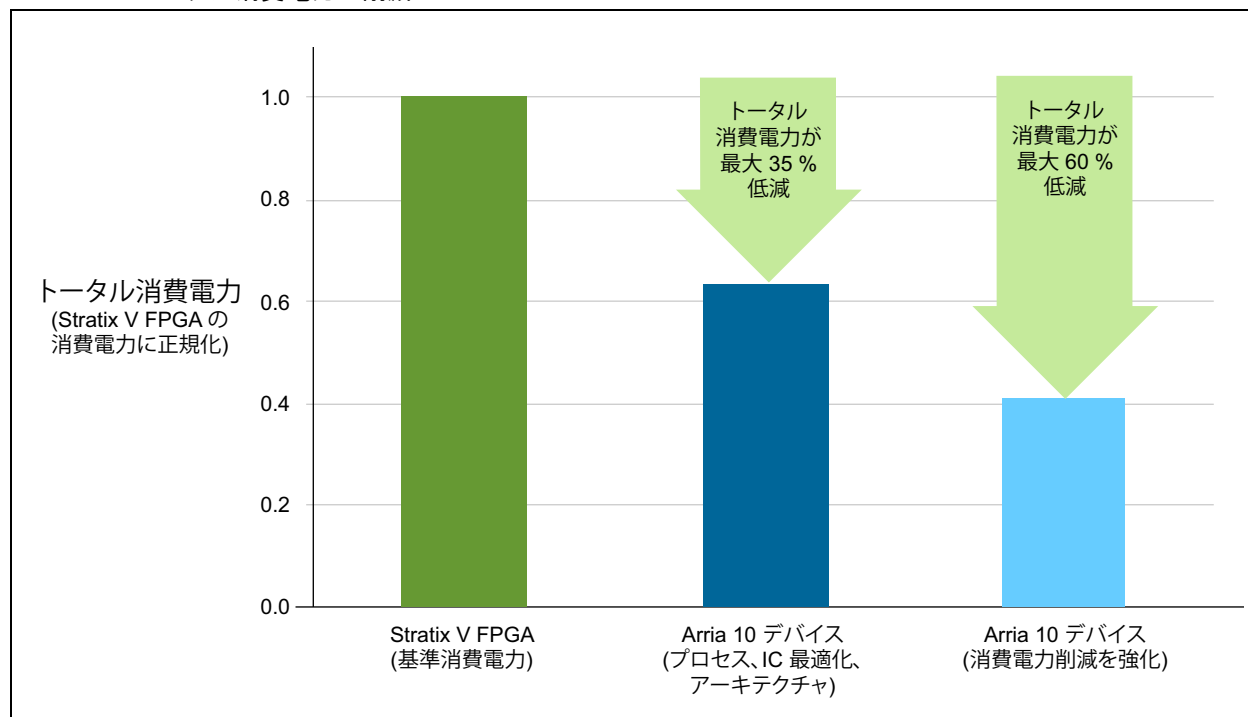
*消費電力が危急の課題である中、そのリーク(スタティック成分)が長期的には業界の主な危機になり、数十年前にバイポーラ・テクノロジーが脅かされて最終的に廃棄されたように、CMOS テクノロジーそのものの生き残りが脅かされます<sup>(14)</sup>。*

この問題は重大であったため、大規模な取り組みによって対処した結果、半世紀にわたる従来の CMOS トランジスタのアーキテクチャに対する挑戦に大きな進歩が見られました。これらの技術革新が半導体に新しい機能を導入する動機になりますが、アルテラは次世代の製品ポートフォリオにプログラマブル・ロジックを利用する最初の企業の 1 社になるため、とりわけプログラマブル・ロジックに新しい機能を導入する動機になります。

## 次世代 FPGA と SoC における消費電力の削減

Arria 10 デバイスは前世代の FPGA から大幅に消費電力を削減していますが、これは 20nm プロセス、アーキテクチャ、および一連の包括的な消費電力低減機能によるものです。Arria 10 デバイスは、前世代の 28nm FPGA のトータル消費電力に対し、最大 60% の低減が可能です。図 8 はこの電力削減を表しています。左のバーは、28nm Stratix V FPGA に実装した一連のターゲット・アプリケーションが消費する平均消費電力を示します。中央の濃い青色のバーは、Arria 10 デバイスを使用したときにプロセス、アーキテクチャ、および電圧の差によって削減された消費電力を示します。例えば、20nm プロセスは 28nm プロセスより形状が微細化したためにキャパシタンスが減り、そのためにダイナミック消費電力が低下します。図 8 の最も右側のバーは、すべての電力削減機能を最大限に適用した場合に得られる、Arria 10 デバイスに実装されたデザインの潜在的なトータル消費電力を示します。これらの消費電力削減機能によってコア・ダイナミック消費電力とコア・スタティック消費電力の両方を削減できる結果、同じデザインを 28nm Stratix V FPGA に実装した場合より消費電力が最大 60% 少ないデザインが実現できます。

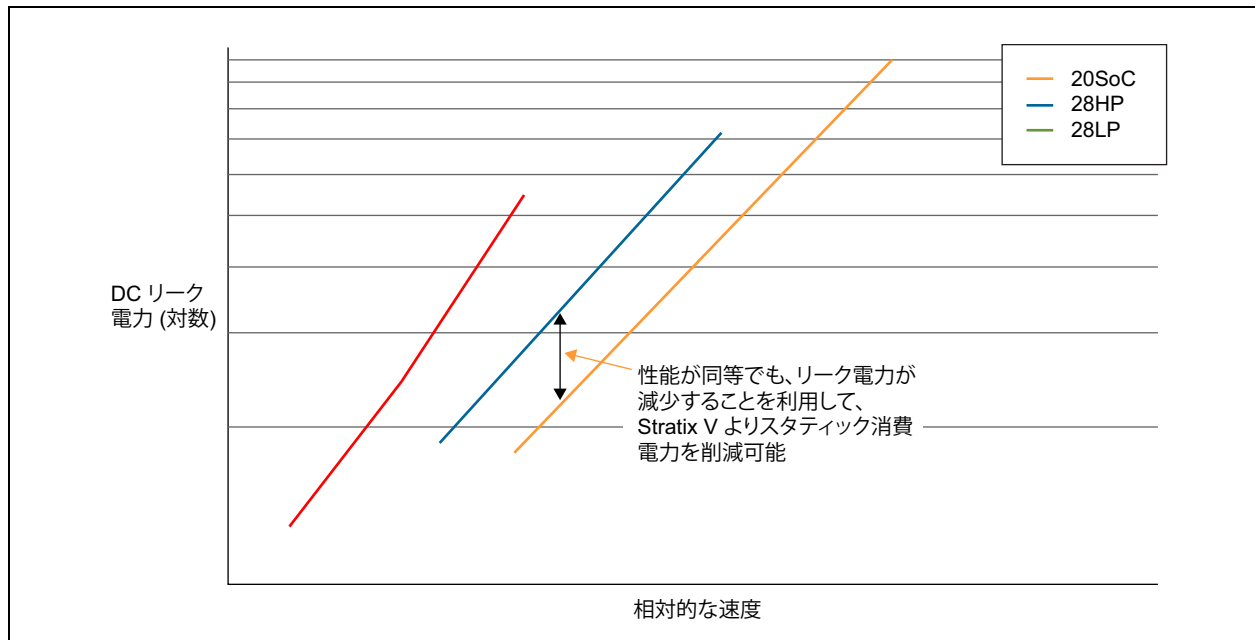
図 8 : 前世代の 28nm FPGA (Stratix V デバイス) と比較したアルテラ 20nm デバイス (Arria 10 FPGA & SoC) でのトータル消費電力の削減



Arria 10 は、メモリ・コントローラ、PHY の他、同じ機能をプログラマブル・ロジック・ファブリックに実装した場合よりキャパシタンスと消費電力も削減するフォワード・エラー訂正 (FEC) など、さらに多くのハード・シリコン IP も搭載しています。その上、Arria 10 デバイスは 28nm ミッドレンジ FPGA より低い電圧で動作します。最後に、アルテラが Arria 10 の製造に採用しているプロセス (TSMC の 20SoC プロセス) は、Stratix V FPGA に使用する 28HP プロセスよりリーク電流が少ないトランジスタをいくつか提供しているため、スタティック消費電力が減少します。

28HP プロセス、20SoC プロセス、およびそれらのリーク電力特性の関係を図 9 に示します。リーク電力を縦軸、トランジスタのスイッチング速度を横軸に示します。青色の線は 28HP プロセスに使用可能なトランジスタを、同様にオレンジ色の線は 20SoC プロセスに使用可能なトランジスタを示します。IC 設計者は、デバイスを構築するために選択したプロセスに使用可能なトランジスタ・デバイスから選択することができます。オレンジ色の線が青色の線より低い部分は、同じスイッチング速度であれば 20SoC プロセスのトランジスタの方がリーク電力の消費が少ないことを示します。

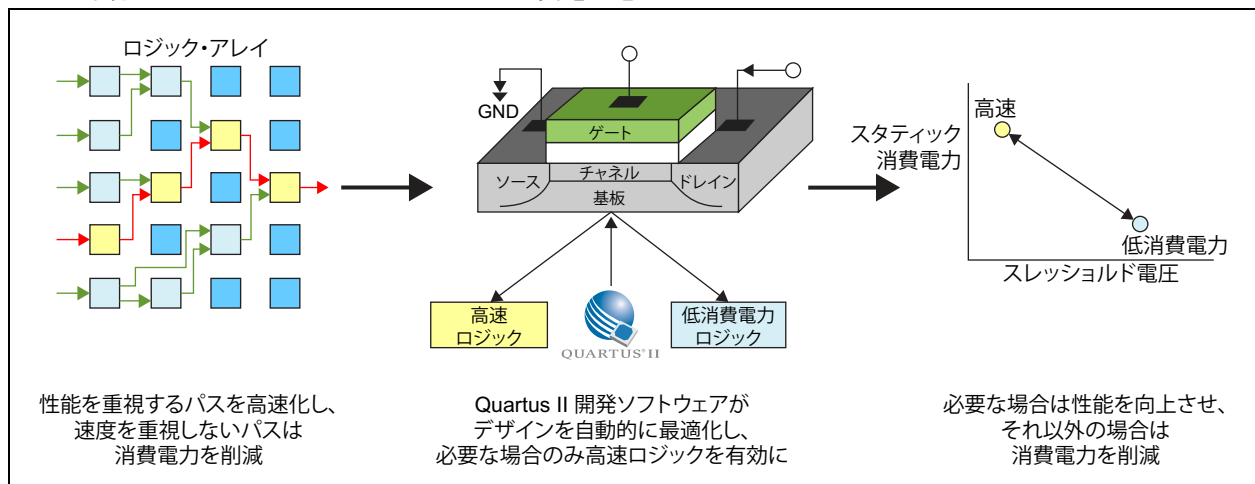
図 9 : 28HP、28LP、および 20SoC プロセスにおけるトランジスタのスイッチング速度とリーク電力の関係



## 消費電力削減機能の包括的なスイート

Arria 10 デバイスは、高集積 FPGA の中で消費電力削減機能が最も充実しています。製品はまず、図 10 に示すように、アルテラが特許を取得したプログラマブル・パワー・テクノロジー (PPT) を提供して、ユーザーが設計した、速度を重視するパスでのロジック・エレメントのスイッチング速度を調整します。この方法では、ユーザーが設計した、速度を重視するパスをアルテラの Quartus® II 開発ソフトウェアが自動的に特定し、関連するロジックを高速モードにします。このような調整は、パス内のトランジスタのスレッシュホールド電圧を低い値に変更することにより、スイッチング速度を上げて実現します。ロジック・ファブリックにある、最高速度を必要としないその他のトランジスタはすべて、スレッシュホールド電圧を上げるように調整されてスタティック消費電力を削減します。PPT により、ロジック・ファブリックまたはデバイス・コアのスタティック消費電力を最大 20 % 削減できます。

図 10 : アルテラの特許済み PPT は、性能を重視するパスを高性能モードにし、その他のロジックを消費電力節約モードのままにしてスタティック消費電力を削減

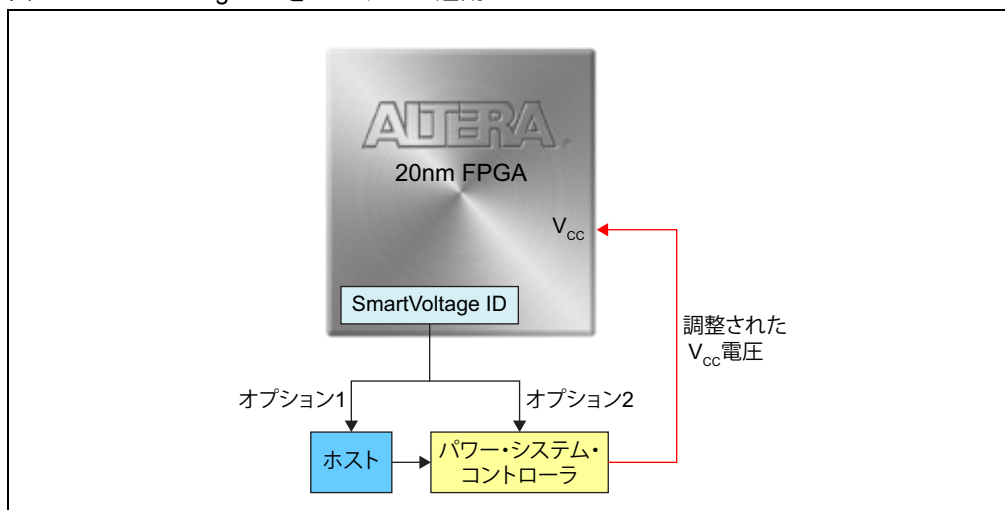


## SmartVoltage ID

Arria 10 の 2 つ目の消費電力削減機能は SmartVoltage ID です。SmartVoltage ID は、半導体プロセスのばらつきを考慮して、指定された性能レベルを維持しながら低電圧動作ができるようにします。これは、今日の多くのマイクロプロセッサやグラフィックス・プロセッサに見られるものと同様の機能です。半導体プロセスのばらつきとは、ある分布全体に散らばるデバイスには他のものより高速なものと低速なものがあることを意味します。アルテラは、標準  $V_{CC}$  電圧レベルで給電する限り、デバイスが指定された最低レベルの性能を満たすことを保証します。分布とは、標準  $V_{CC}$  電圧レベルで給電したときに、いくつかのデバイスが仕様値より高速であることを意味します。そのような高速デバイスは、標準より低い  $V_{CC}$  電圧レベルで給電しても指定された最低性能を満たします。

アルテラは、製造プロセスですべての Arria 10 をテストし、それぞれを SmartVoltage ID でプログラムします。SmartVoltage ID には、性能仕様を満たして動作できる最小の  $V_{CC}$  電圧が示されています。Arria 10 デバイスのユーザーは、SmartVoltage ID を使用してデザインの消費電力を削減することを選択できます。図 11 は、システムで SmartVoltage ID を使用して消費電力を削減する方法を示します。Arria 10 デバイスは標準  $V_{CC}$  電圧レベルでパワーアップします。その後、インテリジェント・ホスト、またはこの機能を持つパワー・システム・コントローラが Arria 10 デバイスから SmartVoltage ID レベルを読み出します。この機能は多くの電源レギュレータ製品に搭載され、プロセッサや GPU が駆動します。

図 11 : SmartVoltage ID をシステムに適用



Arria 10 デバイスは、I<sup>2</sup>C や PMBus など、業界の標準的な方法をサポートして SmartVoltage ID と通信します。すると、SmartVoltage ID に対応して調整された低い電圧を電源レギュレータが適用して消費電力が削減されます。

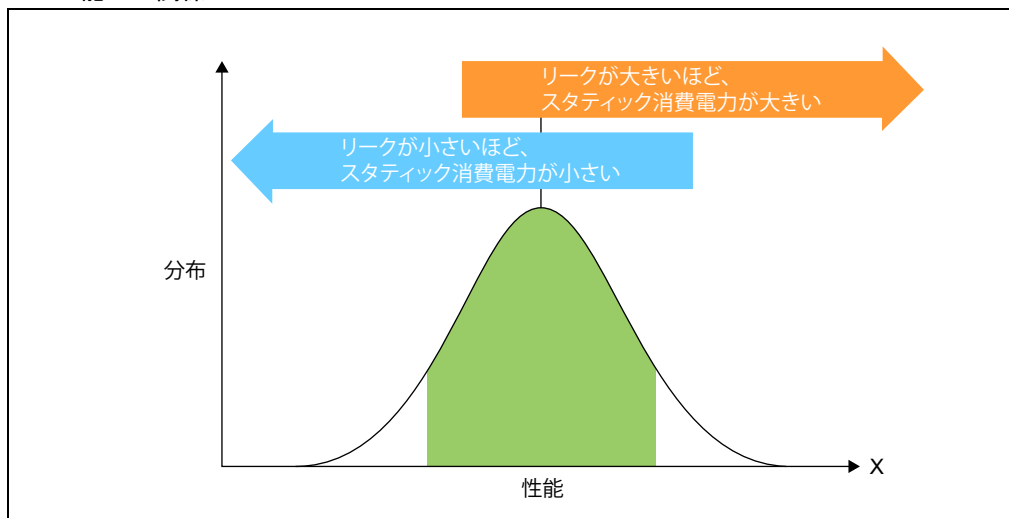
アルテラは、現在実装している SmartVoltage ID により、SmartVoltage ID 機能を使用していないデバイスのワースト・ケースでのスタティック消費電力より最大 35 % 低い最大スタティック消費電力を保証します。ユーザーはワースト・ケースに対応した電源レギュレータを設計しなければならないため、この低いスタティック消費電力により消費電力が削減されます。また、SmartVoltage ID を使用するとダイナミック消費電力も削減される場合があります。これはさまざまなデバイスで明らかですが、実際の SmartVoltage ID 値はデバイスごとに異なる可能性があるため、どのデバイスでも保証されるわけではありません。

例えば、高性能デザインを実行する 100 万ロジック・エレメント相当の Arria 10 デバイスで、 $V_{CC}$  レールが 40 アンペアを消費するとします。標準  $V_{CC}$  電圧である 0.9V での消費電力は 36W になります。SmartVoltage ID を使用しこのデバイスの実際の標準  $V_{CC}$  電圧は 0.86V になった場合、消費電力は 34.4W になります。1 台のデバイスを 1 年間稼働させると、14 キロワット時 (kWh) 超の節約になります。システム (ユーザーでの設置) あたり数千個以上になる可能性があるデバイス数を乗じると、運用費用が大幅に削減されることになります。

## 低スタティック消費電力デバイス・バージョン

Arria 10 FPGA & SoC のもう 1 つの消費電力削減オプションとして、低スタティック消費電力バージョンがあります。アルテラは、半導体製造プロセスに起因する分布があるためにこれらのデバイスを提供できます。どの製造分布でも、リーク電流が大きいためにスタティック消費電力が高いデバイスがあります。同様に、リーク電流が小さいためにスタティック消費電力が低いデバイスもあります。通常、性能が高いデバイスはリーク電流も高く、その逆も言えます。この関係を図 12 に示します。

図 12 : 半導体デバイス全体でのリーク電力特性とスタティック消費電力の分布および性能との関係



通常、アルテラのような半導体メーカーは、ある性能レベルに対する最大スタティック消費電力を仕様として定めます。例えば、図 12 の緑色の部分に対応する性能レベルについて考えます。緑色部分の右側に分布するデバイスは性能レベルを満たしますが、スタティック消費電力も高くなります。通常は、緑色部分の右側のデバイスに対して決められたワースト・ケースのスタティック消費電力で性能レベルを満たす、すべてのデバイスを提供します。しかし、アルテラは、分布の緑色部分にあるデバイスに低スタティック消費電力を意味する「L」の文字を付けて、別の注文コードで提供します。「L」デバイスは、標準デバイスよりトータル・スタティック消費電力が最大 25% 低くなります。性能レベルを満たす分布内のすべてのデバイスを含む標準デバイスも、消費電力をそれほど重視しないお客様向けに提供されます。標準デバイスは「S」の文字で示されます。

## V<sub>CC</sub> PowerManager

Arria 10 デバイスには、V<sub>CC</sub> PowerManager と呼ばれる、デバイスの電圧を調整するためのオプションもあります。この機能により、性能と引き換えに SmartVoltage ID で可能な削減より大きな消費電力の削減を達成できます。V<sub>CC</sub> PowerManager を有効にした Arria 10 デバイスは、標準 V<sub>CC</sub> 電圧である 0.9V または設定した低電圧レベルで動作させることができます。V<sub>CC</sub> PowerManager デバイスも、前述の「L」デバイスと同様にスタティック消費電力が低くなります。標準 V<sub>CC</sub> 電圧レベルで給電した V<sub>CC</sub> PowerManager デバイスは -1 スピード・グレードで動作し、標準的なダイナミック電力と最大 30 % 低いスタティック電力を消費します。それより低い電圧レベルでは、それに応じて低いダイナミック電力とスタティック電力を消費し、-3 スピード・グレード相当の性能レベルで動作します。V<sub>CC</sub> PowerManager デバイスには、2つの電圧で動作が可能なことを示す「-1M」というラベルが付けられており、この機能を使用することによって、使用しない場合よりデザイン次第ではトータル消費電力を最大 40 % 削減できます。V<sub>CC</sub> PowerManager は、ロジック・リソースの使用率は高くても最高性能のロジック・ファブリックは必要としないデザインに有効な技法です。

表 3 は、Arria 10 FPGA & SoC が提供する消費電力削減オプション、スピード・グレードおよび温度グレードのサポート、および電力上の利点の一覧です。

表 3. Arria 10 FPGA & SoC の消費電力削減オプション

機能	サポートする スピード・ グレード	サポートする 温度グレード	電力上の利点 (標準デバイスとの比較)
プログラマブル・パワー・ テクノロジー	すべて	すべて	コア・スタティック消費電力を最大 20 % 低減
SmartVoltage ID	-2, -3	Industrial、Extended	コア・スタティック消費電力を最大 40 % 低減
低スタティック 消費電力デバイス	-2, -3	Industrial、Extended	スタティック消費電力を最大 25 % 低減
標準スタティック 消費電力デバイス	-1, -2, -3	Industrial、Extended	なし
V <sub>CC</sub> PowerManager	-1	Industrial、Extended	標準電圧でスタティック消費電力を最大 25 % 低減、 または それより低い電圧でトータル消費電力を 最大 40 % 低減

表 4 は、前世代のデバイスと比較した Arria 10 デバイスの電力と性能上の利点の一覧です。

表 4. 前世代のデバイスと比較した Arria 10 デバイスの電力と性能上の利点

Generation 10 製品	比較	性能の向上	消費電力の削減
Arria 10 FPGA & SoC	Arria V GX/GT FPGA	60 % 高速	最大 40 % 削減
	Stratix V FPGA	15 % 高速	最大 60 % 削減

## Stratix 10 FPGA & SoC における消費電力削減

Stratix 10 FPGA & SoC は、14nm トライゲート・プロセスと電力効率の高いアーキテクチャによってその他の高性能 FPGA より消費電力が大幅に少なくなっています。

図 13 に、Stratix 10 デバイスが実証した消費電力の削減を前世代の Stratix V FPGA と比較して示します。Stratix V 標準デバイスから移行したデザインでは、標準的な Stratix 10 デバイスでトータル消費電力を最大 55 % 削減できます。また消費電力削減技法を追加すれば、最大 70 % の消費電力削減が可能です。

図 13 : Stratix V FPGA と比較した Stratix 10 デバイスによる消費電力削減

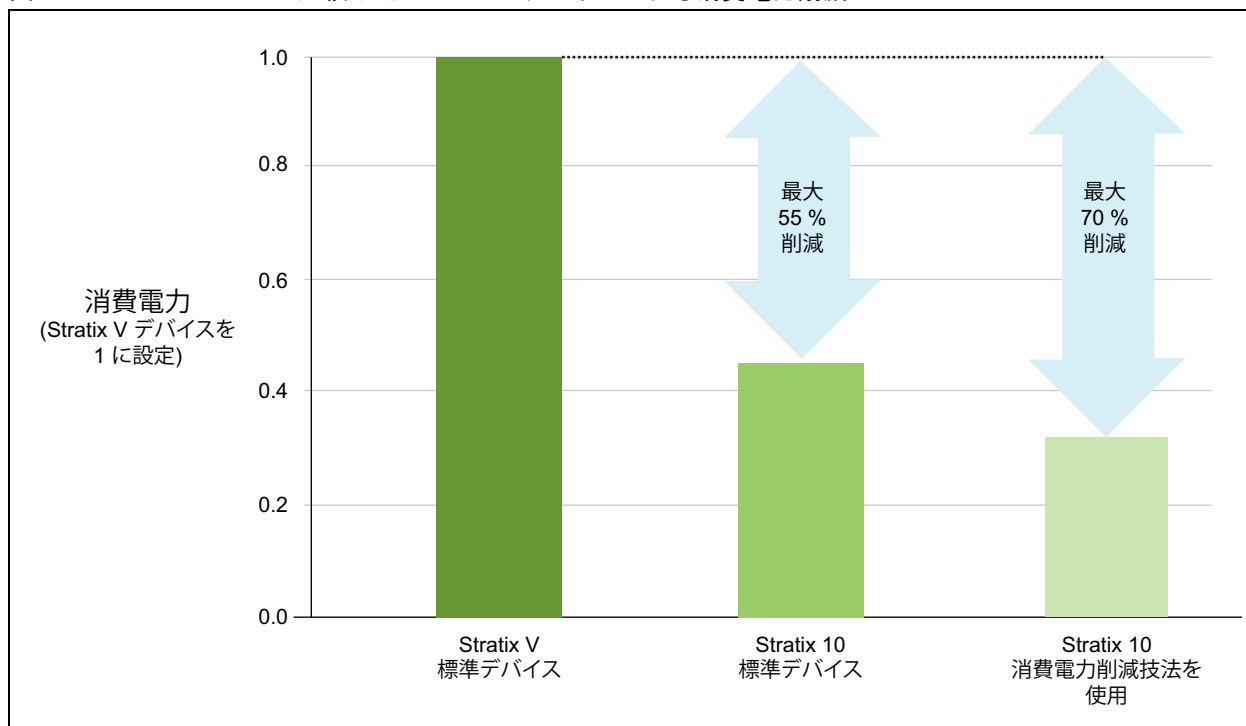
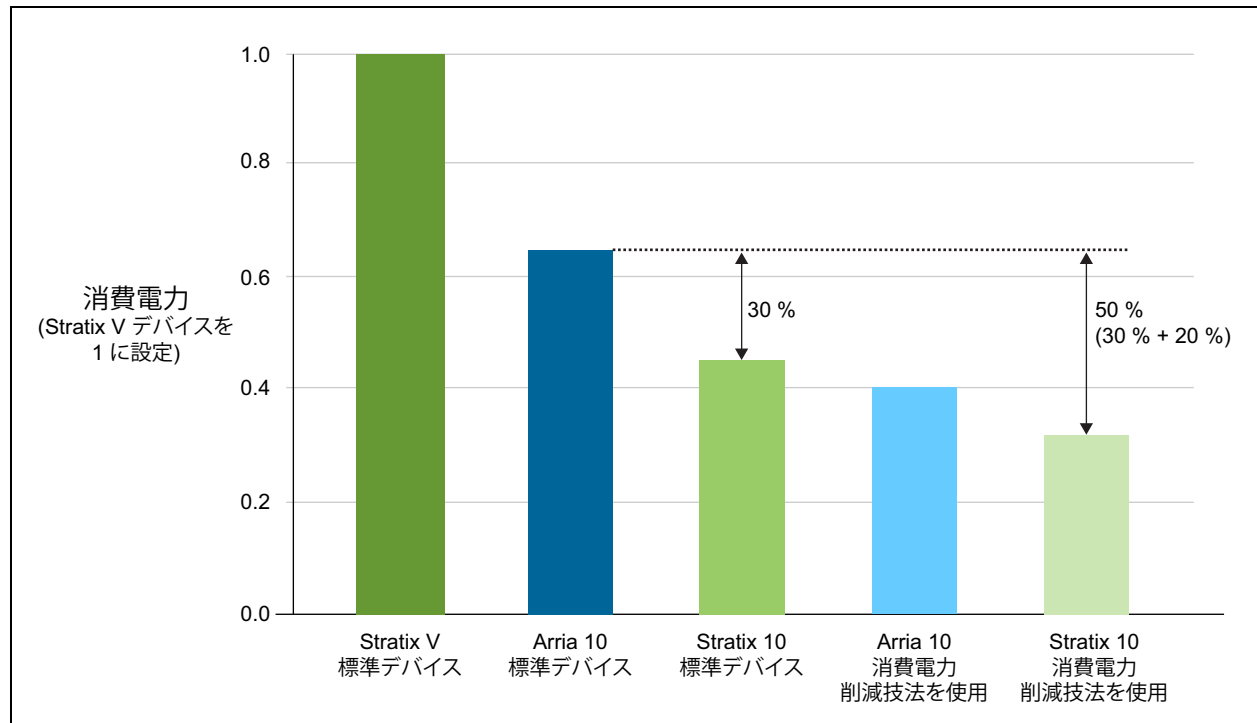


図 14 に、Stratix 10 デバイスでの消費電力の削減を Arria 10 デバイスと比較して示します。濃い緑色の Stratix 10 デバイスのバーと薄い水色の Arria 10 デバイスのバーは、Arria 10 デバイスと Stratix 10 デバイスのいずれからでも、Stratix V デバイスのレベルから約 40 ~ 50 % の消費電力削減が可能であることを示します。しかし、Arria 10 デバイスでこのレベルを削減するには消費電力削減技法を最大限に適用する必要があるのに対して、Stratix 10 デバイスでは、この消費電力削減レベルは Stratix 10 デバイスのプロセスとアーキテクチャの特性のみで達成できます。消費電力削減技法を適用するとさらに削減できるため、Stratix 10 デバイスでは同じデザインの Stratix V デバイスより消費電力を最大 70 % 削減できます。



図 14 : Arria 10 および前世代の Stratix V FPGA と比較した Stratix 10 デバイスの消費電力



## トライゲート・プロセスによるスタティック & ダイナミック消費電力の削減

性能の大幅な向上に加えて、トライゲート・プロセスはスタティック消費電力とダイナミック消費電力の削減の面でも大きな利点をもたらします。トライゲート・トランジスタは、図 15 に示すようにチャネル関連のリークを最小化することによってリーク電力の増加という課題に対処します。

図 15 : トライゲート・トランジスタではチャネル電流制御の効果が向上

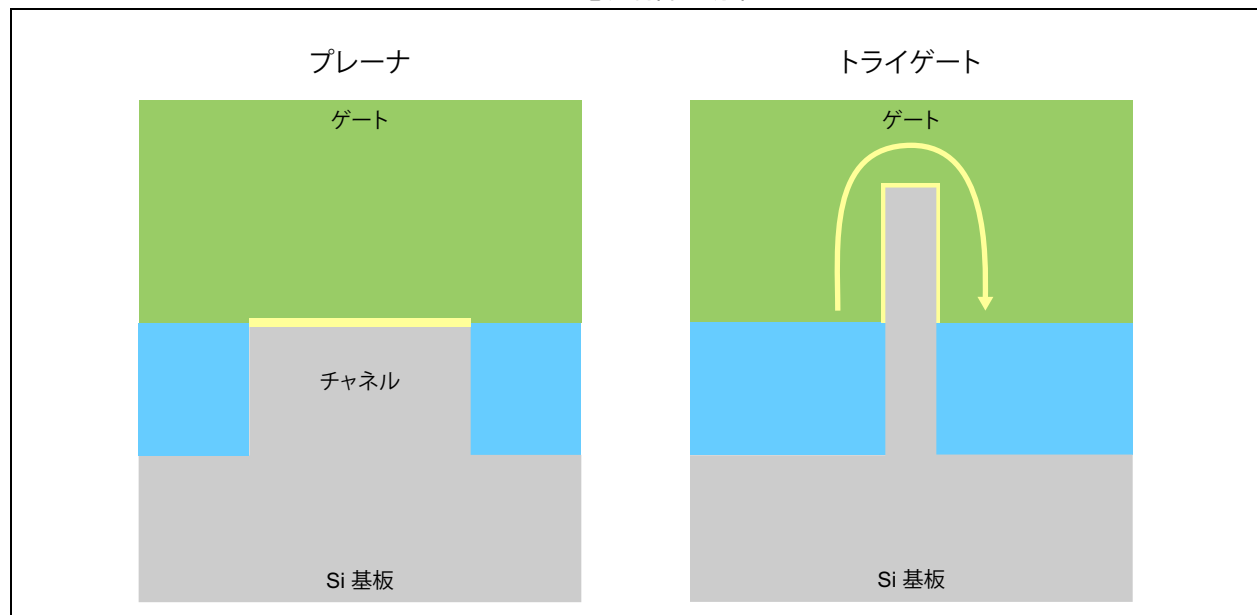
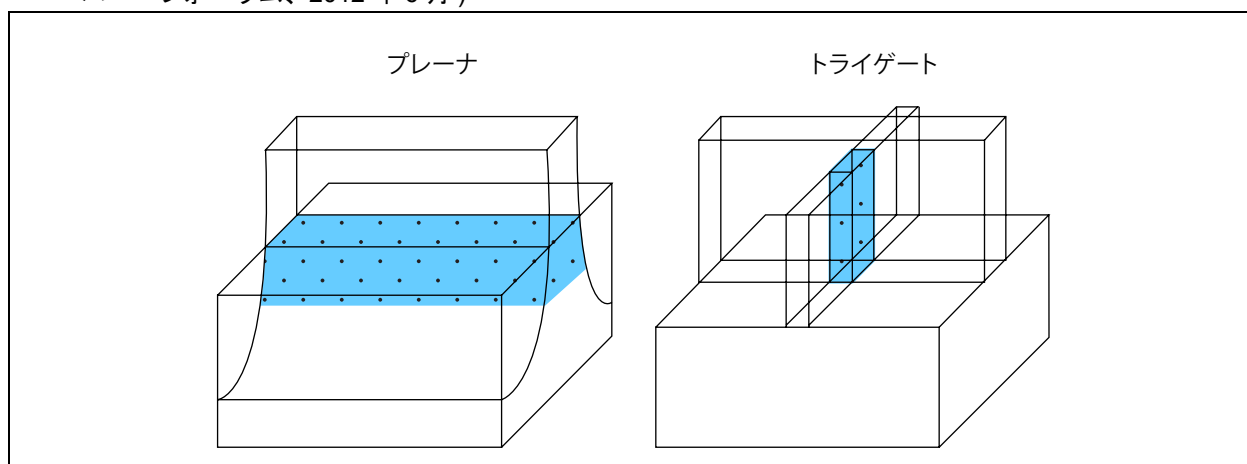


図 15 の左側に示すプレーナ・トランジスタのゲートは、1つの面に沿ったチャンネルにしか影響しません。そのため、ゲートに印加された電圧がチャンネルを流れる電流を遮断できる効果が限定されます。チャンネルを流れる望ましくない電流は、スタティック電力を消費する原因になるリーク電流です。右側に示すトライゲート・トランジスタのゲートはチャンネルを3つの面から囲んでいるため、チャンネルを流れる電流をはるかに効果的に制御できます。

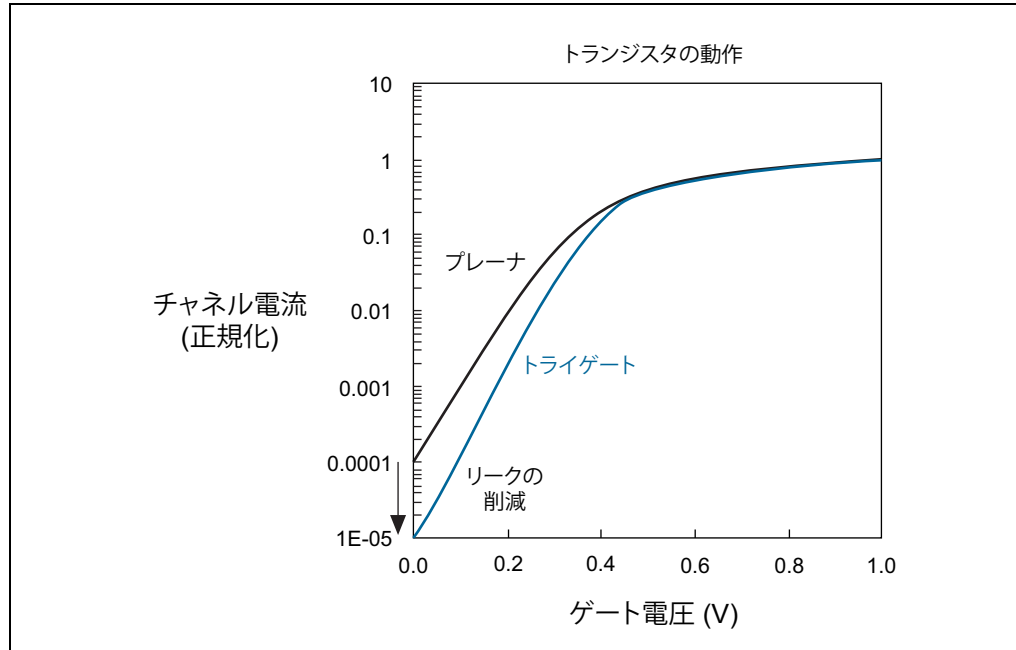
図 16 に、トライゲート・トランジスタがリーク電流を削減するもう1つの方法を示します。図 16 の左側に示すプレーナ・トランジスタでは、チャンネルがドーピングされてスレッショルド電圧を設定し、チャンネルを通るリーク電流の流れを制限します。サブミクロン・レベルでは、ドーピングの変動がわずかであってもリーク電流に望ましくない変動が発生します。トライゲート・トランジスタではゲートがチャンネルの両側(フィン)からチャンネルに影響するため、リークを制御するためのチャンネル・ドーピングは、ほぼ、あるいはまったく必要ありません。トライゲート・チャンネルでのドーピングが少なくなることによってばらつきが減り、ワースト・ケースおよび平均リーク電流が少なくなります。

図 16 : プレーナ・トランジスタより少ないトライゲート・トランジスタでのドーピング (インテル・デベロッパ・フォーラム、2012年6月)



リーク電力を最小化するのにトライゲート・トランジスタが有効であることを図 17 に示します。ここでは、プレーナ・トランジスタに対するトライゲート・トランジスタのチャンネル電流をゲート電圧の関数として示します。グラフの左端に示すように、ゲート電圧が 0V のときにトライゲート・トランジスタのチャンネルを流れるリーク電流は、プレーナ・トランジスタに比べて 1桁少なくなっています。

図 17 : ゲート電圧の関数としてのプレーナとトライゲート・トランジスタの電流 (インテル・デベロッパー・フォーラム、2012 年 6 月)



トライゲート・トランジスタでは、必要な供給電圧が下がるためにプレーナ・トランジスタよりアクティブ電力またはダイナミック消費電力も低くなります。図 18 はアクティブ電力の減少を示します。プロセス・ノード全体でのアクティブ電力は減少する方向にあります。しかし、32nm プレーナ・ノードから曲線がさらに下向きに曲がっていることが示すように、トライゲート・トランジスタの発表により、ダイナミック消費電力はそれ以前のプロセス・ジオメトリの微細化トレンドよりさらに削減されたことが明らかです。

図 18 : プレーナとトライゲート・トランジスタのアクティブ電力 (インテル・デベロッパー・フォーラム、2012 年 6 月)

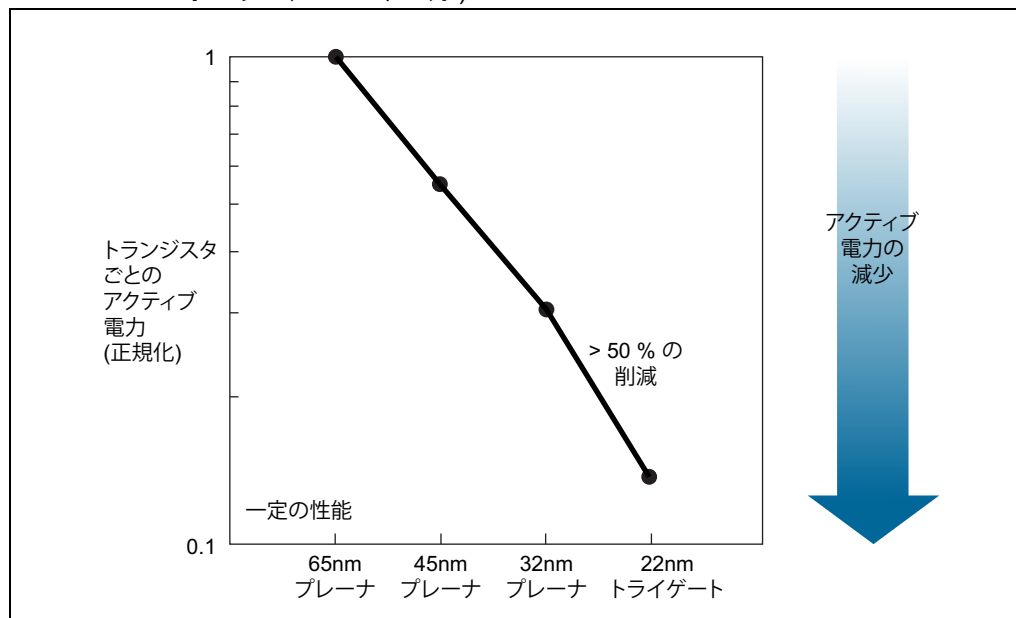


表 5 は、前世代のハイエンド FPGA (Stratix V FPGA) と比較した Stratix 10 デバイスの性能と電力上の利点の一覧です。

表 5. 前世代の FPGA と比較した Stratix 10 デバイスの性能と電力上の利点

Generation 10 製品	比較	性能の向上	消費電力の削減
Stratix 10 FPGA & SoC	Stratix V FPGA	2 倍以上高速	最大 70 % 削減

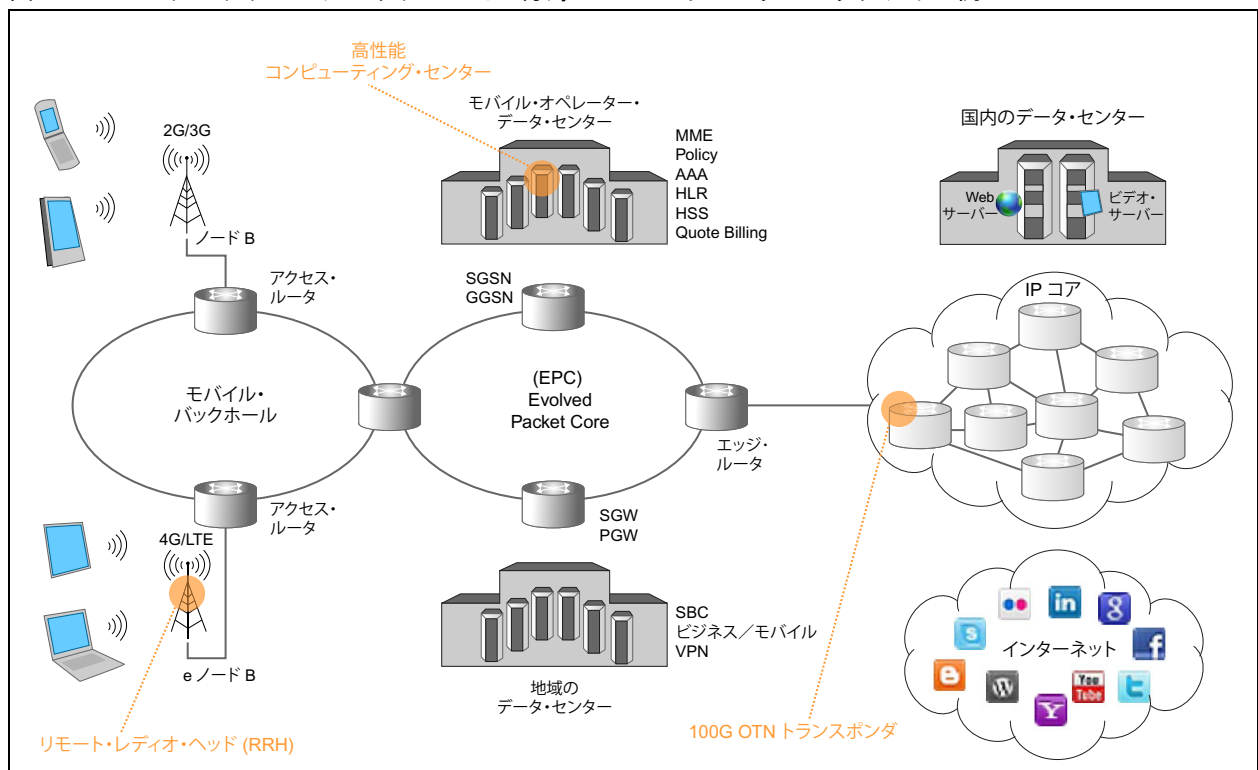
## 次世代 FPGA と SoC の消費電力および性能を ICT の課題に適用

次世代 FPGA と SoC の性能と消費電力機能の影響を評価するために、図 19 に示す ICT インフラストラクチャの例における 3 つのアプリケーション分野を検討します。

3 つのアプリケーション分野は以下のとおりです。

- データ・センターにおける高性能コンピューティング
- ネットワーク・コアの 100G 光伝送ネットワーク (OTN) トランスポンダ
- リモート・レディオ・ヘッド (RRH)

図 19 : 3 つのターゲット・アプリケーション分野での ICT インフラストラクチャの例



## データ・センターにおける高性能コンピューティング

データ・センターでは、実際の処理能力、とりわけワットあたりの最高処理能力が非常に魅力的なため、電力効率が高いことは極めて望ましい特性です。データ・センターで FPGA ベースの電力と性能を最適化できる可能性を理解するために、Smith-Waterman アルゴリズムの例を分析することができます。Smith-Waterman アルゴリズムは、計算やメモリを多用するゲノム探索などのバイオインフォマティクス・アプリケーションによく使用されます。研究や商用アプリケーションに Smith-Waterman を適用する代表的なアプローチには汎用プロセッサや GPU が使用され、結果は CUPS (Cell Updates per Second) で報告されます。CPU、GPU、DSP、FPGA のような複数のプラットフォームにまたがってアルゴリズムを高速化するためのオープン・プログラミング・モデルである OpenCL™ (Open Computing Language) を使用すると、Smith-Waterman に高度に最適化された FPGA ベースのアプローチによって CPU や GPU で可能な電力効率をはるかに上回る効率を実現できます<sup>(15)</sup>。表 6 に、OpenCL を使用したこの FPGA ベースのアプローチの実際のテスト結果を、より一般的な実装と比較して示します。


 OpenCL と OpenCL ロゴは Apple Inc. の商標であり、Khronos の許可を得て使用しています。

表 6. Smith-Waterman アルゴリズムの 3 つの異なる実装とそれらに対応する電力効率 (テスト、サンプル) = (256, 15M) シーケンス

プラットフォーム	スループット (MCUPS)	消費電力 (ワット)	効率 (MCUPS / ワット)
インテル Xeon® Quad-	40	140	0.29
NVIDIA GT620	438	50	8.76
Stratix V A7 FPGA	32,596	25	1,303

表 7 は、現時点で最速である FPGA テクノロジー (Stratix V デバイス) を使用すれば、GPU ベースのアプローチに比べて電力効率が 148 倍を超える実装が可能であることを示しています。

表 7. Arria 10 & Stratix 10 デバイスに実装した Smith-Waterman アルゴリズム、予想スループット、消費電力、および電力効率 (テスト、サンプル) = (256, 15M) シーケンス

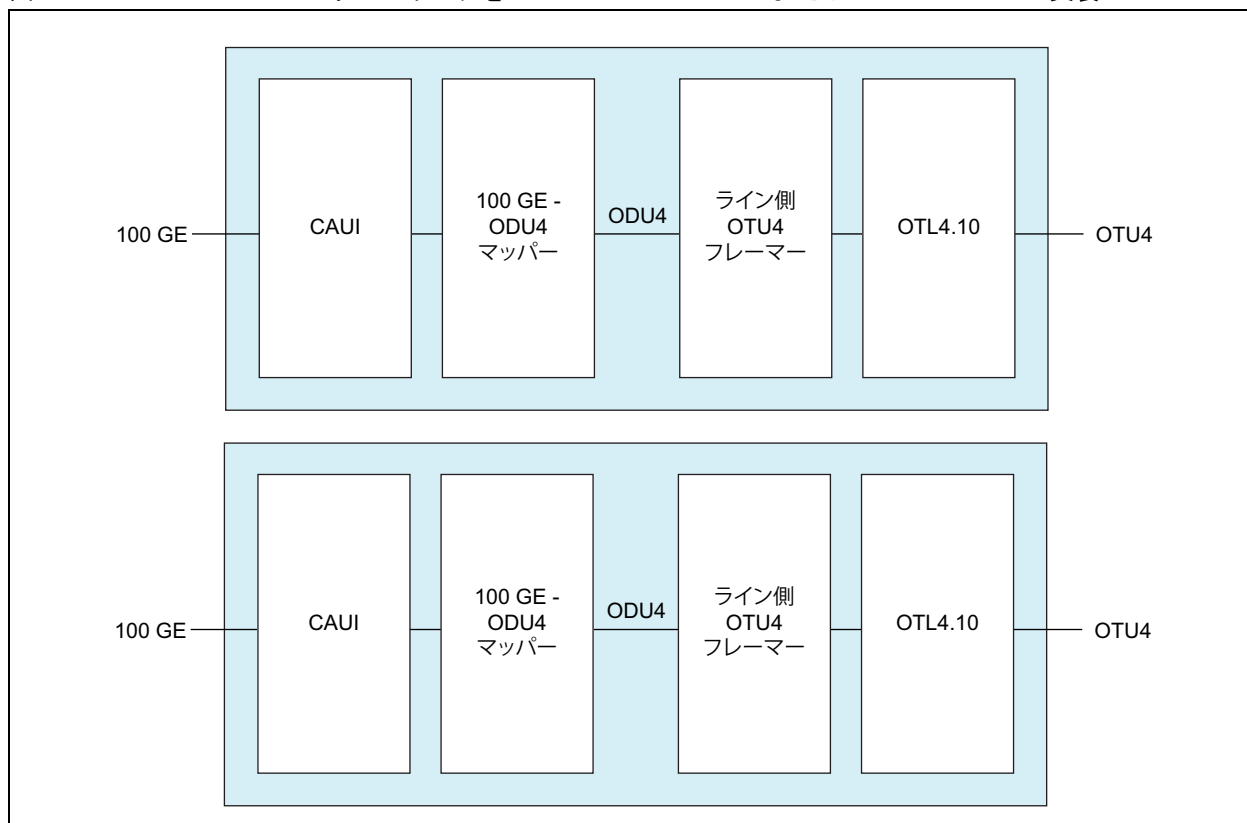
プラットフォーム	スループット (MCUPS)	消費電力 (ワット)	効率 (MCUPS / ワット)
Arria 10	>35,000	18	>1,900
Stratix 10	>70,000	12	>5,800

表 7 は、Arria 10 と Stratix 10 の両方の FPGA で実行される Smith-Waterman の推定結果を示します。GPU ベースのアプローチと比べて、Arria 10 FPGA では同じデザインを 18 ワット未満で実行でき、電力効率は 200 倍以上改善されます。Stratix 10 FPGA の電力効率は GPU ベースのアプローチの 660 倍を超えます。この種類の改善は、FPGA と SoC の高度なカスタマイズ可能性と性能を、サーバーが処理する最も計算を多用する機能に適用した場合にデータ・センター運用業者が達成できる電力効率の種類のインジケータになります。また、OpenCL プログラミング・モデルは、オペレーターが使い慣れた C ベースのアプローチにより、FPGA または CPU、GPU、DSP などの代表的なターゲット・プラットフォームにアルゴリズムを実装できることを意味します。

## 100G OTN トランスポンダ

ネットワーク・コアでは、広範な OTN 機能が FPGA の電力または性能の最適化から恩恵を受けます。具体的なケースは、ある波長のシグナルを別の波長に変換して光伝送を行う OTN トランスポンダです。100 GbE のシグナルを適切なライン・レートに変換して光伝送 (OTU4) を行う OTN トランスポンダを考えます。Stratix V A5 デバイスなどのハイエンド FPGA は、図 20 に示すようにそのようなトランスポンダ 2 つを 1 つのチップに実装できます。

図 20 : 2 つの 100G OTN トランスポンダを 1 つの Stratix V FPGA または Arria 10 FPGA に実装



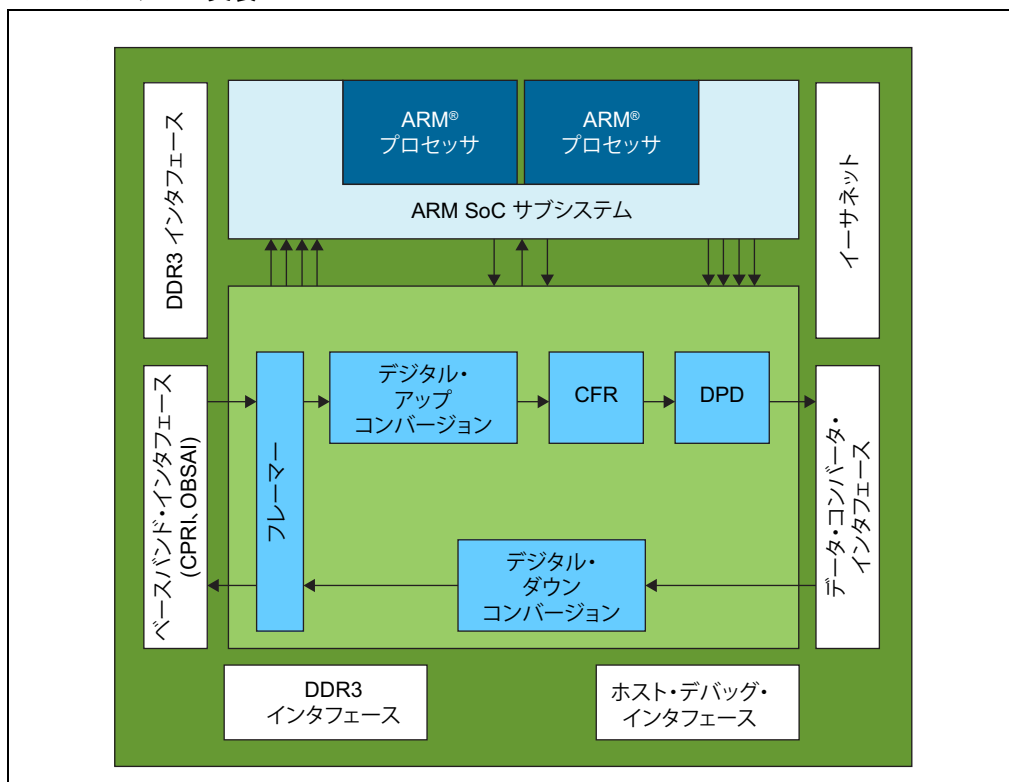
2 つの 100G OTN トランスポンダを実装したこのシングルチップ・ソリューションの消費電力は、Stratix V A5 標準デバイスで 31.4W です。V<sub>CC</sub> PowerManager 機能を持つ 1 台の Arria 10 (10AX057) デバイスに同じデザインを実装した場合の消費電力は 19W を下回り、40 % という大幅なトータル電力の削減になります。さらに、Stratix 10 FPGA は同じ機能でも 14W 未満しか消費せず、現在の最先端の FPGA から 54 % 削減されます。

## リモート・レディオ・ヘッド (RRH)

リモート・レディオ・ヘッド (RRH) はネットワークのエッジにあり、モバイル機器との間でデータを送受信します。RRH のデザインには、熱環境と小型化という別の課題があります。名前が示すように遠隔地にあって外的要素や過酷な条件にさらされるレディオ・ヘッドは、ほぼまたはまったくエアフローがない状態で熱を放散しなければならないため、ほとんどの場合、消費電力は実質的に 20W 以下に制限されます。

FPGA とプログラマブル SoC は統合機能を備えているのでこのようなアプリケーションに最適であり、図 21 に示すようにレディオ・ヘッドのほとんどまたはすべてのデジタル機能を 1 つのチップに統合することができます。

図 21：単一のプログラマブル SoC へのリモート・レディオ・ヘッド (RRH) デジタル・システムの実装



次世代のレディオ・ヘッドでは、無線周波数 (RF) の帯域幅を最大化するために必要なオーバーサンプリングを提供するために、500 MHz 近いクロック周波数が望まれます。今日の FPGA テクノロジーでは、帯域幅が 60 MHz の送信用 2 本、受信用 2 本のコンフィギュレーション (2T2R) を持つ代表的なマルチスタンダード・レディオ・ヘッドは 20W を優に超える電力を消費する可能性があり、RRH の熱条件に起因する厳しい制限を超えます。しかし、Arria 10 デバイスでは、すべてのデジタル機能を 1 つのチップに最大レベルで統合しながら、このタイプの RRH の消費電力を 18W 未満に抑えることができます。

Stratix 10 デバイスは、入手可能な最小のデバイスでもこのアプリケーションに必要な量を超えるリソースを提供するため、100 MHz 程度の高帯域幅を提供する RRH や大きなアンテナ構成 (4T4R、8T8R) を統合した RRH に適しています。Stratix 10 FPGA & SoC は、これらの RRH に対する 736 MHz 以上のターゲット・クロック周波数も十分にその機能範囲に含んでいるため、20W の上限電力を満たしながら厳しい性能要件に対応するのに最適です。

## 結論

今日の ICT 機器開発者は、消費電力を最小限に抑えながら急増する帯域幅の需要に対処する上で大きな問題に直面しています。幸いにも、次世代の最先端 FPGA と SoC は、システム設計者がこの課題に対処できるように設計されています。これらのデバイスは、複数のプロセス・テクノロジー、トランジスタ・デザインへの革新的なアプローチ、新しいアーキテクチャ、および包括的なデバイス・レベルの消費電力機能を活用してコンポーネント・レベルでの製品のカスタマイズを可能にし、消費電力と性能の最適なバランスを達成します。表 8 は、本書で取り上げた ICT アプリケーション分野の観点から Generation 10 製品の性能または電力上の利点をまとめたものです。これらは、次世代 FPGA と SoC から恩恵を受ける ICT テクノロジー・セクター全体の中のごく一部です。

表 8. ICT アプリケーション分野の例に次世代 FPGA と SoC が提供する性能または消費電力上の利点

Generation 10 製品	アプリケーション分野	機能	消費電力/性能上の利点
Arria 10 デバイス	データ・センター	高性能コンピューティング	GPU の 148 倍の電力効率
	コア・ネットワーク	100G OTN トランスポンダ	消費電力を 40 % 削減
	モバイル通信	60 MHz リモート・レディオ・ヘッド (RRH)	20W の温度バジェット内で 500 MHz
Stratix 10 デバイス	データ・センター	高性能コンピューティング	GPU の 200 倍の電力効率
	コア・ネットワーク	100G OTN トランスポンダ	消費電力を 65 % 削減
	モバイル通信	60 MHz リモート・レディオ・ヘッド (RRH)	20W の温度バジェット内で 736 MHz 以上

世界の帯域幅が爆発的な増加方向にあることは確実ですが、ゼタバイト時代への道のりは必ずしも明確ではありません。消費電力と性能は最も目に付く課題の例ですが、最も危険な課題はまだ特定されていない部分です。既知の課題に対応することは、どの企業にも期待される最低限の事柄ですが、予期しない変化や混乱に対応する能力が成否を分けることがあります。プログラマブル・ロジックがもたらす実行と実装の柔軟性の最大の利点はここにあるかもしれません。

## 参考文献

1. 国際電気通信連合、The World in 2011 Facts and Figures : [www.itu.int/en/ITU-D/Statistics/Documents/facts/ICTFactsFigures2011.pdf](http://www.itu.int/en/ITU-D/Statistics/Documents/facts/ICTFactsFigures2011.pdf)
2. Telegeography 社 : グローバルな帯域幅調査サービス : [www.telegeography.com/products/commsupdate/articles/2012/07/18/international-bandwidth-demand-grows-45/](http://www.telegeography.com/products/commsupdate/articles/2012/07/18/international-bandwidth-demand-grows-45/)
3. 国際電気通信連合、The World in 2013 Facts and Figures : [www.itu.int/en/ITU-D/Statistics/Documents/facts/ICTFactsFigures2013.pdf](http://www.itu.int/en/ITU-D/Statistics/Documents/facts/ICTFactsFigures2013.pdf)
4. Cisco Visual Networking Index : [www.cisco.com/en/US/solutions/collateral/ns341/ns525/ns537/ns705/ns827/white\\_paper\\_c11-481360\\_ns827\\_Networking\\_Solutions\\_White\\_Paper.html](http://www.cisco.com/en/US/solutions/collateral/ns341/ns525/ns537/ns705/ns827/white_paper_c11-481360_ns827_Networking_Solutions_White_Paper.html)
5. 2012 Annual Report of the Centre for Energy-Efficient Telecommunications (CEET) : [www.ceet.unimelb.edu.au/pdfs/ceet\\_annualreport\\_2012.pdf](http://www.ceet.unimelb.edu.au/pdfs/ceet_annualreport_2012.pdf)
6. Fujitsu ICT Sustainability: The Global Benchmark 2012 report : <https://www-s.fujitsu.com/global/solutions/sustainability/Fujitsu-Sustainability.html>



7. Computer Weekly :  
[www.computerweekly.com/news/2240164589/Datacentre-power-demand-grew-63-in-2012-Global-datacentre-census](http://www.computerweekly.com/news/2240164589/Datacentre-power-demand-grew-63-in-2012-Global-datacentre-census)
8. Sustainable ICT in Corporate Organizations、国際電気通信連合 :  
[www.itu.int/dms\\_pub/itu-t/oth/4B/04/T4B0400000B0011PDFE.pdf](http://www.itu.int/dms_pub/itu-t/oth/4B/04/T4B0400000B0011PDFE.pdf)
9. Smart 2020 報告書 :  
[www.smart2020.org/\\_assets/files/01\\_Smart2020ReportSummary.pdf](http://www.smart2020.org/_assets/files/01_Smart2020ReportSummary.pdf)
10. Google; Data Centers Efficiency :  
[www.google.com/about/datacenters/efficiency/internal/index.html#servers](http://www.google.com/about/datacenters/efficiency/internal/index.html#servers)
11. Growth in Data Center Electricity Use 2005 to 2010、Koomey :  
[www.koomey.com/post/8323374335](http://www.koomey.com/post/8323374335)
12. Reducing the Carbon Footprint of ICT Devices, Platforms and Networks、Thierry Van Landagem、GreenTouch Operations Committee 議長 :  
[www.greentouch.org/uploads/documents/Van%20Landagem%20GeSI%20Reducing%20Carbon%20Footprint%20May%202012.pdf](http://www.greentouch.org/uploads/documents/Van%20Landagem%20GeSI%20Reducing%20Carbon%20Footprint%20May%202012.pdf)
13. インテルコーポレーション、3次元構造を採用した新型トランジスタを実用化へ :  
[newsroom.intel.com/community/intel\\_newsroom/blog/2011/05/04/intel-reinvents-transistors-using-new-3-d-structure](http://newsroom.intel.com/community/intel_newsroom/blog/2011/05/04/intel-reinvents-transistors-using-new-3-d-structure)
14. 国際半導体技術ロードマップ 2009 概要 :  
[www.itrs.net/Links/2009ITRS/2009Chapters\\_2009Tables/2009\\_ExecSum.pdf](http://www.itrs.net/Links/2009ITRS/2009Chapters_2009Tables/2009_ExecSum.pdf)
15. アルテラ FPGA 向け OpenCL :  
<https://www.altera.co.jp/products/design-software/embedded-software-developers/opencl/overview.html>

## 文書改定履歴

表 9 に本資料の改定履歴を示します。

表 9. 文書改定履歴

日付	バージョン	変更内容
2015 年 6 月	1.1	全体的に小規模な更新
2013 年 6 月	1.0	初版発行