

はじめに

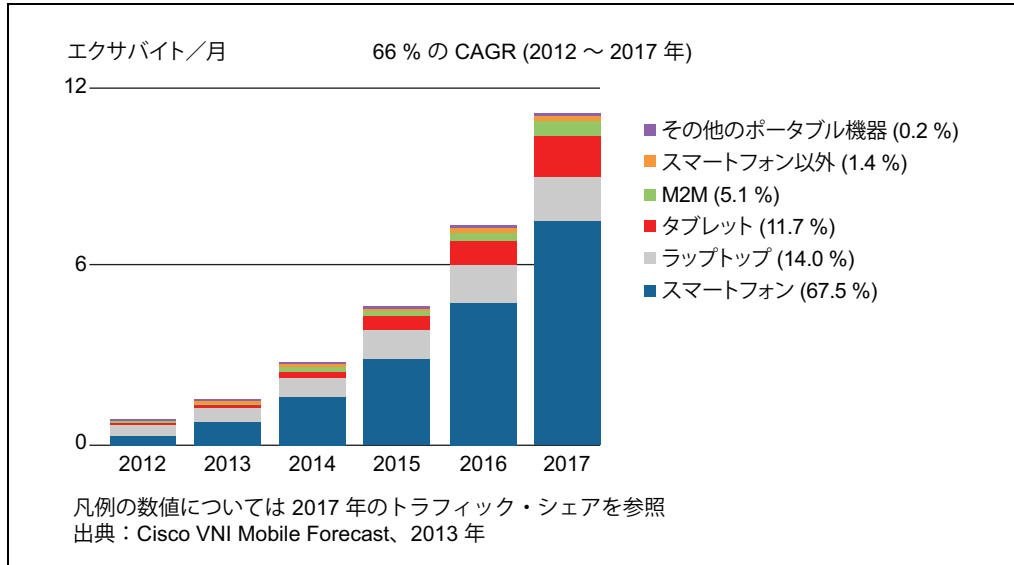
このホワイトペーパーでは、通信帯域幅とそれを支えるインフラストラクチャの要求による FPGA 機能の向上促進と、ASIC と ASSP のビジネス上の課題、そしてプログラマブル・ロジック・デバイス (PLD) における適材適所なアプローチがどのように FPGA の機能を飛躍的に向上させるかについて、次世代 FPGA ポートフォリオの紹介を交えて紹介します。

新しく発表された FPGA は、ハードウェア設計者、ソフトウェア開発者、およびシステム設計者が次世代製品の目標を達成するための重要な要素になります。現在、広範な通信インフラストラクチャと、これを利用する産業全体が要求する帯域幅が指数関数的に増加しているため、既存のハードウェアおよびソフトウェア・ソリューションによってコストと消費電力の目標を満たしながら必要な性能を提供することが困難になっています。ASIC、ASSP、およびスタンドアロン・プロセッサの制約と固有のコストは増大し、PLD ベンダーが対処すべきエリアになりつつあります。しかし同時に、そのような帯域幅の広がりという課題に直面する広範なアプリケーションに対処するには、PLD ベンダーは個別にツールや選択肢を提供することで多様なニーズに対応する必要があります。そのような適材適所なアプローチを提供できる PLD ベンダーは、ハードウェアおよびソフトウェア設計者が開発する次世代製品にブレークスルーをもたらします。

ますます増加する帯域幅と柔軟性のニーズが、ブレークスルーをもたらし機能を生む

スマートフォンをはじめ、その他のポータブル機器の機能が増加することが、次世代 FPGA に見られるシステム性能が大幅に向上する理由です。現在、移動通信を必要とする帯域幅が爆発的に増加したため、無線、有線、およびデータ・センターのインフラストラクチャ機能に対する要求が極めて大きくなっています。スマートフォンの台数の増加率は 1 桁パーセントに留まっていますが、スマートフォンの機能はますます増加しており、それにより利用者はますます多くの帯域幅を必要とします。要求される帯域幅の多くは、高品質の動画によるものです。2012 年には、スマートフォンの平均データ使用率が 81% 増加しました。Cisco 社の予測によれば、モバイル・トラフィックは 2017 年まで年率 66% で増加し、モバイル・トラフィック全体の 2/3 を動画コンテンツが占める見込みです。そのとき、モバイル・ネットワークの速度は 7 倍になり、4G ネットワークが全トラフィックの 45% を占めると予想されています⁽¹⁾ (図 1 参照)。

図 1 : Cisco 社は、2017 年までにモバイル通信の月間トラフィックが 11.2 エクサバイトに達すると予測



以下の 3 つのインフラストラクチャ・アプリケーションを例に、ハードウェアおよびソフトウェア開発者が FPGA を活用して、次世代製品の帯域幅、性能、消費電力、およびコスト目標を達成しようとしているかを紹介します。

- ワイヤレス・リモート無線ユニット (RRU)
- 400G ワイヤレス・チャンネル・カード
- データ・センター

ワイヤレス・リモート無線ユニット

通信事業会社は資本集約型産業である無線インフラストラクチャ市場において、さらに多くの帯域幅を高速かつ低コストで提供したいと考えます。変化への対応が早い通信会社は、コストの削減、サービス・エリアの拡大、顧客サービスの高速化という大きな利点を獲得できます。そのような会社の製品戦略は、できるだけ多くの世代にわたって、データパスの幅を変えずにクロック周波数を高くすることです。今後のリモート無線ユニットでは、デジタル・プリディストーション・アルゴリズムの実装など、複雑な機能のコア性能を FPGA で 500 MHz 近くまで向上させようとしています。これにより、無線アーキテクチャへの投資が維持され、さらに広い範囲の無線周波数 (RF) 帯域幅をカバーできるようになります。そうすれば、ソリューションの再設計に必要な作業が少なくなることによって投資利益率の改善を見込むことができます。さらに、そのような新製品の市場投入時期が早まって「Time-to-Market」の利点が大きくなります。モバイル通信加入者あたりの収益増加率は加入者あたりのデータ・トラフィック増加率よりはるかに低いため、運用コストを下げてもビットあたりのコストを削減する必要もあります。したがって、データパスの幅を広げずに、小型化・低消費電力化した FPGA で消費電力を低減した設計によってこの目標を達成できるようになります。



詳細については、ホワイトペーパー「[Designing Polyphase DPD Solutions with 28 nm FPGAs](#)」を併せてご参照ください。

400G チャネル・カード

FPGA の性能向上を促進する他の要素は、ネットワーク通信インフラストラクチャのアップグレードの必要性です。次世代の 400G チャネル・カードは、既存の 100G チャネル・カードと比較して、システムを大幅に向上させます。次世代システムの帯域幅は、これまでの世代間での増加率よりはるかに高い 4 倍に増えました。この市場は比較的新しいため、ASIC または ASSP を使用した開発によるリスクを取ることができません。複数の 56 ギガビット/秒 (Gbps) トランシーバと 28 Gbps トランシーバ・ソリューションを統合してこのレベルの帯域幅を収容することは、このソリューションの一部にすぎません。このより高い帯域幅に対応するためには、より高速なロジックも必要となります。

しかしながら、シャーシの寸法が変化しないため、パワー・エンベロープが制限されます。したがって帯域幅に比例して消費電力も増加するソリューションをネットワーク・インフラストラクチャに適用することはできません。6 億パケット/秒における 400G 帯域幅でのパケット・プロセッシングおよびトラフィック・マネージメント・アプリケーションでは、データ・パスの幅と周波数を拡張することでデータ・パス・プロセッシング・ファンクションを拡張することができますが、スケジューリング等のコントロール・パス・プロセッシングの拡張を行うことはできません。

したがって、処理能力、メモリ・インタフェース、I/O インタフェース等のすべてのデバイス機能において、高い性能が求められます。FPGA は引き続き最も魅力的なソリューションですが、企業はワットあたりの性能が高いアーキテクチャ、トランシーバ、およびプロセス・テクノロジーに投資して課題に対処する必要があります。

データ・センター

新しいワイヤレス装置を通じて、新しい 400G パケット処理インフラストラクチャ経由で、アップロードおよびダウンロードされ、トランスポートされたデータとビデオもまた、保存して処理する必要があります。ワットあたりおよびコストあたりの計算能力がデータ・センターの重要な指標です。データ・センターでは、データ・アクセス、アルゴリズム、およびネットワーキング・アクセラレーションに FPGA がますます多用されています。データにアクセスする上でのボトルネックはデータ・センターのサーバです。最新のプロセッサはますます多くのコアを備えるようになりましたが、外部メモリとデータへの帯域幅は計算能力の向上に追いついていません。そのようなサーバの多くは、ピーク処理能力よりはるかに低い平均使用率で動作しています。データ・センターのサーバは FPGA でアクセラレートするのに適しています。FPGA によるハードウェア・アクセラレーションは、プロセッサ上のソフトウェア処理では対処できない性能的なボトルネックに重点を置いているため、プロセッサを交換することに代わる魅力的な方法になります。

4K ビデオに移行するビデオ・コンテンツ・プロバイダ、クラウド・コンピューティング、防衛分野の諜報アプリケーションなど、その他のアプリケーションも、増加する帯域幅の要件に FPGA を活用し、対応しようとしています。そのようなアプリケーションも同じような課題に直面しています。

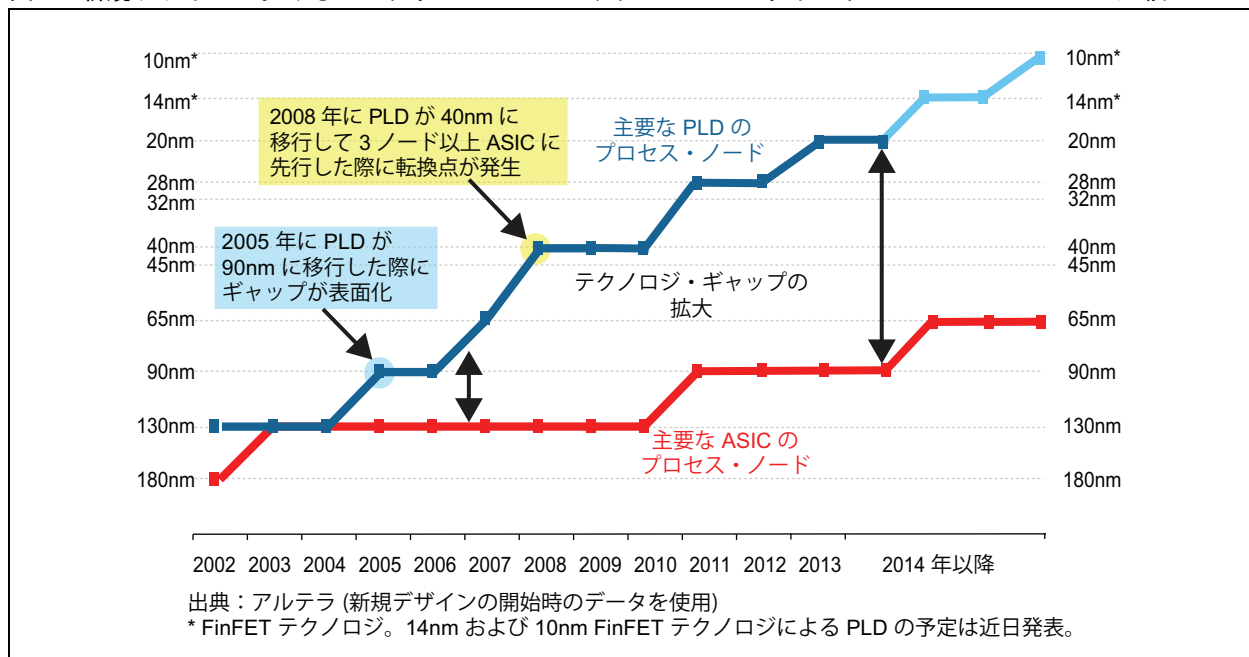
ASIC や ASSP を使用するにあたって増加するビジネス上の課題

Time-to-Market の長期化、先行設備投資額の増加、および MOQ の増大により、ASIC 開発は、わずかな企業にしか許されない極めて高リスクな投資となっています。28nm ASIC の場合、ツーリング・マスクとパッケージのための ASIC NRE (Non-Recurring Engineering) コスト、IP (Intellectual Property) ライセンス、および物理デザイン・サービス等で 1,000 万ドルを超えており、多くの場合は 20nm または 14nm FPGA を使用す

るメリットの方が大きくなります。現行世代の FPGA には ASIC の場合に匹敵する厳密なシミュレーション検証手法が必要ですが、追加のラボ試験と FPGA の持つ再プログラム化の利点により、標準的なセル ASIC デザインに比べてマンパワーへの投資が大幅に減少します。同等の機能を持つ ASIC と FPGA を比較する際は、コンポーネントの価格だけではなく全体的な設計資産保有の総コスト (TCO) を考慮しなければなりません。ASIC では経済的に達成できない複雑性、高性能、および低消費電力が最先端の CMOS テクノロジーによって FPGA にもたらされるにつれ、標準セル ASIC の使用を正当化する損益分岐点は引き続き上昇します。

安価なプロセス・ノードを利用して ASIC を実現する場合、より先進的なプロセス・ノードにより多くの機能を集約できる FPGA や ASSP に対して、コストと性能において不利な状況に置かれます。現行世代の FPGA は 28nm プロセスを使用していますが、間もなく 20nm あるいはそれ以上に微細化されたプロセス・テクノロジーを使用することになります。ところが、新しい ASIC デザインのほとんどは 2～3 ノード以上遅れています。そのギャップが大きいほど、コスト、性能、および統合レベルの点で FPGA の魅力がさらに大きくなります。図 2 を参照してください。

図 2：新規デザインにおけるプログラマブル・ロジックと ASIC プライマリ・プロセス・ノードの比較



ガートナー社は、2016 年にかけて ASIC デザインの開始総数が年率 3.8% の割合で減少すると予測しています。その上、デザインの開始時に利益を上げるには、年ごとに量産数を増やす必要があります⁽³⁾。最大手企業しか ASIC の製造コストをまかなうことができないため、ASSP と FPGA がほとんどの企業で経済的に成り立つ唯一の選択肢になります。

ところが、ASSP が提案する価値も以下のような理由により下がっています。

- プロセッサ性能のスケーリングの課題
- 製品差別化の必要性
- 市場への応答性 (Time-to-Market)

以前のハードウェア設計者は、プロセッサの周波数とプロセッサ・コアの数を増やして次世代製品のシステム性能を上げることができました。ところが、今ではこの方法でのシステム性能の向上は期待できません。それは、長年にわたってプロセッサの周波数が大幅に上がり続けることはなく、プロセッサ・コアの数を増やすことによる並列化で性能上のボトルネックに対応できない場合もあるためです。多くのハードウェア設計者は、ソフトウェアのボトルネックを解消させるための専用ハードウェアを作成することがソリューションであると考えています。

プロセッサがアクセス可能な専用のハード IP を作成すると、問題点のいくつかが緩和されます。しかしながら、追加ハードウェア・アクセラレーションにより従来世代より優れた ASSP は、競合企業も利用可能です。そして、ASSP では高速化できない独自ソフトウェアがあるかもしれません。

ASSP の主な利点は「Time-to-Market」が最短であることですが、常にそうであるとは限りません。ASSP がまだ提供していない特定の機能を必要とする小規模の企業には、それを必要とする部分に対する有利さはなく、それが提供されるようになってからもメリットはあまりありません。大きな企業もまた、要求する機能を ASSP サプライヤに頼っています。ASSP より入手した機能は、他社も同様に利用できるため、大きなメリットとはなりません。FPGA は、ASIC と ASSP が持つ固有の課題を克服するための魅力的なソリューションを提供しており、最新世代にて機能が大幅に増えることでさらに魅力が増します。

適材適所なアプローチがブレークスルーをもたらす機能を提供

通信、防衛、放送、およびストレージでの増え続ける帯域幅と性能のニーズに対処しつつ、一方でファクトリ・オートメーション、自動車、ポータブル機器など、消費電力がミリワット級で、コストを極めて重視する市場に最適化したソリューションを提供し続けるには、以下を含む広く深い専門技術とツールが必要です。

- 最先端の製造プロセス・テクノロジー
- さまざまなアーキテクチャと IP への投資
- プロセッサとプログラマブル・ファブリックとの高性能な統合

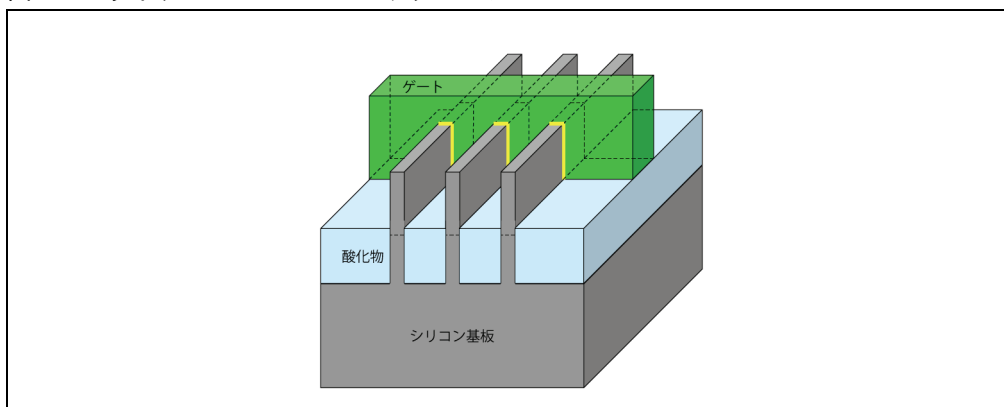
最先端のプロセス

先進的なプロセス・テクノロジーにアクセスすることは重要であり、最先端テクノロジーに投資する半導体サプライヤが提供する強みです。例えば、トライゲートや FinFET トランジスタ・テクノロジーとも呼ばれる新しい 3D トランジスタ・テクノロジーは、プロセス・テクノロジーに画期的な変革をもたらしました (図 3 参照)。トランジスタのリーク電流が半減するため、性能の向上や消費電力の低減が実現できます。



詳細については、ホワイトペーパー「[The Breakthrough Advantage for FPGAs with Tri-Gate Technology](#)」をご覧ください。

図 3：トライゲート・プロセス・テクノロジー



これまでに、3D FinFET やトライゲート・トランジスタ・テクノロジーを利用した製品を開発または出荷したプロセス・テクノロジー・ファウンドリ・サプライヤはほとんどありません。現在、3D トランジスタ・テクノロジーを利用した製品を出荷しているメーカーはインテルのみです。インテルは、2013 年前半までに 1 億個を超える製品を出荷しました。それらを素早く効果的に採用できるプログラマブル・ソリューション企業は、大幅に向上した性能を提供できます。さらに、顧客はこの 3D トランジスタ・テクノロジーだけでなく、プロセスの縮小による性能向上も期待することができます。インテルが最近発表した 14nm トライゲート・プロセスは、このプロセス・テクノロジーを提供します。

たとえ最も微細で先進的なプロセスであっても、1つのプロセス・テクノロジーのみで今日の最終製品における多様な要件を満たすことはできないことは周知の事実です。汎用化アプローチのみに頼った FPGA や、その他のプログラマブル SoC 製品のサプライヤは顧客に負担を与えます。Time-to-Market、コスト、他のコンポーネントとのシステム統合、出荷数量などの要因を考えると、別のプロセス・テクノロジーの方が有利な場合があります。例えば、新しいプロセス・ノードの方が高い I/O 電圧に最適に対応するとは限りません。I/O ごとのピンあたりのコストは、別のプロセス・ノードの方が強力な利点を備えている場合もあります。したがって、14nm トライゲート・プロセスは最高のコア性能を低い消費電力で実現しますが、どのような場合にも最適なソリューションとはいえません。TSMC の 20SoC や 55 EmbFlash など、他のプロセス・テクノロジーがインテルの 14nm トライゲート・プロセスを補完できます。

例えば、TSMC の 20SoC プロセスは、多くの帯域幅を必要とする 2014 年以降のインフラストラクチャ市場において顧客が必要とする次世代 FPGA を提供できます。500 MHz 超で動作可能なコア性能、および最大 1.5 GHz ARM® プロセッサを、今日量産されている FPGA の半分以下の消費電力で実現します。

この 20nm プロセスは、通信、データ・センター、およびその他のアプリケーションに必要なビットあたりのコスト、ワットあたりの性能といった重要な目標を満たせるようにするテクノロジーの 1 つになります。

システム設計者は、エンベデッド・フラッシュ・プロセスなど、他のプロセスによって I/O ピンあたりのコストを最小化し、消費電力がミリワット級のソリューションを実現し、他のプロセスでは経済的に成り立たないアナログ回路や不揮発性フラッシュを組み込むことができます。



詳細については、ホワイトペーパー「*Meeting the Performance and Power Imperative of the Zettabyte Era with Generation 10*」をご覧ください。

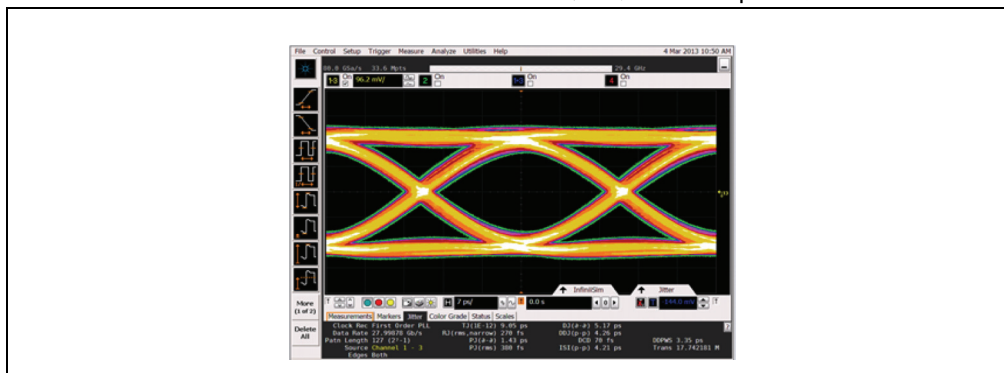
アーキテクチャおよび IP

今日のアプリケーションの 4 倍の帯域幅という性能要件を満たすには、先進的なプロセス・テクノロジーのみならず、それ以上のものがが必要です。それは、新しいロジック・アーキテクチャ、新しい IP、新しいシリアル・インタコネクタなどです。

次世代アーキテクチャを最先端のプロセス・テクノロジーと組み合わせると、コア性能が飛躍的に向上します。例えば、アルテラは最近新しい高性能アーキテクチャを発表しました。これをインテルの 14nm トライゲート・プロセスと組み合わせると、1 GHz という驚異的なコア性能が得られます。デジタル信号処理 (DSP) 機能も大幅に改善されます。デジタル信号処理は、かねてから FPGA が得意とする領域の 1 つですが、次世代の DSP ブロックでは浮動小数点演算の効率がさらに向上します。DSP ブロックの FPGA によって、10 兆回/秒 (テラ FLOPS) を超える浮動小数点演算性能が実現します。これは、ワットあたり 100 ギガ浮動小数点演算/秒 (GFLOPS) という、最高性能かつ電力効率に優れたソリューションの 1 つになり、既存の DSP や GPU では考えられないものです。この DSP ソリューションは、金融、エネルギー、クラウド・データ解析などの大量のデータを扱う高性能コンピューティング・アプリケーションに画期的な機能をもたらします。

シリアル帯域幅は、データの高速度化、チャネル数、およびハード化する機能の増加によって大幅に改善されます。アルテラは、次世代トランシーバ・テクノロジーにおいて 56 Gbps のデータ速度を達成することを発表しました。現在アルテラは、28 Gbps トランシーバをモノリシック (単一のダイ) に統合した FPGA を提供しています。次世代 FPGA では 28 Gbps チャネルの数は 4 倍以上増加し、CFP2、CFP4、QSFP28 などの複数の次世代 100G 光インタフェースを実装します。アダプティブ DFE (Decision Feedback Equalizer) などの強化されたシグナル・コンディショニング機能により、トランシーバは電気ノイズが多い環境でも高損失バックプレーン・アプリケーションに対処することができます。さらに、ハードウェア化された FEC (Forward Error Correction) などの機能を使用してバックプレーンの到達距離を 30 dB のチャネル損失全体に拡張できるため、システムのビット・エラー・レート (BER) 性能を犠牲にすることなく低コストの材料を使用できます。機能をハードウェア化により、トランシーバは使いやすくなります。例えば、ハード PCS (Physical Coding Sub layer) ブロックを使用して、Interlaken および 10 Gbps イーサネット (GbE) データ・ストリーム向けの重要な処理機能とともに、8b/10b、64/66b などの複数のエンコーディング・スキームを処理できます。さらに、PCI Express® (PCIe®) Gen1、Gen2、または Gen3 の完全なプロトコル・スタックも利用可能です。今後の FPGA にはシリアル・メモリのインタフェースも広く採用されると考えられます。シリアル・メモリ・インタフェースは、10 ~ 15 Gbps の高速シリアル・トランシーバを利用することで、パラレル・メモリ・インタフェースが持つ帯域幅、レイテンシ、および消費電力の制約を克服します。図 4 を参照してください。

図 4 : アルテラの 20nm プロセス・テクノロジーで動作する 28 Gbps トランシーバ



400G ソリューションなど、特定のアプリケーションには最新のアーキテクチャ、IP、およびシリアル・テクノロジーが必要ですが、それらはその他のアプリケーションにも最適であるとは限らず、消費電力とコストの目標に悪影響を及ぼすことがあります。多種多様なアプリケーションをターゲットとするさまざまな FPGA にこのテクノロジーの一部を選択的に適用することが極めて重要です。

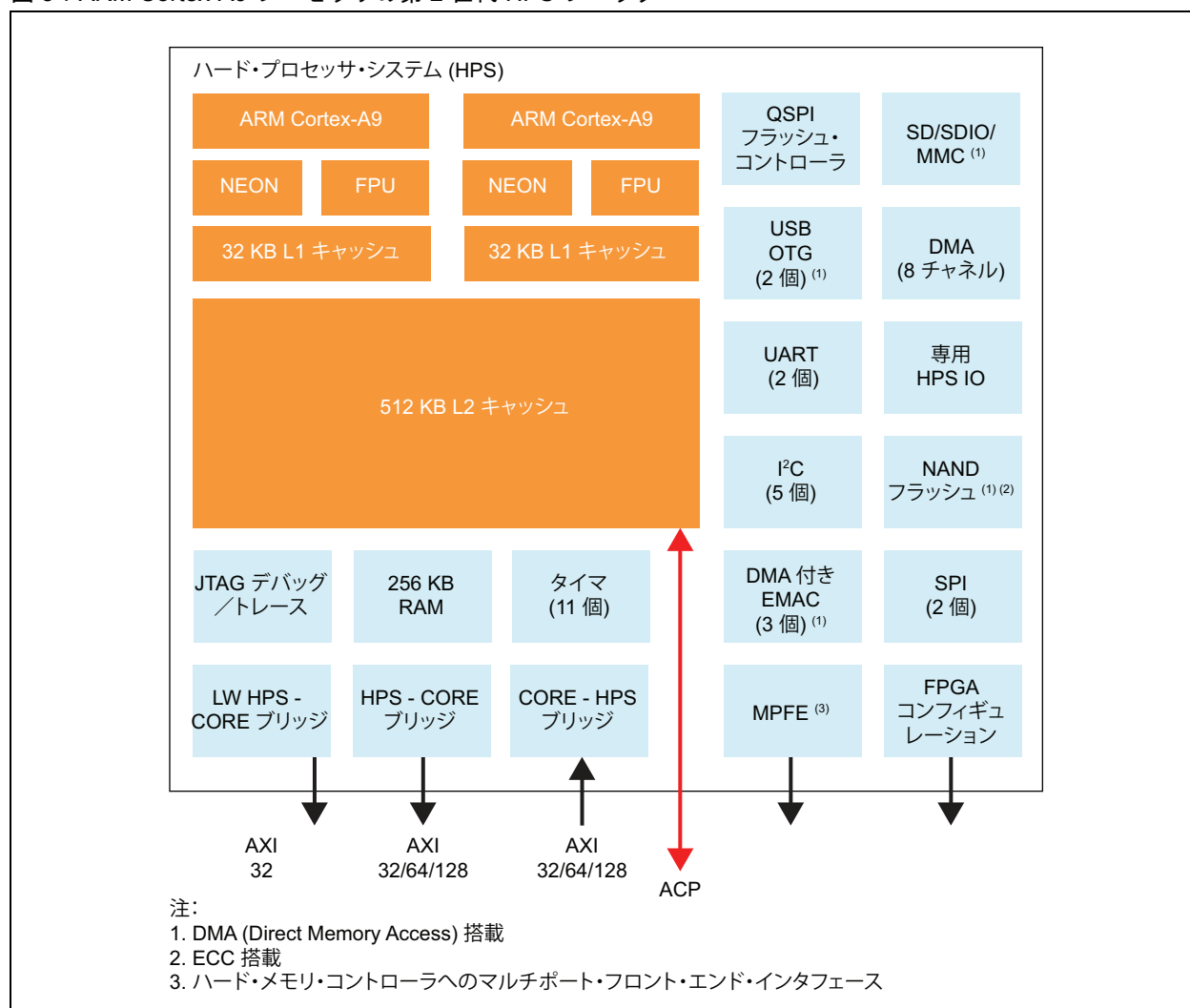
プロセッサの統合

FPGA では、さらに多くのボード上のコンポーネントを FPGA 内に統合する機能が常に追求されてきましたが、最も強い影響を及ぼしたことの 1 つは、ARM ベースのハード・プロセッサ・システム (HPS) が最近になって統合されたことでした。HPS は独立したブロックですが、緊密に統合されたプロセッサとハード・ペリフェラル、そしてプログラマブル・ロジックへのインタフェースが、システム・オン・チップ (SoC) ソリューションを作り上げます。プロセッサの統合は、28nm プログラマブル・ロジック・テクノロジーと ARM Cortex™-A9 プロセッサの組み合わせから始まりましたが、FPGA にプロセッサを内蔵するアーキテクチャは、その普及の拡大と SoC 製品のロードマップにより、新しい ARM プロセッサ・サプライヤが製品の長期的なロードマップを持つことを積極的に促進しています。今では、システム・アーキテクトがシステム性能を改善し、システム・コストを削減し、システムの消費電力を低減し、サプライ・チェーンのリスクを減らすための緊密な統合を行う上での選択肢が増えました。そのようなプログラマブル SoC をまだ見たことがないシステム設計者は以下を見て驚くかもしれません。

- さまざまなデバイス・ファミリにて提供される SoC 製品
- プログラマブル・ロジックとプロセッサの密な統合による高い性能と低いレイテンシ
- 設計者は現在、28nm SoC デバイス、開発キット、およびツールを使ってこのテクノロジーへのアクセスが可能
- FPGA ベンダーによる ARM エコシステムのサポート

図 5 は、ARM Cortex-A9 による第 2 世代 HPS ブロックを示しています。

図 5 : ARM Cortex-A9 プロセッサの第 2 世代 HPS ブロック



次世代 FPGA と SoC

アルテラは、28nm プロセス・ノードに続く次世代 PLD を先駆けて発表しました、それが Generation 10 ポートフォリオです。アルテラは、さまざまなプロセス・テクノロジー、アーキテクチャ、および IP を、異なる組み合わせにより低コスト、ミッドレンジ、およびハイエンド製品ファミリを提供することで、どの PLD ベンダーよりも広範囲にわたる適材適所なアプローチを提供しています。Generation 10 ポートフォリオには、6 Gbps を使用する中規模のアプリケーションから 400 Gbps 帯域幅のアプリケーションにまで対処する Stratix[®] 10 および Arria[®] 10 FPGA & SoC の他に、今後発表されるデバイス・ファミリも含まれます。Stratix[®] 10 および Arria[®] 10 デバイス・ファミリは、適材適所なアプローチを適用したことによって、ハードウェア設計者やシステム設計者がこれまでに FPGA では経験したことがない最も飛躍した機能を備えています。

アルテラ Generation 10 FPGA & SoC

Arria 10 FPGA & SoC

- 通信、放送、および防衛アプリケーション向けに最適化された性能
- 前世代のミッドレンジ FPGA の 1.6 倍、前世代のハイエンド FPGA より 15 % 高速な性能
- 28 Gbps トランシーバを搭載し、前世代のミッドレンジ FPGA の 4 倍、前世代のハイエンド FPGA の 2 倍の帯域幅
- 3 倍のシステム性能 (2,666 Mbps DDR4 SDRAM、ハイブリッド・メモリ・キューブ (HMC) 対応、1.5 GHz ARM プロセッサ)
- 機能またはコストを最適化するためのシステム統合
- 幅広い ARM SoC オプション
- 100 万ロジック・エレメント (LE) 以上のロジック集積度
- 最適化した消費電力による、業界最高性能のミッドレンジ FPGA
- 消費電力を、前世代ミッドレンジ FPGA より 40 %、前世代のハイエンド FPGA より 60 % 低減

Stratix 10 FPGA & SoC

- 業界初のギガヘルツ FPGA & SoC
- 前世代の 2 倍以上のコア性能、前世代の 4 倍のトランシーバ帯域幅
- 10 テラ FLOPS 以上の単精度 DSP 性能
- 単一ダイで可能な最高レベルのシステム統合を実現
- インテルの 14nm トライゲート・プロセス・テクノロジーによる業界唯一の主要 FPGA
- 単一のダイに 400 万ロジック・エレメント以上のロジック
- 次世代 HPS
- 業界最高の性能を実現するために最適化した消費電力
- 前世代よりトータル消費電力を 70 % 削減

現行世代のアルテラ FPGA を使用するハードウェア設計者は、同じツール、IP、およびデザイン移行機能を利用して次世代 FPGA を活用できる最良の環境にいます。ソフトウェア開発者は、アルテラの SoC 開発キットやその他のツールを使用して ARM HPS をターゲットにする能力をすでに持っています。設計ツール・フローによる生産性はさらに改善される見込みです。デザイン作成時間は、C コードで HDL を開発できるようにする Open Computing Language (OpenCL™) などの設計ツールやメソッドロジが追加されることによって短縮できます。さらにアルテラは、機能の飛躍的な向上と歩調を合わせ、年間 2 回コンパイル時間を改善する必要があることも認識しています。



OpenCL と OpenCL ロゴは Apple Inc. の商標であり、Khronos の許可を得て使用しています。

まとめ

複数の市場のハードウェア設計者が、ASIC や ASSP ソリューションに代わるソリューション、ならびに帯域幅、性能、統合、および消費電力要件に対処できるソリューションを模索しています。主要な FPGA メーカーが、今までなかった FPGA の画期的な利点を持つ製品を提供する準備を整えています。400G パケット処理、ワイヤレス・リモート無線ユニット、データ・センター、高性能コンピューティングなど、アプリケーションを開発する多くの開発者のニーズに対処する製品を提供するには、多種多様なツールと多くの選択肢が必要になります。さまざまなプロセス・テクノロジー、アーキテクチャ、およびさまざまなアプリケーションをターゲットとする統合オプションを提供する適材適所なアプローチを利用した製品戦略は、ハードウェア設計者に最良の選択肢とソリューションを提供します。アルテラの Generation 10 ポートフォリオは、適材適所に利用可能な FPGA と SoC によって、幅広いアプリケーションで飛躍的に向上した機能と強みを提供します。

参考文献

1. Cisco Visual Networking Index (VNI): Global Mobile Data Traffic Forecast Update, 2012 – 2017:
www.cisco.com/en/US/solutions/collateral/ns341/ns525/ns537/ns705/ns827/white_paper_c11-520862.html
2. ホワイトペーパー : *Designing Polyphase DPD Solutions with 28 nm FPGAs*:
www.altera.co.jp/literature/wp/wp-01171-polyphase-dpd.pdf
3. Gartner レポート、市場動向 : Worldwide, ASIC and ASSP Design Starts Continue Declining Trend, 2012:
chipdesignmag.com/sld/shuler/2012/03/22/3-consequences-of-fewer-design-starts/
4. アルテラ・ウェブサイト
www.altera.co.jp
5. アルテラ・コーポレート・プレゼンテーション
6. Forbes 社 ウェブサイト :
<http://www.forbes.com/sites/greatspeculations/2013/01/22/intels-difficult-year-and-whats-ahead/>

詳細情報について

- ホワイトペーパー : *Meeting the Performance and Power Imperative of the Zettabyte Era with Generation 10*:
www.altera.co.jp/literature/wp/wp-01200-power-performance-zettabyte-generation-10.pdf
- ホワイトペーパー : *The FPGA Advantage with Tri-Gate Technology*:
www.altera.co.jp/literature/wp/wp-01201-fpga-tri-gate-technology.pdf
- ホワイトペーパー : *Designing Polyphase DPD Solutions with 28 nm FPGAs*:
www.altera.co.jp/literature/wp/wp-01171-polyphase-dpd.pdf
- 14nm および 20nm におけるイノベーション – 次世代製品の利点
www.altera.co.jp/technology/system-tech/next-gen-technologies.html

- Stratix 10 FPGA Web ページ :
www.altera.co.jp/devices/fpga/stratix-fpgas/stratix10/stx10-index.jsp
- Arria 10 FPGA Web ページ :
www.altera.co.jp/devices/fpga/arria-fpgas/arr10/arr10-index.jsp

謝辞

- Stephen Lim、プロダクト・マーケティング・マネージャー、コンポーネント部門、アルテラ・コーポレーション

文書改訂履歴

表 1 に本資料の改定履歴を示します。

表 1. 文書改定履歴

日付	バージョン	変更内容
2013 年 6 月	1.0	初版発行