

Quartus® Prime  
Signal Tap ロジック・アナライザ  
簡易チュートリアル

## Quartus Prime

# Signal Tap ロジック・アナライザ 簡易チュートリアル

## 目次

1. はじめに .....	3
1-1. 必要な環境.....	3
1-2. サンプル・デザインの概要.....	4
2. プロジェクトを開く.....	5
3. Signal Tap IP を作成・追加.....	7
3-1. STP ファイルを作成・追加.....	7
3-2. クロックを設定 .....	8
3-3. モニタ信号およびトリガ信号を登録 .....	9
3-4. サンプル容量、バッファ・モードの設定 .....	14
3-5. トリガの設定 .....	14
4. コンパイルおよびダウンロード .....	16
5. 信号をアナライズ .....	17
改版履歴 .....	18

## 1. はじめに

本資料は、Quartus Prime に搭載された Signal Tap ロジック・アナライザ(以下、Signal Tap)機能の操作手順をチュートリアル形式にまとめたものです。本資料と共に提供されているサンプル・デザインを用いて、Signal Tap IP の作成から実機デバッグ実行までの作業フローを簡易的に理解することができます。

Signal Tap に関しては、このチュートリアルの外に下記資料も併せてご参考ください。

[「Design Debugging with the Signal Tap Logic Analyzer」](#)

[「Quartus Prime はじめてガイド - Signal Tap ロジック・アナライザの使い方」](#)

Notes: Signal Tap は、Quartus Prime 17.0 以前のバージョンで搭載されていた SignalTap™ II と同じ機能です。ver.17.1 以降、名称が変更されました。

本チュートリアルは Quartus Prime 17.1 以降の環境でご利用になることを推奨致します。

### 1-1. 必要な環境

本チュートリアルを実施するためには、以下の環境が必要です。

- Quartus Prime (Lite、Standard、Pro Edition のいずれか) 17.1 以降
- インテル® FPGA ダウンロード・ケーブル II (旧 USB-Blaster™ II)※
  - インテル FPGA ダウンロード・ケーブル (旧 USB-Blaster)※ または インテル FPGA イーサネット・ケーブル (旧 EthernetBlaster II)でも可

Note: これらケーブルの利用には、専用ドライバのインストールが必要です。

[【TIPS】USB-Blaster™ II のドライバをインストールしてみよう](#)

[【TIPS】USB-Blaster™ のドライバをインストールしてみよう](#)

- インテル FPGA が搭載されたボード
  - FPGA の JTAG ポートがボード上に引き出され、10pin ヘッダに接続されているものであれば使用可能です。(ボード上に LED または 7 セグメント LED が搭載されていれば、サンプル・デザインを使用しやすいです。)

Note: インテル製の FPGA 評価キットや開発キット向けにサンプル・デザインがいくつか用意されています。対象のボードは、[こちらのページ](#)でご確認ください。

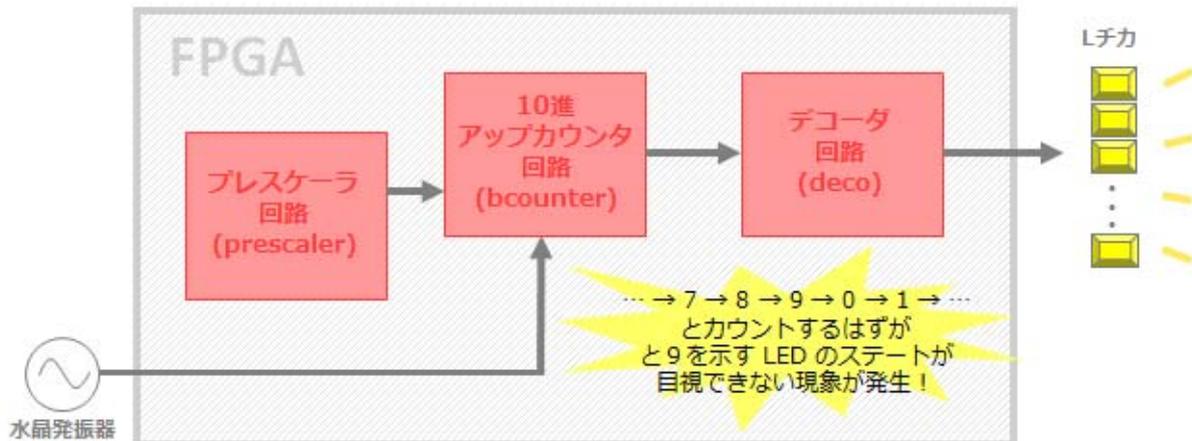
- 本チュートリアル用のサンプル・デザイン
  - [こちらのページ](#)からダウンロードしてください。
  - ZIP ファイルの内容をパソコン上の任意のフォルダに解凍します。フォルダのパス、ならびにフォルダ名に全角やスペースは使用しないでください。



関連情報 [「Quartus Prime はじめてガイド - Signal Tap ロジック・アナライザの使い方」](#) の “2. 使用環境” をご参考ください。

## 1-2. サンプル・デザインの概要

本チュートリアル用のサンプル・デザインのブロック図は以下のとおりです。



LED の点灯仕様は下表を参考にしてください。本チュートリアルで提示した以外のボードをご利用になる場合は、デコーダ回路を編集するなどして対応してください。

■ 点灯 □ 消灯

カウンタ 出力値	Intel® Cyclone® 10 LP FPGA Evaluation Kit	MAX® 10 FPGA Evaluation Kit
0	□ □ □ □	□ □ □ □ □
1	□ □ □ ■	□ □ □ □ ■
2	□ □ ■ □	□ □ □ ■ ■
3	□ ■ □ □	□ □ ■ ■ ■
4	■ □ □ □	□ ■ ■ ■ ■
5	■ ■ ■ □	■ ■ ■ ■ ■
6	■ ■ □ ■	■ ■ ■ ■ □
7	■ □ ■ ■	■ ■ ■ □ □
8	□ ■ ■ ■	■ ■ □ □ □
9	■ ■ ■ ■	■ □ □ □ □

現在、この点灯が目視できない状況

このデザインは、不具合のある(実機で 10 進カウンタの出力が 9 のときの LED 表示が目視できない)コードで構成してあります。ここへ SignalTap IP を追加し、内部信号の状態をモニタしましょう。

## 2. プロジェクトを開く

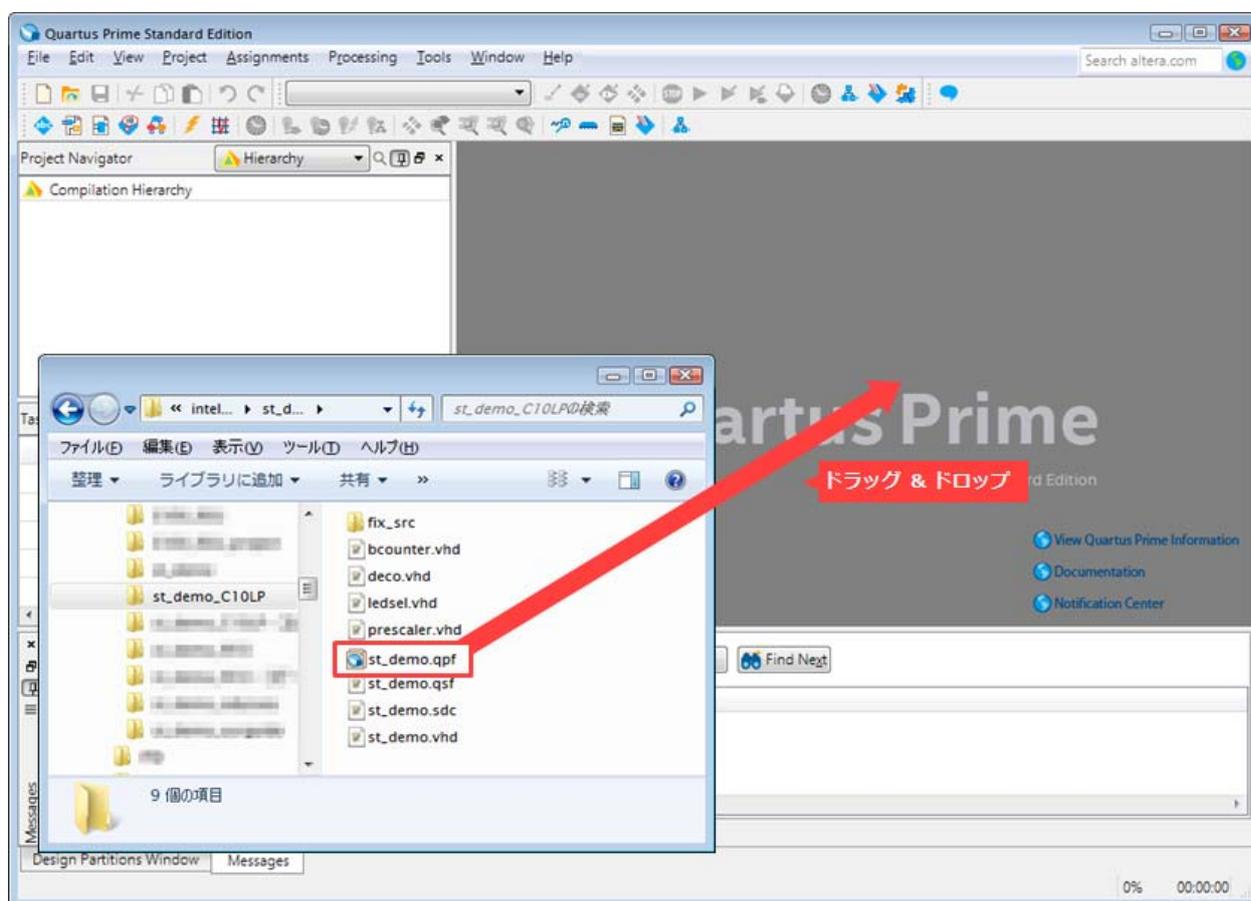
このチュートリアルのデザイン・ファイルには、すぐに作業が開始できるように指定した評価ボードに対応した Quartus Prime プロジェクト・ファイル(.qsf)、Quartus Prime 制約ファイル(.qsf)、HDL デザインが含まれています。もしそれ以外のボードをご利用になる場合は、デバイス選択、ピン・レイアウト、各種オプションなどをボードの仕様に合わせユーザ自身が設定を行ってください。

チュートリアル・プロジェクトを開くには、下記のステップを行います。

- ① Quartus Prime を起動します。
- ② 使用する評価ボードに該当する Quartus Prime プロジェクト・ファイル(st\_demo.qpf)ファイルを開きます。
  - a. File メニュー ➤ Open Project をクリックします。
  - b. ZIP ファイル解凍先のフォルダ(作業フォルダ)に移動します。
  - c. st\_demo.qpf ファイルを選択し、Open をクリックします。

下図のように、エクスプローラから作業フォルダ内の st\_demo.qpf ファイルを Quartus Prime の GUI 上へドラッグ&ドロップしても、プロジェクトがセットされます。

*Note:* 下図は Cyclone 10 LP FPGA 評価キットの場合のフォルダ名です。ダウンロードしたサンプル・デザインにより、フォルダ名は異なります。

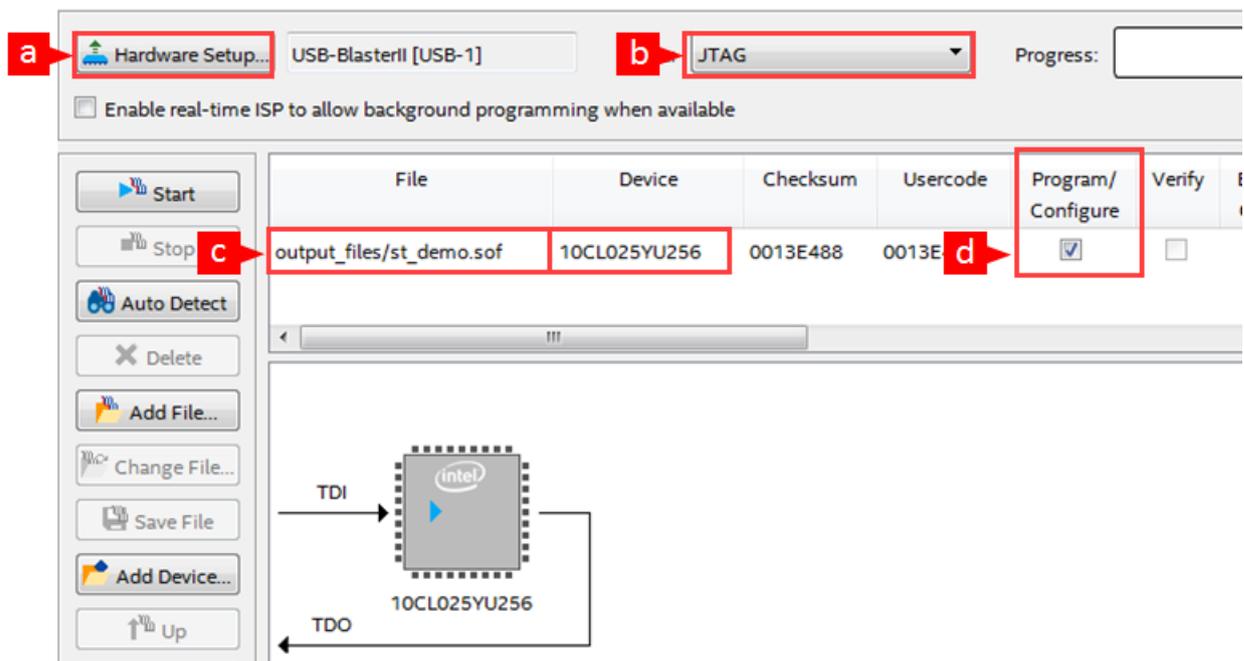


すでに、デザイン作成やピン・レイアウトなどの制約設定は完成しています。コンパイルを実行します。

- ③ Processing メニュー ▶ Start Compilation を選択し、コンパイルを実行します。

FPGA に st\_demo.sof をダウンロードして、実機上で動作を確認しましょう。

- ④ ダウンロード・ケーブルの USB ケーブルをパソコンに接続し、ダウンロード・ケーブルのコネクタ部分を評価ボードに装着します。その後、ボードに電源を投入します。
- ⑤ Programmer (Tools メニュー)を起動し、以下の項目を設定してください。
- Hardware Setup: 使用するダウンロード・ケーブルを選択します。
  - JTAG モードを選択します。
  - プロジェクト・フォルダ内の output\_files/st\_demo.sof を選択します。(Programmer 起動時に自動的にセットされています。)Device 欄に表示されたデバイスが、評価ボードに搭載された FPGA の型番と同じであることを確認してください。
  - Program/Configure オプションを有効にします。



- ⑥ Start ボタンをクリックし、st\_demo.sof ファイルを FPGA にダウンロードします。

ダウンロード完了後、評価ボード上の LED の点灯を確認してください。本チュートリアル 4 ページに示された LED の点灯仕様表にもあるように、10 進カウンタの出力が 9 であるときに表示されるはずの LED が点灯していないことがわかります。

### 3. Signal Tap IP を作成・追加

実機動作をふまえ、なぜカウンタの出力「9」のときの LED が表示されていないのかを Signal Tap で検証してみましょう。

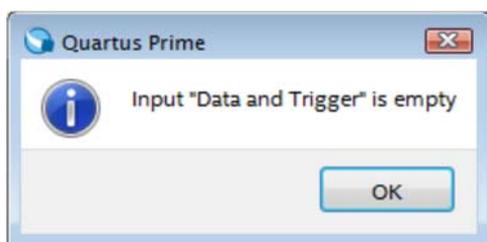
#### 3-1. STP ファイルを作成・追加

- ① Tools メニュー ▶ Signal Tap Logic Analyzer を選択し、新規 STP ファイルを表示します。
- ② STP ファイル内の File メニュー ▶ Save As... において、保存するフォルダおよびファイル名(任意)を指定します。このチュートリアルでは、下記の環境でファイルを保存してください。

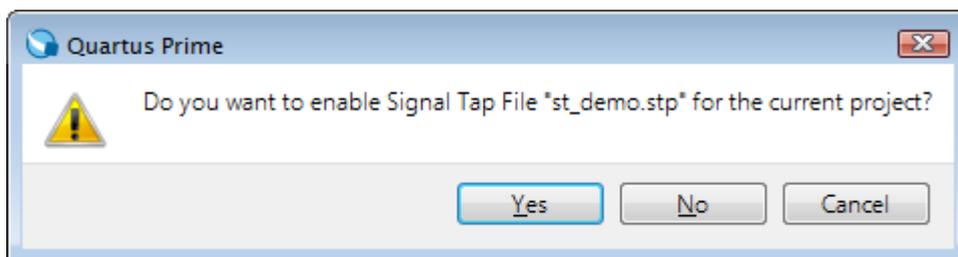
- ・ 保存フォルダ: Quartus Prime のプロジェクト・フォルダの直下
- ・ 保存ファイル名: st\_demo.stp

Add file to current project オプションを有効にして“保存(S)”ボタンをクリックします。

Input “Data and Trigger” is empty とメッセージ・ボックスが表示されるので、OK ボタンをクリックします。



- ③ Do you want to enable Signal Tap File “st\_demo.stp” for the current project? とメッセージが表示されます。Yes ボタンをクリックし、STP ファイルをプロジェクトに登録します。

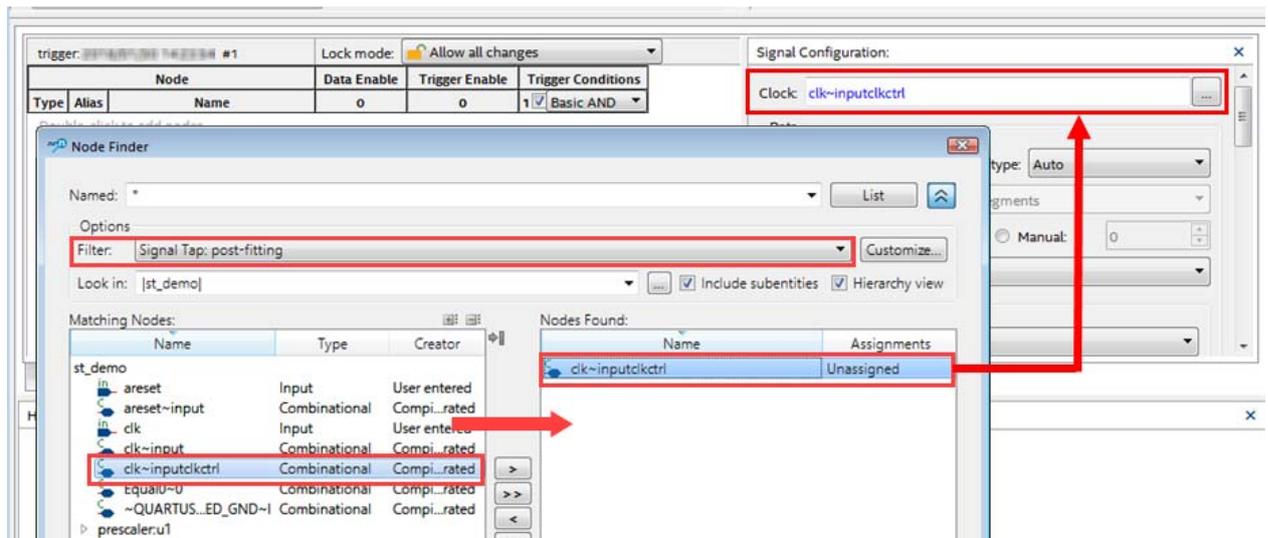


関連情報: [「Quartus Prime はじめてガイド - Signal Tap ロジック・アナライザの使い方」](#)の“4-1. デザインに Signal Tap を追加”をご参考ください。

### 3-2. クロックを設定

Signal Tap IP のクロックを指定します。

- ① STP ファイル (Setup タブ) の Signal Configuration ペインにおいて、Clock 欄右のブラウズ・ボタンをクリックし、Node Finder を表示させます。
- ② Node Finder の Filter を Signal Tap: post-fitting に切り替え、List ボタンをクリックします。
- ③ 検出された Matching Nodes リストの信号から `clk~inputclkctrl` をダブルクリックで指定し、右側の Nodes Found リストに選出します。



Note: Signal Tap IP のクロックに用いる信号は、検証の精度を向上するためにトリガに用いる信号やサンプリングしたい信号と同期の取れたクロック・ドメインを指定することを推奨します。

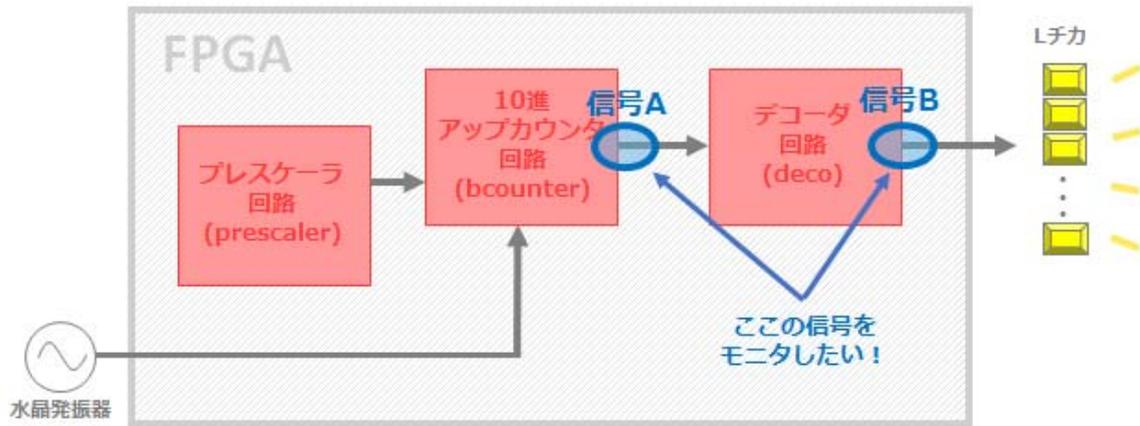
- ④ OK ボタンをクリックし、Signal Tap IP のクロックを登録します。

関連情報 [「Quartus Prime はじめてガイド」 - Signal Tap ロジック・アナライザの使い方](#) の “4-2-1. クロックの設定” をご参考ください。

### 3-3. モニタ信号およびトリガ信号を登録

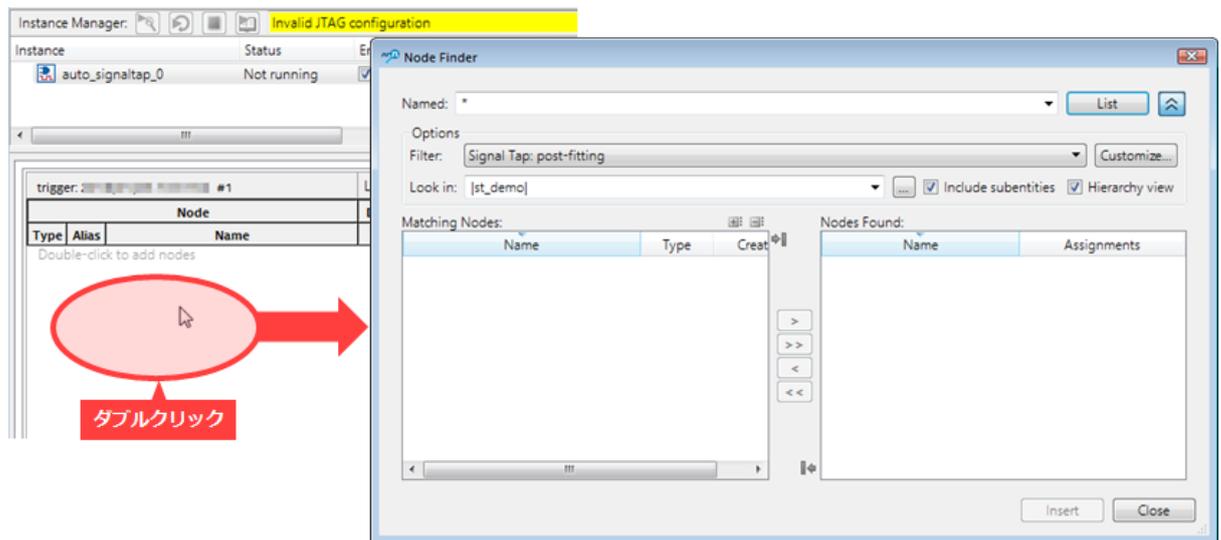
カウンタの出力「9」のときの LED が表示されていない原因を探するため、以下の出力信号をモニタします。

- ・ 10進アップ・カウンタ回路の出力 [信号 A]
- ・ デコーダ回路の出力 [信号 B]



信号 A および信号 B を STP ファイル上に登録するため、下記のステップを行います。

- ① STP ファイルの Node List の空白部分をダブルクリックし、Node Finder を起動します。

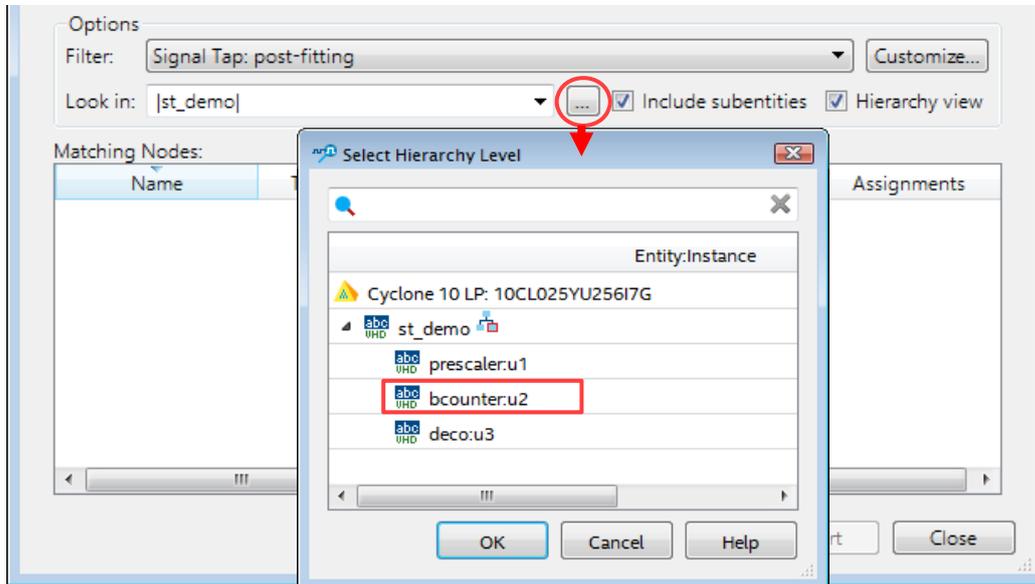


- ② Node Finder ウィンドウ内 Filter 欄のプルダウン・リストにおいて、Signal Tap: post-fitting を選択します。

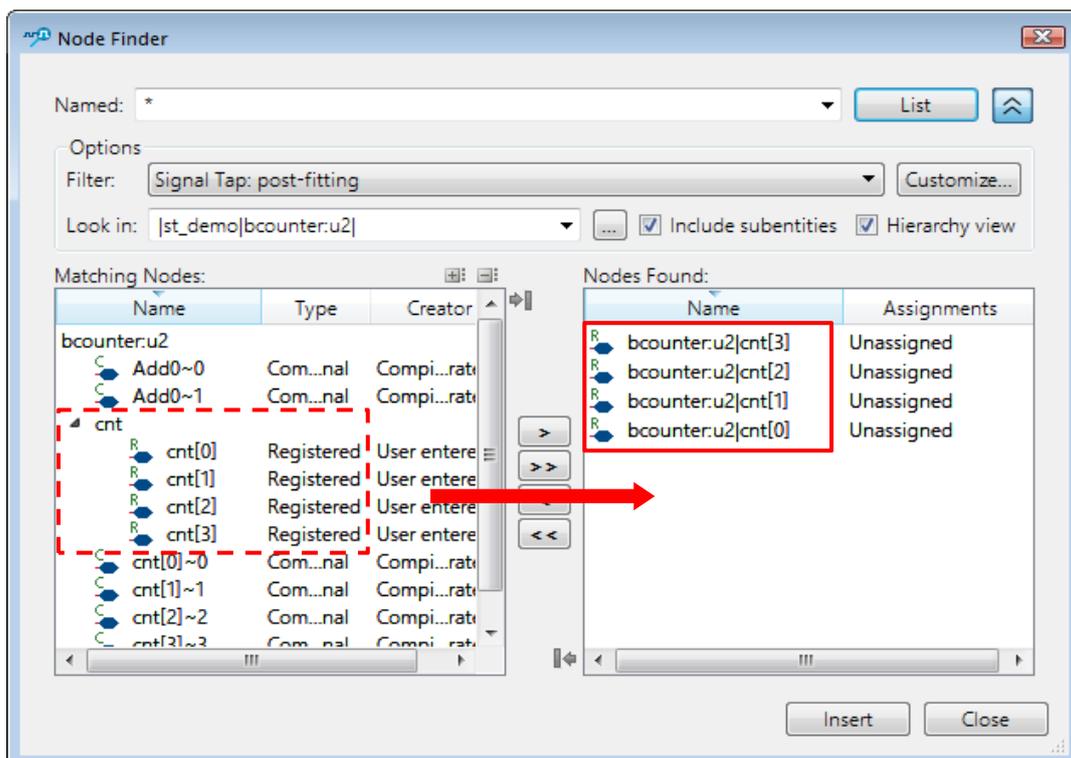


- ③ まずは、信号 A（10 進アップ・カウンタ回路の出力）を選出しましょう。

下位階層 bcounter（10 進アップ・カウンタ回路）の出力信号 q（4bit）をドライブする 4bit レジスタ cnt を検索しやすくするため、Look in 欄の右にあるボタンをクリックし、Select Hierarchy Level ダイアログ・ボックスから bcounter:u2 をハイライト選択し、OK ボタンをクリックします。



- ④ Node Finder の List ボタンをクリックすると、bcounter:u2 インスタンス内の信号が Matching Nodes リスト（左枠）に検出されます。
- ⑤ Matching Nodes リストから該当するレジスタ (cnt[0]、cnt[1]、cnt[2]、cnt[3]) をダブルクリックで選択し、Nodes Found リスト(右枠)に登録して、Insert ボタンをクリックします。(Close ボタンで Node Finder を閉じます。)



STP ファイルの Node List に内部信号が登録されます。

Node		Data Enable	Trigger Enable	Trigger Conditions
Type	Alias			1 Basic AND
R		bcounter.u2 cnt[3]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
R		bcounter.u2 cnt[2]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
R		bcounter.u2 cnt[1]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
R		bcounter.u2 cnt[0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

順番を入れ替え可能

Note: Matching Nodes リストから選出する順番が、STP ファイルに登録される上下の順番になります。上下の順番は、Node Finder で選出後も STP ファイル内でドラッグ&ドロップにより入れ替えることが可能です。

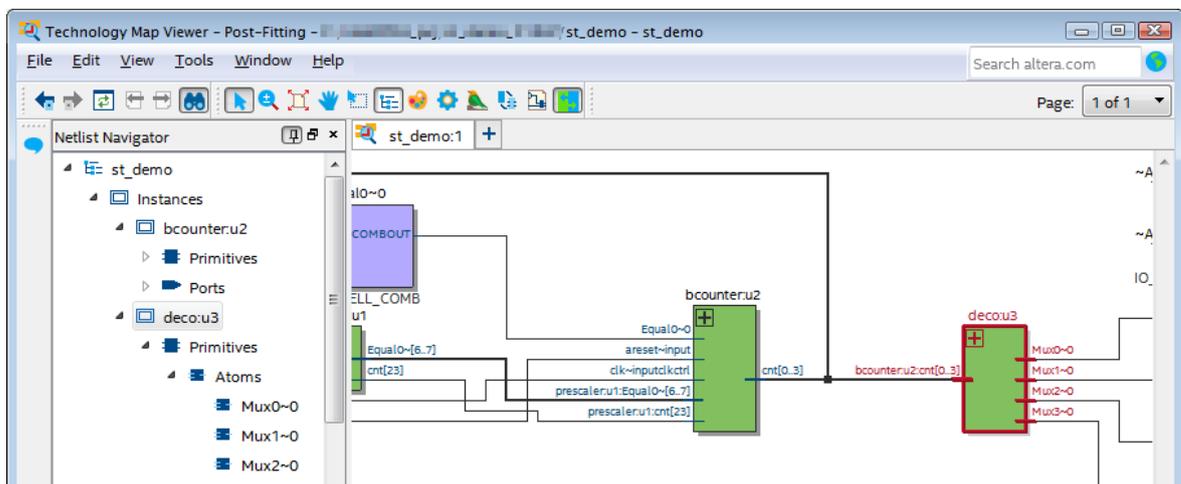
これらのレジスタを、キーボードの Shift キーを使用して全選択し、右クリック ▶ Group によりバス表示に変更します。

Type	Alias	Name	Data Enable	Trigger
R		bcounter.u2 cnt[3..0]	<input checked="" type="checkbox"/>	
R		bcounter.u2 cnt[3]	<input checked="" type="checkbox"/>	
R		bcounter.u2 cnt[2]	<input checked="" type="checkbox"/>	
R		bcounter.u2 cnt[1]	<input checked="" type="checkbox"/>	
R		bcounter.u2 cnt[0]	<input checked="" type="checkbox"/>	

一旦 STP ファイルを保存しておきます。(File メニュー ▶ Save)

- ⑥ 続いて、信号 B (デコーダ回路の出力)を選出します。この信号は、Technology Map Viewer (post-Fitting) を活用して視覚的に検索し、選出してみましょう。

Quartus Prime 上の Tools メニュー ▶ Netlist Viewers ▶ Technology Map Viewer (Post-Fitting) によりビューワを起動します。

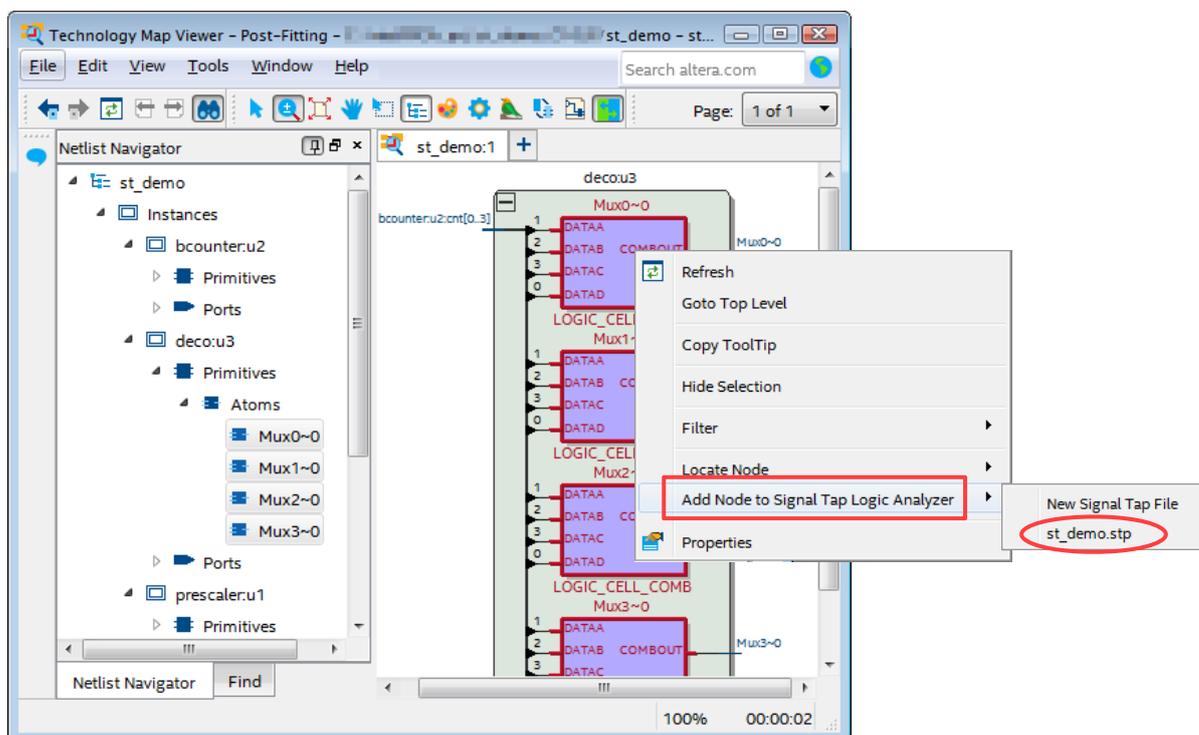


Note: Technology Map Viewer は、自分のデザインの論理合成前および配置配線後のネットリストがグラフィカルに表示されるビューで、Post-Mapping と Post-Fitting の 2 タイプが用意されています。今回 Signal Tap で活用するのは Post-Fitting のビューです。Netlist Navigator (ウィンドウの左側)にはプロジェクト・デザインが階層表示されていて、各インスタンスおよびそのインスタンスで使用されているポートやロジックが表示されています。これらのアイテムから、Signal Tap でモニタ信号およびトリガ信号として使用する信号を探します。

- ⑦ Netlist Navigator から **deco:u3** (デコーダ回路)を探し、deco:u3 ⇒ Primitives ⇒ Atoms と下位を展開します。Atoms 内のノードをどれか一つダブルクリックすると、指定した階層のノードがグラフィカル・ビュー側に表示されます。

ここから、内部ノード Mux\*~0 を選択します。(キーボードの Ctrl キーを押しながらマウスでノードを選択することで、複数選択が可能です。)

- ⑧ 指定したノードをハイライトさせたままグラフィック・ビュー側にマウスを移動させ、右クリック ▶ Add Node to Signal Tap Logic Analyzer ▶ st\_demo.stp を選択します。

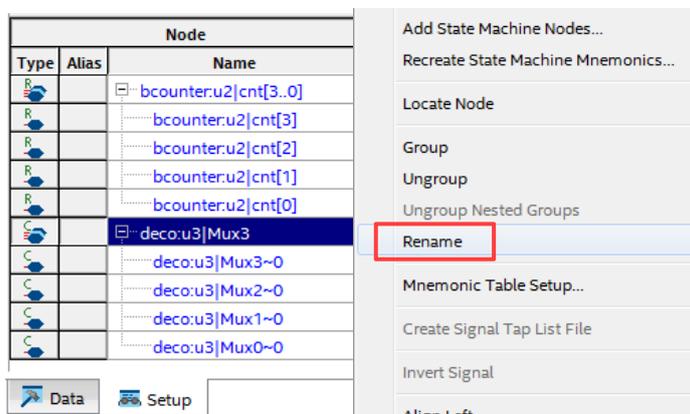


※ もし、New Signal Tap File しか表示されない場合は、st\_demo.stp ファイルが開いています。st\_demo.stp ファイルを開いた後に、Technology Map Viewer (post-Fitting) を使用してください。

STP ファイルの Node List にノードがインポートされたことを確認します。

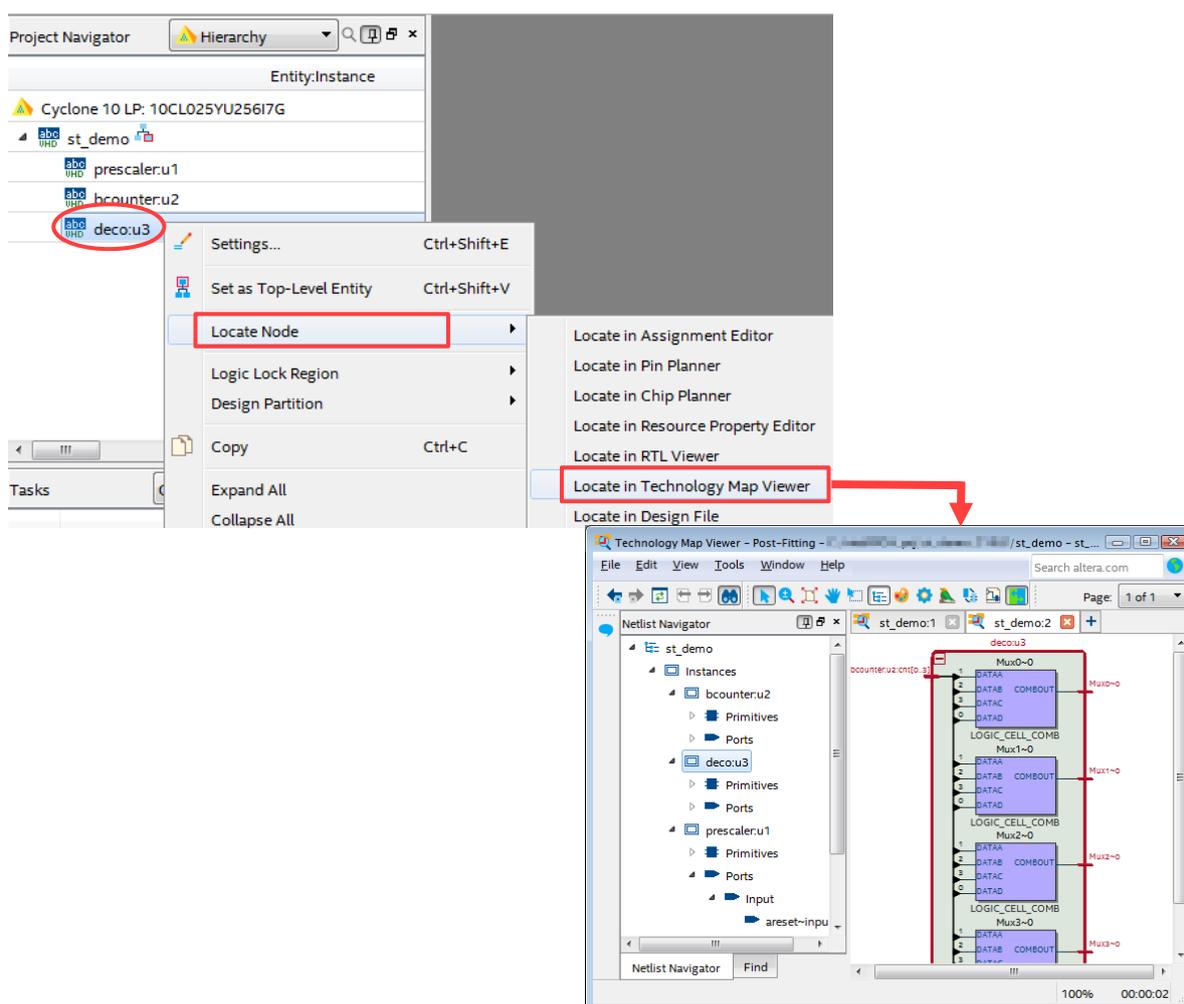
関連情報 [【TIPS】SignalTap® II でキャプチャしたい内部信号を簡単に STP ファイルに登録する方法](#)

- ⑨ deco:u3|Mux\*~0 を bcounter:u2|cnt[3..0] 同様に、キーボードの Shift キーを使用して全選択し、右クリック ▶ Group によりバス表示に変更します。また、グループ化した信号を選択し、右クリック ▶ Rename により、グループ名 deco:u3|Mux を付けます。



- ⑩ STP ファイルを保存しておきます。(File メニュー ▶ Save)

Note: Quartus Prime の Project Navigator 上からインスタンスを選択し、Technology Map Viewer にクロスプロブすることも可能です。

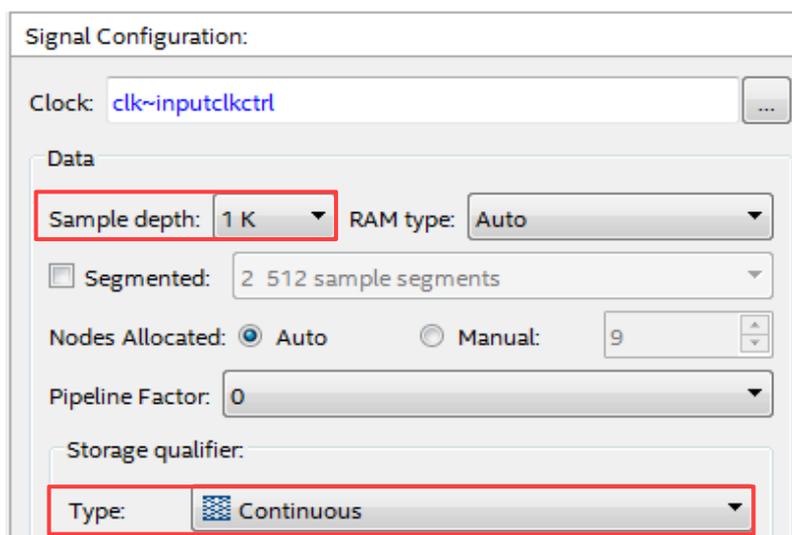


関連情報 [「Quartus Prime はじめてガイド - Signal Tap ロジック・アナライザの使い方」](#) の “4-2-2. 信号の登録” をご参考ください。

### 3-4. サンプル容量、バッファ・モードの設定

Signal Configuration ペイン内 Data エリアの設定をします。

- ① Sample depth を **1K** に設定します。
- ② Storage qualifier の Type を **Continuous** に設定します。

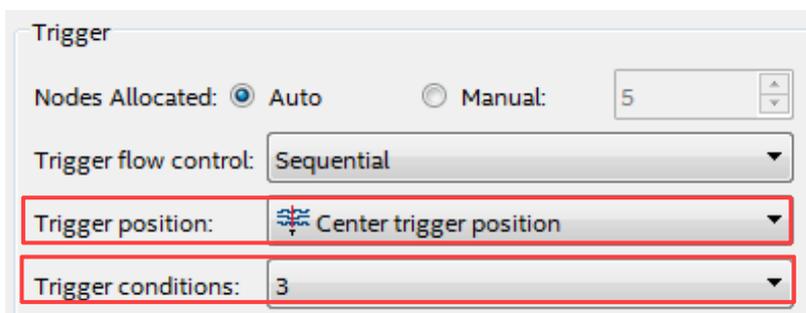


関連情報 [「Quartus Prime はじめてガイド - Signal Tap ロジック・アナライザの使い方」](#) の “4-2-3. サンプル容量の指定”、 “4-2-4. RAM タイプの指定”、 “4-2-5. バッファ・モードの選択” をご参考ください。

### 3-5. トリガの設定

Signal Configuration ペイン内 Trigger エリアの設定をします。

- ① Trigger position を **Center trigger position** に設定します。
- ② Trigger conditions を **3** に設定します。
- ③ それ以外の設定はデフォルトのままにします。



- ④ グループ名 `bcounter:u2|cnt[3..0]` のトリガ・パターンを設定します。

“LED にカウンタの値が 9 際の動作が見られないのは、カウンタが 9 を出力していないからか？”と想定し、カウンタ出力が 8、9、0 の間をモニタするトリガ条件を設定します。

Node List 上で bcounter:u2|cnt[3..0] の Trigger Conditions 1 欄を右クリックで選択し、Insert Value を選択します。Insert Value ウィンドウにおいて、Radix を Hexadecimal に切り替え、value 欄に 8 を入力し、OK ボタンをクリックします。

Type	Alias	Node Name	Data Enable	Trigger Enable	1 Basic AND	2 Basic AND	3 Basic AND
B		bcounter:u2 cnt[3..0]	9	9	Xh	Xh	Xh
*		bcounter:u2 cnt[3]	9	9			
*		bcounter:u2 cnt[2]	9	9			
*		bcounter:u2 cnt[1]	9	9			
*		bcounter:u2 cnt[0]	9	9			
C		deco:u3 Mux3	9	9	Xh	Xh	Xh
*		deco:u3 Mux3~0	9	9			
*		deco:u3 Mux2~0	9	9			
*		deco:u3 Mux1~0	9	9			
*		deco:u3 Mux0~0	9	9			

Insert Value  
 Value: 8      Radix: Hexadecimal  
 OK      Cancel      Help

同様に bcounter:u2|cnt[3..0] の Trigger Conditions 2、Trigger Conditions 3 欄をダブルクリックし、9、0 を順に入力します。

Type	Alias	Node Name	Data Enable	Trigger Enable	1 Basic AND	2 Basic AND	3 Basic AND
B		bcounter:u2 cnt[3..0]	9	9	8h	9h	0h
*		bcounter:u2 cnt[3]	9	9	1	1	0
*		bcounter:u2 cnt[2]	9	9	0	0	0
*		bcounter:u2 cnt[1]	9	9	0	0	0
*		bcounter:u2 cnt[0]	9	9	0	1	0
C		deco:u3 Mux3	9	9	Xh	Xh	Xh

- ⑤ グループ名 deco:u3|Mux のノード名部分を右クリック選択 ▶ Bus Display Format ▶ Binary を選択し、Radix をバイナリに変更します。

*		bcounter:u2 cnt[0]					
C		deco:u3 Mux3					
*		deco:u3 Mux3~0					
*		deco:u3 Mux2~0					

Mnemonic Table Setup...  
 Create Signal Tap List File  
 Invert Signal  
 Align Left  
 Align Right  
 Pre-Synthesis Node  
 Post-Fit Node  
 MSB on Top, LSB on Bottom  
 LSB on Top, MSB on Bottom  
 Bus Display Format ▶

Hexadecimal  
 Unsigned Decimal  
 Signed Decimal in Two's Complement  
 Signed Decimal in Sign Magnitude  
 Floating-point  
 Octal  
 Binary  
 8-bit ASCII  
 Unsigned Bar Chart  
 Unsigned Line Chart  
 Signed Bar Chart  
 Signed Line Chart

また、deco:u3|Mux はトリガ信号として用いないため、Trigger Enable オプションを OFF にします。

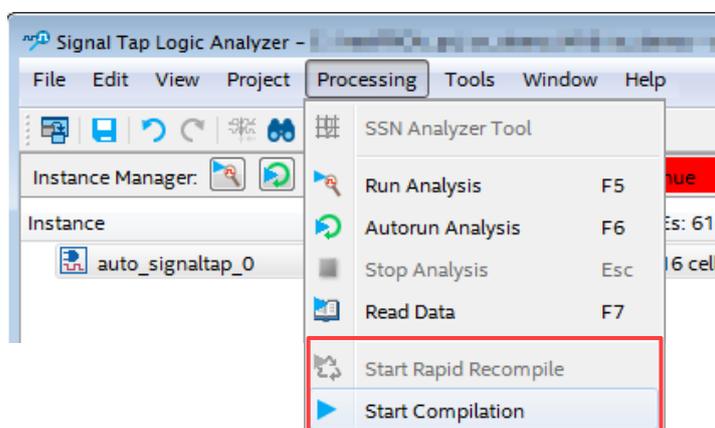
Node		Data Enable	Trigger Enable	Trigger Conditions			
Type	Alias	Name	9	5	1 Basic AND	2 Basic AND	3 Basic AND
		bcounter:u2 cnt[3..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	8h	9h	0h
		bcounter:u2 cnt[3]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	1	1	0
		bcounter:u2 cnt[2]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	0	0
		bcounter:u2 cnt[1]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	0	0
		bcounter:u2 cnt[0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	0	1	0
		deco:u3 Mux3	<input checked="" type="checkbox"/>	<input type="checkbox"/>			
		deco:u3 Mux3~0	<input checked="" type="checkbox"/>	<input type="checkbox"/>			
		deco:u3 Mux2~0	<input checked="" type="checkbox"/>	<input type="checkbox"/>			
		deco:u3 Mux1~0	<input checked="" type="checkbox"/>	<input type="checkbox"/>			
		deco:u3 Mux0~0	<input checked="" type="checkbox"/>	<input type="checkbox"/>			

- ⑥ STP ファイルを保存しておきます。(File メニュー ▶ Save)

関連情報 [「Quartus Prime はじめてガイド - Signal Tap ロジック・アナライザの使い方」](#) の “4-3. トリガの定義” をご参考ください。

## 4. コンパイルおよびダウンロード

- ① STP ファイルの Processing メニュー ▶ Start Compilation または Start Rapid Recompile を選択し、Signal Tap ロジック・アナライザ IP を組み込んだユーザ・デザインをコンパイルします。



Notes: Rapid Recompile は、該当する FPGA ファミリのみに実行可能です。

- ② sof ファイルをダウンロードするため、事前にパソコンとダウンロード・ケーブル、ダウンロード・ケーブルと FPGA の搭載されたボードを接続し、ボードの電源を投入します。
- ③ STP ファイル内 JTAG Chain Configuration ペインの Hardware 欄において、プルダウン・リスト または Setup ボタンをクリックし、使用するダウンロード・ケーブルを選択します。
- ④ Device 欄に対象の FPGA が表示されていない場合は、Scan Chain ボタンをクリックしてください。
- ⑤ SOF Manager 右端のブラウザ・ボタンをクリックし、“プロジェクト・フォルダ/output\_files/st\_demo.sof” を選択します。

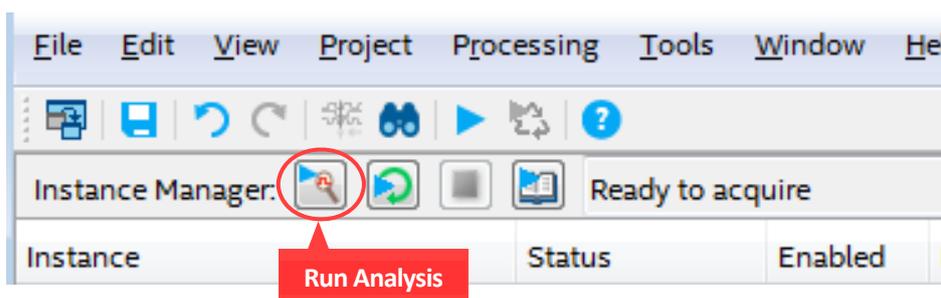
- ⑥ SOF Manager 中央にある **Program Device** ボタンをクリックし、ダウンロードを開始します。



関連情報 [「Quartus Prime はじめてガイド - Signal Tap ロジック・アナライザの使い方」](#) の “4-4. デザインのコンパイル”、 “4-5. FPGA プログラミング” をご参考ください。

## 5. 信号をアナライズ

- ① 解析を実行するため、STP ファイルの **Run Analysis** ボタンをクリックします。



- ② 取得したデータを解析します。

すべてのトリガ条件が発生しました。波形をよく見ると、カウンタ出力 `bcounter:u2|cnt[3..0]` が 0h にリセットされる前に、9h になっている状態があることが確認できます。(Data タブの波形上で左右クリックすることでズームイン、ズームアウトができます。)



9h は他の信号と比べて継続時間が短すぎるため、LED に表示されないのだと分析できます。リセットの様がおかしいのかもしれませんが、ソース・コードを見て、修正してみましょう。

関連情報 [「Quartus Prime はじめてガイド - Signal Tap ロジック・アナライザの使い方」](#) の “4-6. Signal Tap の実行”、 “4-7. キャプチャされたデータの表示・解析” をご参考ください。

## 改版履歴

Revision	年月	概要
1	2018 年 2 月	初版

### 免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
- 本資料は予告なく変更することがあります。
- 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。  
 株式会社マクニカ アルティマ カンパニー <https://www.alt.macnica.co.jp/> 技術情報サイト アルティマ技術データベース <http://www.altima.jp/members/>  
 株式会社エルセナ <http://www.elsena.co.jp> 技術情報サイト ETS <https://www.elsena.co.jp/elspear/members/index.cfm>
- 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。