

Quartus[®] Prime はじめてガイド プロジェクトの作成方法

Ver.17



2018 年 3 月 Rev.1

ELSENA, Inc.





Quartus Prime 入門編 プロジェクトの作成方法

目次

1.	はじめに	.3
2.	プロジェクトとは	.4
3.	新規プロジェクトの作成	.7
4.	既存プロジェクトの起動と終了1	.8
4	-1. 既存プロジェクトの起動方法1	8
4	-2. プロジェクトの終了方法2	0
5.	既存プロジェクトの設定変更2	1
5	-1. デザイン・ファイルの登録変更	1
5	-2. ユーザ・ライブラリの変更	2
5	-3. ターゲット・デバイス型番の変更	3
5	-4. EDA ツールの変更	4
5	-5. 最上位階層デザインの変更2	5
改覑	反履歴2	7



1. <u>はじめに</u>

この「Quartus® Prime はじめてガイド」シリーズは、インテル® Quartus® Prime 開発ソフトウェアを初めてご利用になるユーザ向けの資料です。



この資料は、FPGA/CPLD 開発の『3. 論理回路の設計』フェーズで参考になります。

Quartus[®] Prime は、ユーザ・デザインをプロジェクトで管理します。プロジェクトは、デザインのコンパイルに必要 なすべてのデザイン・ファイル、設定ファイルおよびその他のファイルで構成されます。そのため開発を始めるに は、まずプロジェクトを作成する必要があります。

この資料では、Quartus® Prime において新規でプロジェクトを作成する方法や既存プロジェクトの起動方法など を説明しています。なお、本資料を読んで更にプロジェクトに関する詳細を知りたい場合は、本資料を入手したサイ ト内の以下の資料をご覧ください。

『Quartus® Prime ステップアップ・ガイド - プロジェクトの管理』

本資料で使用しているツールおよびツール・バージョンは、以下の通りです。

● インテル[®] Quartus[®] Prime 開発ソフトウェア Standard Edition 17.1

2. <u>プロジェクトとは</u>

Quartus[®] Prime は、ユーザ・デザインをプロジェクトで管理し、プロジェクトにはデザインのコンパイルに必要なす べてのデザイン・ファイルや設定ファイルなどが含まれます。1 つの FPGA や CPLD に対して開発を行う際に、 Quartus[®] Prime では 1 つプロジェクトを構築し作業を行います。そのため、基板上に複数の FPGA や CPLD が搭 載される場合には、個々のデバイスに対してそれぞれプロジェクトが必要になります。

Quartus[®] Prime を起動するには、Windows[®] OS の場合はインストール時に作成したデスクトップ上のショートカット・アイコンをダブルクリック、もしくは[スタート]メニュー(Windows 8.1 の場合はスタート画面)など様々な方法で Quartus[®] Prime を起動させることができます。Linux[®] OS の場合は、コマンドにより起動させることができます。 Quartus[®] Prime が起動後に Welcome スクリーンが表示され、このスクリーンから以下のプロジェクト作業が行え ます。

① New Project Wizard ボタン	新規にプロジェクトを作成するためのウィザードを起動する
② Open Project ボタン	既存のプロジェクトを開く
③ Recent Project	過去に使用したプロジェクトの履歴から選択してプロジェクトを開く

これらの操作は、Quartus® Prime のメニューからも行うことができます。本資料では、Quartus® Prime のメニューを使用したプロジェクトの作成方法について説明します。



今後 Welcome スクリーンを表示させたくない場合は、スクリーン下の Don't show this screen again オプション にチェックを入れてください。もし再度 Quartus[®] Prime 起動時に Welcome スクリーンを表示させたい場合には、 Tools メニュー \Rightarrow Options の General カテゴリにある Show welcome screen オプションにチェックを入れてくださ い。次回の Quartus[®] Prime 起動時に反映されます。また、Close page after project load オプションを有効にすると、 新規あるいは既存プロジェクトを起動後に Welcome スクリーンは閉じます。

Quartus[®] Prime は主にメニューバーで操作を行いますが、頻繁に使用するメニューは Tasks ウィンドウやツー ルバーのアイコンからも操作が行うことができます。Tasks ウィンドウは、Quartus[®] Prime の主な操作を簡単に実行 できるようにまとめたウィンドウです。目的の項目をダブルクリックすることでタスクが実行できます。タスクのフロ ーは 5 種類が用意され、各フローで頻繁に使用するタスクが集約されています。



※ Pro Edition の Task ウィンドウには、この機能がありません。

Compilation	コンパイル用タスクにフォーカス
Full Design	全タスク
Gate Level Simulation	ゲート・レベル・シミュレーション用タスクにフォーカス
RTL Simulation	RTL シミュレーション用タスクにフォーカス
Rapid Recompile	ラピッド・リコンパイル用タスクにフォーカス

ツールバーのアイコンは、メニューバーのプルダウンで表示されるメニュー名の左に描かれたアイコンと連携しています。また、ツールバーのアイコンにマウスのポインタをかざすと、ポインタの右下にツールチップが表示され、 どのメニューのアイコンかを確認することができます。



★ 豆知識 ★

デフォルトのツールバーは小さいですが、下図のように大きくすることができます。右クリック ⇒ Large Icons に チェックを入れると、ツールバーが大きくなります。



3. 新規プロジェクトの作成

新規のプロジェクトをウィザード形式(対話形式)で作成します。このウィザードでは、プロジェクト作成と同時に 以下の項目を設定できます。

- ・ 作業フォルダ
- プロジェクト名
- ・ 最上位階層のエンティティ名
- ・ コンパイルに必要なデザイン・ファイルおよびライブラリ格納フォルダの登録
- デバイス型番
- プロジェクトの開発に必要なインタフェース用 EDA ツール

新規プロジェクトの作成手順は、以下のとおりです。なお本資料では、Quartus® Primeのメニューバーを使用した操作方法で説明します。

1. File メニュー ⇒ New Project Wizard を選択すると、New Project Wizard ダイアログボックスが起動します。

File	e Edit View Project	Assignments	Proce
	New	Ctrl+N	
T	Open	Ctrl+O	
	Close	Ctrl+F4	
A	New Project Wizard		
•	New Project Wizard Open Project	Ctrl+J	
A	New Project Wizard Open Project Save Project	Ctrl+J	

2. Introduction ページは Next ボタンをクリックし、次へ進みます。(Introduction ページを非表示にする設定 がされている場合は、このページは表示されません。)



3. Directory, Name, Top-Level Entity ページでは、作業フォルダやプロジェクト名などを設定します。なお、各項 目は半角英数字で記入してください。特殊文字やスペースは使用できません。各項目を入力後 Next ボタ ンをクリックします。

🕥 New Project Wizard	
Directory, Name, Top-Level Entity	
What is the working directory for this project?	\land
C:/Work/pipemult	
What is the name of this project?	
pipemult	
What is the name of the <u>t</u> op-level design entity for this p match the entity name in the design file.	project? This name is case sensitive and must exactly
pipemult	
Use Existing Project Settings	
	ブラウズ・ボタン
	ここから選択してください。
	< Back Next > Einish Cancel Help

What is the working directory for this project?	作業フォルダのパス
What is the name of this project?	プロジェクト名※
What is the name of the top-level design entity for this project? This name is (略)	最上位階層のエンティティ名

※ 管理を簡易にするため、プロジェクト名は最上位階層のエンティティ名と同じにすることを推奨します。

また、過去作成したプロジェクトのデバイス型番や EDA ツール設定などを反映させる場合は、Use Existing Project Settings ボタンをクリックし、目的の既存プロジェクトを選択します。

 Project Type ページでは、空のプロジェクトを作成するか、既存のデザイン・テンプレートからプロジェクトを 作成するかを選択します。新規プロジェクトを作成する場合は、Empty project を選択してください。(次へ 進んでください。)Project template を選択すると、Quartus® Prime に既にインストールされているデザイン・ テンプレートや Design Store からダウンロードしたデザイン・テンプレートからプロジェクトを作成すること ができます。



🕥 New Project Wizard

Project Type

Select the type of project to create.

Empty project

Create new project by specifying project files and libraries, target device family and device, and EDA tool settings.

Project template

Create a project from an existing design template. You can choose from design templates installed with the Quartus Prime software, or download design templates from the <u>Design Store</u>.

◆ デザイン・テンプレートからプロジェクト作成する時は Project template を選択して次へ進むと、Design Template ページへジャンプします。ここから、デザイン・テンプレートを選択してください。新しいデザイ ン・テンプレートをダウンロードする場合は、インテル® FPGA の Design Store から目的のデザイン・テン プレートを検索して .par ファイルをダウンロードします。この時、デバイス・ファミリやカテゴリ、バージョ ンなどで絞り込みができます。.par ファイルを入手したら、Install the design templates をクリックしてデザ イン・テンプレートをインストールします。インストールが完了すると、利用可能なデザイン・テンプレート として Available design template に表示されます。

Design Templates Select a design template.			;	利用可能な	なデザイ ストール	ン・テンプレ されている	ノート デザイン	・テンプレ
Family:	Any		 Develop 	pment kit: Any		🔻 🗐 Inclu	de unsupported vers	ions
Availabl	e design te	mplates:	Category	Development Kit	Family	Device	Cemplate Version	Software V
	1	Nios II Compact Configuration	Design Example	Cyclone V GX Starter Kit	Cyclone V	5CGXFC5C6F27C7	1.0	15.1.0
•			m					,
To add (1 Down 2 Instal If you pr	design temp aload design the design reviously in	plates: n templates, from tie <u>templates</u> , stalled a design temp	III	Desig	<mark>gn Store</mark> s Prime software,	へジャンプ add the installation direc	p ctory to the design te	mplate

(inte	FPGA							L	.ogin
Das	hboard » Design Store » Design Examples								
Des	an Examples Development Kits	Г	拾	志冬供				O Take a	tour
Loo	king for more design examples? Find them here.		15		Intereste	d in contributing cont	ent to the design store?	Click here	2.
Fami Deve	lly: MAX 10 Category: elopment Kit: Any I	Any P Core: Any		Quartus II Version:	17.1				
								Q, Se	arch
	Name	Category	¢	Development Kit	Family ^{\$}	Quartus II Version	Vendor	Downlo	oads 🔶
*	Boot From HyperFlash example	Design Example \ Outside Design Store		EBV HyperMAX	MAX 10	17.1.0 Standard	Synaptic Laboratories Ltd.	2	0
*	Dual Core Nios II Project with private and shared memory regions	Design Example \ Outside Design Store		EBV HyperMAX	MAX 10	17.1.0 Standard	Synaptic Laboratories Ltd.	4	0
			E	2 item(s)					

- 5. Add Files ページでは、コンパイルに必要なデザイン・ファイルやライブラリが格納されたフォルダを登録します。
 - (1) File name 欄右にあるブラウズ・ボタンをクリックし、Select File ウィンドウからデザイン・ファイルを選 択して 開く ボタンをクリックします。
 - (2) Add ボタンをクリックして下部の枠内に登録してください。Select File ウィンドウにおいて同一フォルダ から複数のデザイン・ファイルを一度に選択した場合には、開く ボタンをクリックするだけで、下部の 枠内にファイルが登録されます。

コンパイルに必要なデザイン・ファイルが複数のフォルダに分散して保存されている場合も、Add Files で 登録をしてください。もしプロジェクトを作成後にデザインを新規に作成あるいは追加する場合は、ここでは 何も登録せずに次へ進んでください。プロジェクト作成後でも、デザイン・ファイルの登録や変更を行うこと ができます。

Add Files Select the design files you want to i 既存フォルダのパスやファイル名は、ここから選択してください。				
File name:	add design mes to the project later.		``	Add
			×	Add A <u>l</u> l
File Name	Туре	Library	Design Entry/Synthesis Tool	Remove
ram.qip	IP Variation File (.qip) Block Diagram/Schematic File			Up
mult.qip	IP Variation File (.qip)			Down
Specify the path nam	es of any non-default libraries. U <u>s</u> er	Libraries		Propertie
されているデザイン・	ファイルをここで検索できます。			

プロジェクトのフォルダ(作業フォルダ)内に、コンパイルに必要なデザイン・ファイルがすべて保存され ている場合は、デザイン・ファイルの登録は必須ではありません。Quartus® Prime はコンパイル時に、プロ ジェクトにデザイン・ファイルが登録されていなくてもプロジェクト・フォルダ内を自動的に検索し、必要なデ ザイン・ファイルを読み込む特性があります。しかし、プロジェクト・フォルダ内にファイル名は異なるがエン ティティ名(モジュール名)が重複するデザイン・ファイルが複数存在している場合には、先に読み込まれた デザイン・ファイルが適用されるため、ユーザの意向と異なったデザイン・ファイルが読み込まれてしまう可 能性があります。そのため、Add Files により適切なデザイン・ファイルだけを登録することを推奨します。 Quartus® Prime がサポートするデザイン・ファイルおよび Add Files に登録できる関連ファイルは、以下の とおりです。

VHDL Design Files (.vhd)	VHDL ファイル
Verilog HDL Design Files (.v)	Verilog HDL ファイル
SystemVerilog (. sv)	System Verilog ファイル
Schematic Block Design Files (. bdf)	Quartus [®] Prime / Quartus [®] II 専用回路図ファイル
Text Design File (.tdf)	AHDL ファイル
Verilog Quartus Mapping (.vqm)	ATOM レベルのネットリスト・ファイル
EDIF Input File (.edf)	EDA 合成ツールの出力ファイル
Quartus II IP File (.qip) ^{**}	IP Catalog で生成したメガファンクションや IP のす べてのデザイン・ファイル・パスを記載した環境ファ イル
Qsys system File (. qsys)	Platform Designer (旧 Qsys)のシステム・ファイル

※ IP Catalog や Platform Designer(旧 Qsys)によりメガファンクションや IP を生成すると、HDL デザイン と共に .qip ファイルが生成されます。HDL ファイルの代わりに .qip ファイルを Add Files に登録す ると、メガファンクションあるいは IP に必要な HDL ファイルを全て登録したことに相当するため、複 数ファイルで構成される IP をデザイン登録する際は、非常に簡単に設定することができます。ま た、.qip ファイルを Add Files に登録すると、IP Components タブ(Project Navigator ウィンドウ内) や Upgrade IP Components ダイアログボックス(Project メニュー) に表示され、管理がしやすくなりま す。

また、コンパイルに必要なデザイン・ファイルがプロジェクト・フォルダとは別のフォルダに保存されてい て、かつ同一フォルダ内にデザイン・ファイルが多数ある場合や、IP(Intellectual Property)を使用している 場合は、Add Files で登録せずにユーザ・ライブラリを指定することでデザイン・ファイルの登録が行えます。 ユーザ・ライブラリの登録方法は、以下のとおりです。

- (1) Add Files ページ内の User Libraries ボタンをクリックします。
- (2) User Libraries ダイアログボックスにおいて、Global libraries (all projects) または Project libraries いずれかに、目的のフォルダを選択および登録します。

Global libraries	Quartus® Prime で開発するすべてのプロジェクトで有効
Project libraries	現在のプロジェクトのみで有効



Jser Libraries	_
Specify both project and global librarie order you want to search them. Both p contain user-defined or vendor-suppli Symbol Files, and AHDL Include Files.	es. List the library names in the roject and global libraries can ed megafunctions, Block
Global libraries (all projects)	
<u>G</u> lobal library name:	<u>A</u> dd
Libraries:	<u>R</u> emove
	Down
Project libraries	
Use project's relative path	Add
Project library name:	
Libraries:	Up
	Own
r	
L	Cancel Help



6. Family & Device Settings ページでは、ターゲット・デバイスを選択します。

amily, Device &	Board Sett	ings					
Select the family and You can install additi To determine the ver	device you war onal device sup sion of the Qua	nt to target for o port with the In rtus Prime softw	compilation. Istall Devices com ware in which you	mand on the r target devi	Tools menu. e is supported, refer to	the <u>Device Support List</u> (webpage
Device family				Show in 'A	vailable devices' list		
Eamily: Cyclone V (Devic Arria 10 (G) Arria II GX Arria I GX Arria V (GT Arria V (GT Arria V GZ Spec Cyclone 10 Octhe Cyclone IV Octhe Cyclone IV Available Cyclone V (MAX 10 (D/ MAX I)	E/GX/GT/SX/SE (/SX/GT) /GX/ST/SX) LP E E GX GX E/GX/GT/SX/SE A/DF/DC/SA/SC	E/ST) E/ST))	T	Package: Pin <u>c</u> ount: Core speed Name filte Show ad	Any Any d grade: Any r: dvanced devices GXB Channel PMA	GXB Channel PCS	• •
5CGXFC Stratix IV (G 5CGXFC Stratix V (G	T/GX/E) S/GT/GX/E)			240 240	6 6	6 6	1
5CGXFC7C6U19C7	1.1V	56480	268	240	6	6	1
5CGXFC7C6U19I7	1.1V	56480	268	240	6	6	1
5CGXFC7C7F23C8	1.1V	56480	268	240	6	6	1
5CGXFC7C7U19C8 ≺	1.1V '''	56480	268	240	6	6	1 *

Device family

デバイス・ファミリを選択します。

Device family						
Eamily: Cyclone V (E/GX/GT/SX/SE/ST)						
Dev <u>i</u> ce:	All					
	Cyclone V GX Extended Features					
Target de	Cyclone V GX Base					
Auto d	Cyclone V E Extended Features					
- <u>A</u> uto u	Cyclone V E Base					
Specifi	Cyclone V GT					
Other:	Cyclone V SX Extended Features					
	Cyclone V ST Extended Features					
A <u>v</u> ailable d	Cyclone V SE Mainstream					
	Cyclone V SE Base					
Na	All					
Na	Cyclone V SE Base All					

Family	デバイス・ファミリを選択します。
Devices	選択したファミリにおいて、さらにシリーズを指定して選定できます。シリ ーズを選択できないファミリもあります。



• Target device

型番を選択する方法を選択します。

Tarnet device					
anget de lieb					
Auto device selected by the Fitter					
O <u>Specific device selected in 'Available devices' list</u>					
O Other: n/a					

Auto device selected by the Fitter	Quartus® Prime に最適な型番を自動で選択させる場 合はこちらを選択します。選択できないファミリもあり ます。
Specific device selected in 'Available devices' list	希望する型番を Available devices 欄からユーザが指 定する場合はこちらを選択します。

Show in 'Available devices' list

希望するデバイス型番の条件を選択します。指定した条件に適合した型番のみが表示されます。

Show in 'Available devices' list						
Package:	FBGA					
Pin count:	672 🔹					
Core Speed grade:	[7_H6 ▼					
Name filter:						
Show advanced devices						

Package	パッケージのタイプを指定
Pin count	パッケージのピン数を指定
Core Speed grade	スピード・グレードを指定
Name filter	型番の一部のキーワードを入力(ワイルドカードの使用可)
Show advanced devices	Advanced デバイス [※] を表示/非表示する

※ Advanced デバイスは、近い将来リリースされる予定の型番のことです。Quartus® Prime でコンパイル やタイミング解析は行えますが、このバージョンの Quartus® Prime ではプログラミング・ファイルは生 成されません。 Available devices

一覧から希望するデバイス型番を選択します。

Available devices:

Name	Core Voltage	ALMs	Total I/Os	GPIOs	GXB Channel PMA	GXB Channel PCS	PC	le ^
5CGXBC7D6F27C7	1.1V	56480	378	336	9	9	0	
5CGXBC9D6F27C7	1.1V	113560	378	336	9	9	0	E
5CGXFC4C6F27C7	1.1V	18860	364	336	6	6	2	
5CGXFC4C6F27I7	1.1V	18860	364	336	6	6	2	
5CGXFC5C6F27C7	1.1V	29080	364	336	6	6	2	
5CGXFC5C6F27I7	1.1V	29080	364	336	6	6	2	Ψ •

- 7. EDA Tool Settings ページでは、プロジェクト開発において Quartus[®] Prime 以外に必要な EDA ツールがある 場合に、そのツールとインタフェースを図るための設定をします。
 - (1) Tool name より、使用するツールを選択します。
 - (2) Format(s) より、ファイル形式を選択します。

New Project Wizard						×
EDA Tool Settin	gs					
Specify the other EDA to	ols used with the Qua	artus Pr	ime software to deve	elop yo	ur project.	
EDA tools:						
Тооі Туре	Tool Name		Format(s)		Run Tool Automatically	
Design Entry/Synthesis	<none></none>	•	<none></none>	Ŧ	Run this tool automatically to synthesize the current design	
Simulation	ModelSim-Altera	•	VHDL	-	Run gate-level simulation automatically after compilation	
Formal Verification	<none></none>	-				
Board-Level	Timing		<none></none>	•		
	Symbol		<none></none>	•		
	Signal Integrity		<none></none>	•		
	Boundary Scan		<none></none>	Ŧ		

Design Entry/Synthesis	論理合成ツール
Simulation	HDL 言語 シミュレータ
Formal Verification	等価検証ツール
Board-Level	基板シミュレーションなど

なお、使用する Quartus[®] Prime とインタフェースが可能な EDA ツールおよびバージョンは、<u>リリース・ノ</u> <u>ート</u> の EDA Interface Information に掲載されていますので、必ず確認してからご利用ください。また、 Quartus[®] Prime / Quartus[®] II の旧バージョンのリリース・ノートは、<u>Documentation Archive</u> よりご覧くださ い。 8. Summary ページにおいて、設定してきた内容を一覧で確認し、Finish ボタンをクリックします。なお、プロジェクト名以外はプロジェクト作成後でも変更できます。

🕥 New Project Wizard	×
Summary	
When you click Finish, the project will be created with the followi	ng settings:
Project directory:	C:/Work/pipemult
Project name:	pipemult
Top-level design entity:	pipemult
Number of files added:	3
Number of user libraries added:	0
Device assignments:	
Design template:	n/a
Family name:	Cyclone V (E/GX/GT/SX/SE/ST)
Device:	5CGXFC5C6F27C7
Board:	n/a
EDA tools:	
Design entry/synthesis:	<none> (<none>)</none></none>
Simulation:	<none> (<none>)</none></none>
Timing analysis:	0
Operating conditions:	
Core voltage:	1.1V
Junction temperature range:	0-85 °C
	< Back Next > Finish Cancel Help

プロジェクト作成後にプロジェクトが設定されると、Quartus[®] Prime の画面上部(タイトルバー)に以下の情報が表示されます。

Quartus Prime <エディション> - <プロジェクト・フォルダのパス/プロジェクト名> - リビジョン名^{*}

※ リビジョンとは、同一プロジェクト内において新たな制約やコンパイル・オプションを試行できる環境の ことです。デフォルトのリビジョン名は、初期に作成したプロジェクト名になります。詳細は、下記資料 をご覧ください。

『Quartus® Prime ステップアップ・ガイド - プロジェクトの管理』

また、Quartus[®] Prime の画面左上の Project Navigator ウィンドウ(Hierarchy 表示)には、プロジェクト作成時に 指定したデバイス型番と最上位階層のエンティティ名(モジュール名)が表示されます。

プロジェクト・フォルダのパス/プロジェクト名	
🕥 Quartus Prime Standard Edition - C:/Work/pipemult/pipemult	-
File Edit View Project Assignments Processing Tools Window	ン名
Project Navigator 🔥 Hierarchy 🔻 🤉 🖓 🗗 🗶	
Entity:Instance	
A Cyclone V: 5CGXFC5C6F27C7	
▶ pipemult ¹ / ₁	
最上位階層のエンティティ名	

同様に、作業フォルダには Quartus[®] Prime プロジェクト・ファイル(.qpf ファイル)と、コンパイル時に適用される オプション設定などが記録される Quartus[®] Prime セッティング・ファイル(.qsf ファイル)が自動で生成されます。こ れらプロジェクトに関わるファイルの詳細は、下記資料をご覧ください。

Quartus ® Prime	ステップアップ・ガイド	- プロジェクトの管理』
------------------------	-------------	--------------

名前	更新日時	種類	サイズ
퉬 db	2018/03/06 13:13	ファイル フォル…	
🗊 mult.bsf	2018/02/08 15:40	BSF ファイル	3 KB
📄 mult.qip	2018/02/08 15:40	QIP ファイル	1 KB
📓 mult.v	2018/02/08 15:40	Vファイル	5 KB
🔁 pipemult.bdf	2018/02/08 16:10	BDF ファイル	20 KB
🛐 pipemult.qpf	2018/03/06 13:13	QPF ファイル	2 KB
pipemult.qsf	2018/03/06 13:13	QSF ファイル	3 KB
pipemult_example.sdc	2018/02/23 17:37	SDC ファイル	1 KB
nam.bsf	2018/02/08 14:36	BSF ファイル	5 KB
📓 ram.hex	2008/04/29 12:40	HEX ファイル	1 KB
ram.qip	2018/02/08 14:36	QIP ファイル	1 KB
📓 ram.v	2018/02/08 14:36	V ファイル	10 KB

4. 既存プロジェクトの起動と終了

Quartus[®] Prime はユーザ・デザインをプロジェクトで管理しています。目的のデザインに対する作業を行う場合には、そのデザイン用に作成したプロジェクトを起動し、作業を継続します。また、目的のデザインに対する作業を終 了する際は、プロジェクトを終了させます。なお本資料では、Quartus[®] Prime のメニューバーを使用した操作方法で 紹介します。

4-1. 既存プロジェクトの起動方法

すでに作成されたプロジェクトを起動するには、以下の手順で行います。

1. File メニュー ⇒ Open Project を選択します。

File	e Edit View	Project	Assignments	Proces
	New		Ctrl+N	r
	Open		Ctrl+O	
	Close		Ctrl+F4	
A	New Project	Wizard		
A 1	New Proiect Open Project	Wizard t	Ctrl+J	
A <u>*</u>	New Project Open Project Save Project	Wizard t	Ctrl+J	

2. 作業フォルダから目的のプロジェクト・ファイル(<プロジェクト名>.qpf)を選択し、開くボタンをクリックします。

Open Project				×
〇〇〇-	▶ OS (C:) ▶ Work ▶ pipemult ▶	▼ 4 ₇	pipemultの検索	٩
整理 ▼ 新しいフォルダー				
	▲ 名前 ▲	更新日時	種類	サイズ
■ コンピューター	- Ab	2018/03/06 14:04	ファイル フォル	
🏭 OS (C:)	pipemult.qpf	2018/03/06 13:13	QPF ファイル	2 KB
	E .	自動で *.qpf ファ	イルのフィルタ7	が適応
ファイル名(ト	<u>v</u>): pipemult.qpf	-	Quartus Prime Proj	iect File († 🗸
		(開<(<u>0</u>)	キャンセル

3. Quartus[®] Prime のタイトルバーに、選択したプロジェクト名および作業フォルダのパスが表示されていることを確認します。

★ 補足 ★

Windows[®] エクスプローラなどのファイル管理ツールから目的のプロジェクトの .qpf ファイルをダブルクリック することで、Quartus[®] Prime が起動していなくても自動的に起動し、指定したプロジェクトが設定できます。ただし、 使用するパソコンにバージョンの異なる Quartus[®] Prime / Quartus[®] II が複数インストールされている場合は、最後 に使用したバージョンの Quartus[®] Prime / Quartus[®] II 上で指定したプロジェクトが起動するので、注意が必要で す。

すでに作成されたプロジェクトを起動させる際に、そのプロジェクトを作業していた Quartus® Prime / Quartus® II のバージョンと、プロジェクトを起動させる Quartus® Prime / Quartus® II のバージョンが異なる(例えば、過去 Quartus® Prime v17.0 で作業していたプロジェクトを Quartus® Prime v17.1 で起動させようとする)場合、以下のよう に警告のメッセージ・ウィンドウが表示されます。



これは、プロジェクト・フォルダ内の既存データベース情報(db フォルダや incremental_db フォルダ)を、起動 する Quartus® Prime / Quartus® II のバージョン用のデータベース情報に上書きして良いかを促すメッセージです。 Yes ボタンをクリックすると、プロジェクト・フォルダ内の既存データベース情報は消去されます。データベース情報が 消去されると論理合成や配置配線の結果などがリセットされ、再度やり直す必要がありますのでご注意ください。No ボタンをクリックすると、既存データベース情報は保持され、指定したプロジェクトは起動しません。

Windows[®] エクスプローラからダブルクリックによりプロジェクトを起動させた場合も同様です。なお、Windows[®] エクスプローラ以外のファイル管理ツールを使用している場合は、警告メッセージが表示されず強制的にそのパソ コンで最後に起動していた Quartus[®] Prime / Quartus[®] II のバージョン上でプロジェクトが起動してしまい、データ ベース情報が気づかずに消去されてしまう場合がありますのでご注意ください。

もし、バージョンの異なる Quartus[®] Prime / Quartus[®] II でもデータベースを消去せずに既存プロジェクトを開くには、バージョン互換のデータベースを生成する必要があります。詳細は、下記資料をご覧ください。

『Quartus® Prime ステップアップ・ガイド - プロジェクトの管理』



4-2. プロジェクトの終了方法

起動中のプロジェクトの作業を終了させるには、以下の手順で行います。

1. File メニュー ⇒ Close Project を選択します。

File	e Edit	View	Project	Assignments	Proce
	New			Ctrl+N	
T	Open			Ctrl+O	
	Close			Ctrl+F4	
A	New Pr	oject W	/izard		
1	Open F	roject		Ctrl+J	
	Save P	roject			
	Close F	roject			

2. Quartus[®] Prime のタイトルバーにプロジェクト・フォルダのパス、プロジェクト名、およびリビジョン名が表示 されてなくブランク(空欄)で、かつ Quartus[®] Prime の画面左上の Project Navigator ウィンドウがブランク であれば、プロジェクトは終了しています。

🕥 Quartus Prime Sta	ndard Edition				
File Edit View	Project Assignments	Processing	Tools	Window	Help
🖪 🗖 📋	∽ D 🗋 י	C			-
Project Navigator	A Hierarchy	੨ᡎᡛ×			
\land Compilation Hi	erarchy				
•	III	•			

5. 既存プロジェクトの設定変更

プロジェクト作成後、設定した内容(デザイン・ファイルの追加・削除、デバイス型番の変更など)を変更すること ができます。変更が必要な場合には、以下の操作でそれぞれ編集を行ってください。

なお、プロジェクト名は一度作成すると変更することはできません。そのため、別途新規でプロジェクトを作成し 直す、または Project メニュー ⇒ Copy Project からプロジェクトのコピーを行い、その際にプロジェクト名を変更 するなどの対応が必要です。Copy Project についての詳細は、下記資料をご覧ください。

『Quartus® Prime ステップアップ・ガイド - プロジェクトの管理』

5-1. デザイン・ファイルの登録変更

- 1. Project メニュー ⇒ Add/Remove Files in Project、または Assignments メニュー ⇒ Settings を選択しま す。
- 2. Files カテゴリが指定された環境で Settings ダイアログボックスが起動します。

Settings - pipemult					
Category:				(Device/Board
Conoral	Files				
Files Libraries	Select the design files project directory to the	you want to include in the project. C e project.	lick Add	All to add all design file	s in the
 IP Settings IP Catalog Search Locations 	File name:				Add
Design Templates				×	Add All
 Operating Settings and Condition Voltage 	File Name	Туре	Library	Design Entry/Synthesis	Remove
Temperature	▷ ram.qip	IP Variation File (.qip)		<none></none>	
Compilation Process Settings	pipemult.bdf	Block Diagram/Schematic File		<none></none>	
Incremental Compilation	mult.qip	IP Variation File (.qip)		<none></none>	Down
EDA Tool Settings					Properties
Design Entry/Synthesis					roperties
Simulation					

- ダイアログボックスの右に位置する Add や Remove ボタンにより登録するデザイン・ファイルを変更します。(デザイン・ファイルを追加する場合は、ブラウズ・ボタンをクリックしデザイン・ファイルを選択後、開くボタンならびに Add ボタンをクリックします。デザイン・ファイルを削除する場合は、File name 下部の枠内から目的のデザイン・ファイルを選択し、Remove ボタンをクリックします。)
- 4. VHDL でパッケージ・ファイルをデザイン・ファイルよりも優先的に読み込ませるなど、デザイン・ファイルの 読み込み順を指定する場合には、Up や Down ボタンにより上下入れ替えを行ってください。なお、上位 に登録されているファイルから読み込まれます。

5-2. ユーザ・ライブラリの変更

- 1. Project メニュー ⇒ Add/Remove Files in Project、または Assignments メニュー ⇒ Settings を選択します。
- 2. 起動した Settings ダイアログボックスのカテゴリを Libraries に切り替えます。

🖌 Settings - pipemult	
Category:	Device/Board
General	Libraries
Libraries IP Settings	Specify both project and global libraries. List the library names in the order you want to search them. Both project and global libraries can contain user-defined or vendor-supplied megafunctions, Block Symbol Files, and AHDL Include Files.
Design Templates	Global libraries (all projects)
 Operating Settings and Conditio 	Global library name:
 Operating Settings and Condition Voltage Temperature Compilation Process Settings Incremental Compilation EDA Tool Settings Design Entry/Synthesis Simulation Board-Level Compiler Settings VHDL Input Verilog HDL Input 	Libraries: Up Up Down Down Project libraries Use project's relative path
TimeQuest Timing Analyzer	Project library name
Assembler Design Assistant Signal Tap Logic Analyzer Logic Analyzer Interface Power Analyzer Settings SSN Analyzer	Libraries:
۹ ا	OK Cancel Apply Help

Global libraries	Quartus® Prime で開発するすべてのプロジェクトで有効
Project libraries	現在のプロジェクトのみで有効

3. ライブラリを追加する場合は、ブラウズ・ボタンをクリックしフォルダを選択後、フォルダの選択 ボタンをクリ ックします。ライブラリを削除する場合は、枠内から目的のフォルダ・パスを選択し、Remove ボタンをクリッ クします。

5-3. ターゲット・デバイス型番の変更

- 1. Assignments メニュー ⇒ Device を選択します。
- 2. 変更するデバイス・ファミリおよび型番を選択します。(操作方法は、新規プロジェクトの作成のターゲット・ デバイス設定と同じです。)

Device								
Device Board								
Select the family and device you want to target for compilation. You can install additional device support with the Install Devices command on the Tools menu.								
To determine the v	ersion of the Quart	us Prime so	ftware in which y	our target d	evice is sup	ported, refer	to the <u>Device Support</u>	<u>List</u> webpag
Device family				Show i	n 'Available	devices' list		
Family: Cyclone \	/ (E/GX/GT/SX/SE/	ST)		Pac <u>k</u> ag	e:	FBGA		•
Dev <u>i</u> ce: All			•	Pin <u>c</u> ou	int:	672		•
Target device				Core s	ed grade:	7_H6		•
Taiget device				Name	ilter:			
Auto device sei	lected by the Fitter			Sho	wadvanced	devices	Enter text to fi	ter the avai
Specific device	selected in 'Availar	ole devices.	list		a da a d			
◎ <u>O</u> ther: n/a				Device a	and Pin Opt	ions		
A <u>v</u> ailable devices:								
Name	Core Voltage	ALMs	Total I/Os	GPIOs	GXB C	hannel PMA	GXB Channel PCS	PCIe
5CGXBC7D6F27C7	1.1V	56480	378	336	9		9	0
5CGXBC9D6F27C7	1.1V	113560	378	336	9		9	0
5CGXFC4C6F27C7	1.1V	18860	364	336	6		6	2
5CGXFC4C6F27I7	1.1V	18860	364	336	6		6	2
5CGXFC5C6F27C7	1.1V	29080	364	336	6		6	2
5CGXFC5C6F27I7	1.1V	29080	364	336	6		6	2
Migration Devices.	. O migration device	ces selected						· ·
							OK Cance	el Help

Device ダイアログボックスの左下に位置する Migration Devices ボタンは、デバイス・マイグレーション設定のためのボタンです。FPGA / CPLD の同一デバイス・ファミリ内において、同一パッケージであれば集積度の異なるデバイスに基板改版をすることなく置き換えをすることができ、デバイス・マイグレーションと呼んでいます。詳細は、下記資料をご覧ください。

『Quartus® Prime ステップアップ・ガイド - デバイス・マイグレーション』

5-4. EDA ツールの変更

- 1. Assignments メニュー ⇒ Settings を選択します。
- 2. 起動した Settings ダイアログボックスのカテゴリを EDA Tool Settings に切り替えます。
- 3. ツール名およびファイル・フォーマットの変更であれば、該当する項目を選択し直してください。

🖌 Settings - pipemult				
Category:				Device/Board
General	EDA Tool Settings	5		
Files	Specify the other	EDA tools used with th	e Quartus Prime soft	ware to develop your project.
Libraries				
IP Settings	EDA tools:			
IP Catalog Search Locations	Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Templates	Design Entry/S	<none></none>	<none> •</none>	Run this tool automatically to synthesiz
 Operating Settings and Condition Voltage 	Simulation	ModelSim-Altera 🔻	Verilog HDL 🔹	Run gate-level simulation automatically
Temperature	Board-Level	Timing	<none> •</none>	
Compilation Process Settings		Symbol	<none> -</none>	
EDA Tool Settings		Signal Integrity	<none></none>	
Design Entry/Synthesis		Boundary Scan	<none> •</none>	
Simulation				
Board-Level				

4. 各ツールに対するオプションなどの詳細を設定(変更)する場合には、カテゴリをさらに選択し各項目を設定 してください。詳細は、下記資料をご覧ください。

🖌 Settings - pipemult					
Category:	Device/Board				
General	Simulation				
Files Libraries IP Settings IP Catalog Search Locations Design Templates Operating Settings and Conditio Voltage Temperature Compilation Process Settings Incremental Compilation EDA Tool Settings Design Entry/Cytothosic Simulation Board-Levet Compiler Settings VHDL Input Verilog HDL Input Default Parameters TimeQuest Timing Analyzer	Specify options for generating output files for use with other EDA tools. Iool name: ModelSim-Altera				
	EDA Netlist Writer settings Eormat for output netlist: Verilog HDL Time scale: 1 ps				
	Output directory: simulation/modelsim Map illegal HDL characters Dptions for Power Estimation Generate Value Change Dump (VCD) file script Script Settings				
	More EDA Netlist Writer Settings NativeLink settings None				
Design Assistant Signal Tap Logic Analyzer Logic Analyzer Interface Power Analyzer Settings SSN Analyzer	<u>Compile test bench:</u> <u>Test Benches</u> <u>Use script to set up simulation:</u> <u></u> Script to compile test bench: <u></u>				
۲. III کې او	More <u>NativeLink Settings</u> <u>Reset</u> OK Cancel Apply Help				

『Quartus® Prime ステップアップ・ガイド - EDA ツールの設定方法』



5-5. 最上位階層デザインの変更

Quartus® Prime は、プロジェクト作成時に設定した最上位階層デザインをコンパイルなどのプロセス実行の対象 とします。現在使用しているプロジェクトにおいて、最上位階層のデザイン・ファイルが別のファイルに変更になっ た、あるいは一時的に下位階層デザインを最上位階層デザインと見立てたい場合など、プロセス実行の対象とな る最上位階層デザインを変更することが可能です。

下位階層デザインを最上位階層デザインと見立て、最上位階層のデザインを変更する場合は、以下の操作で変更します。なお、少なくても Analysis & Elaboration プロセス (Processing メニュー \Rightarrow Start \Rightarrow Start Analysis & Elaboration)が実行してある必要があります。

- 1. Assignments メニュー ⇒ Settings を選択します。
- 2. 起動した Settings ダイアログボックスのカテゴリを General に切り替えます。
- 3. Top-level entity 欄の右横にあるブラウズ・ボタンをクリックし、Select Entity ダイアログボックスを表示します。
- 4. Select Entity ダイアログボックスに表示されたエンティティから、一時的に最上位階層にするエンティティを 選択し、OK ボタンをクリックします。



5. プロジェクト名は変更なく、最上位階層エンティティのみが変更されます。



6. 最終的にコンパイルを実行する際に再び最上位階層エンティティへ切り替えるときは、1~5 の操作を繰り返してください。

プロジェクトの下位階層デザインではないデザインを最上位階層デザインに変更する場合は、以下の操作で変更 します。なお、この方法で先ほどの下位階層デザインを最上位階層デザインに変更することも可能です。

- 1. File メニュー ⇒ Open を選択し、最上位階層として扱いたいデザイン・ファイルを開きます。
- 2. 目的のデザイン・ファイルがアクティブになっている画面の状態で、Project メニュー ⇒ Set as Top-Level Entity を選択します。

🕞 Quartus Prime	Stan	dard Edition - D:/work/quartus_lab/verilog	g/fpga_top -	fpga_top
File Edit View	Proje	ect Assignments Processing Tools Windo	ow Help	
🗋 🗖 🖬 🖌		Add Current File to Project Add/Remove Files in Project		5 & & @ > Y K & @ @ & & %
Project Navigator		Revisions Copy Project	simple_counter.v 🛛 🚺 T T T T U T T T T T T T T T T T T T T T	
▲ abc fpga_top →		Clean Project		-
abc simple_c		Archive Project Restore Archived Project		clk;
Tasks Compilatic		Import Database Export Database		[31:0] cnt_out; [31:0] cnt_out;
		Import Design Partition Export Design Partition Generate Design Partition Scripts		<pre>(posedge clk or negedge clr_n) beg lr_n) begin _out <= 32'b00; egin</pre>
		Generate Tcl File for Project Generate PowerPlay Early Power Estimator File Upgrade IP Components		:_õut <= cnt_out + 1'b1;
		Organize Quartus Prime Settings File		
	8	Set as Top-Level Entity	Ctrl+Shift+J	
⊳		Hierarchy	•	T

3. プロジェクト名は変更なく、最上位階層エンティティのみが変更されます。

r	
S Quartus Prime Standard Edition - D:/work/quartus_lab/verilog/fpga_top fpga_top	Quartus Prime Standard Edition - D:/work/quartus_lab/verilog/fpga_top - fpga_top
File Edit View Project Assignments Processing Tools Window Help 🤜	File Edit View Project Assignments Processing Tools Window Help
📋 🛅 🖶 🖌 🖄 🖺 🔈 🦿 [fpga_top 🔹 🖌 🎸 🗳) 🗋 🛅 🖬 🖓 👉 🛅 💼 🔊 🤆 🎽 fpga_top 🔷 🚽 🗳 🗳 🚸
Project Navigator 🔥 Hierarchy 💌 🚍 🗗 🛪	Project Navigator
Entity:Instance	Entity:Instance
A Cyclone V: 5CGXFC5C6F27C7	Cyclone V: 5CGXEC5C6F27C7
🔺 📴 fpga_top 📩	simple_counter
abc chatt:inst1	
abo simple_counter:inst2	
abc mux_zero:inst3	



<u> 改版履歴</u>

Revision	年月	概要
1	2018年3月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社マクニカ アルティマ カンパニー https://www.alt.macnica.co.jp/ 技術情報サイト アルティマ技術データベース http://www.alt.macnica.co.jp/ 技術情報サイト アルティマ技術データベース http://www.alt.macnica.co.jp/ 技術情報サイト ETS https://www.alt.macnica.co.jp/ 技術情報サイト ETS https://www.alt.macnica.co.jp/ https://www.alt.macnica.co.jp/ https://www.alt.macnica.co.jp/ https://www.alt.macnica.co.jp/ https://www.alt.macnica.co.jp/ https://www.alt.macnica.co.jp/

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。

5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカ発行の英語版の資料もあわせてご利用ください。