

Verilog-HDL 入門編トリアル・コース 演習マニュアル

この演習を完了させるのに必要なアイテム

- ・ ModelSim®-Altera® Edition 10.4b (Quartus® Prime 15.1)
または
- ・ ModelSim-Altera Starter Edition 10.4b (Quartus Prime 15.1)

※ 上記ツール・バージョン以外でも演習を行うことはできますが、メニューの位置や操作方法など異なる場合があります。

Verilog-HDL 入門編トリアル・コース 演習マニュアル

目次

はじめに	3
演習 1	4
演習 2	9
演習 3	11
演習 4	13
演習 5	16
改版履歴	18

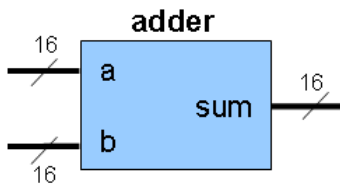
はじめに

- 本マニュアルは、演習用データの保存先を `C:\lab\verilog_lab` として説明しています。もしあなたの保存した先が `C:\lab\verilog_lab` と異なる場合は、マニュアル内のパスを自分の環境に合わせ適応してください。
- この演習では、実際に記述した VHDL の回路が期待した動作をするかを確認するために、ファンクション・シミュレーションを実行します。その際に使用するソフトウェアは、ModelSim-Altera です。
- 演習で使用するためテストベンチ・ファイルは、あらかじめ作成済みのものを使用します。
- この演習におけるツールの操作および設定は、本演習に限定した内容です。
- 本コースは言語のトライアル・コースです。ツール操作を習得するコースではないため、操作の解説は省略しています。ご了承ください。
- 演習データは、別途案内する Web ページからダウンロードすることができます。ダウンロードした ZIP ファイルを解凍すると、EXE ファイルが生成されます。その EXE ファイルを実行して、演習データの保存先を指定してください。(デフォルトの `C:\lab\verilog_lab` でも良いですが、お好みに応じて保存先を変更することもできます。
- 重要: 本演習のソース・コード上で使用するアルファベットは、小文字に統一します。

演習 1

<目的>

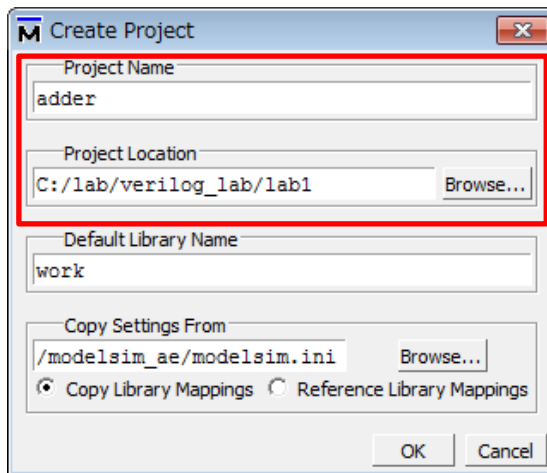
- assign 文で加算器を作成します。
- ファンクション・シミュレーションを実行し、動作を確認します。



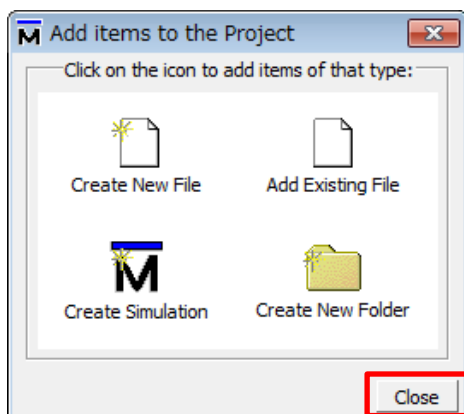
- ◆ モジュール名: adder
- ◆ 入力ポート: a (16bit), b (16bit)
- ◆ 出力ポート: sum (16bit)
- ◆ 機能: 16ビット加算器
- ◆ 作業ディレクトリ: C:\lab\verilog_lab\lab1

ステップ 1: プロジェクトの作成

1. ModelSim-Altera を起動します。
2. File メニュー ⇒ New ⇒ Project を選択して、Create Project ダイアログ・ボックスを開きます。
3. Project Name 欄に、adder と記述します。Project Location 欄に、C:\lab\verilog_lab\lab1 (作業ディレクトリ) を選択します。それ以外はデフォルト状態のまま OK ボタンをクリックします。

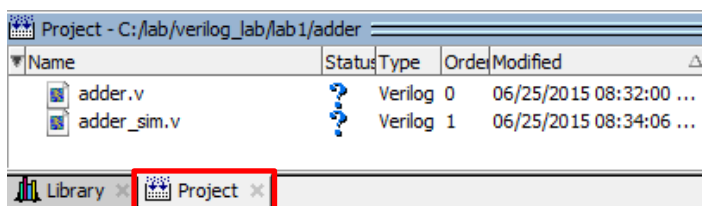


Add items to the Project ウィンドウが表示されますが、今回は使用しません。Close ボタンで閉じます。



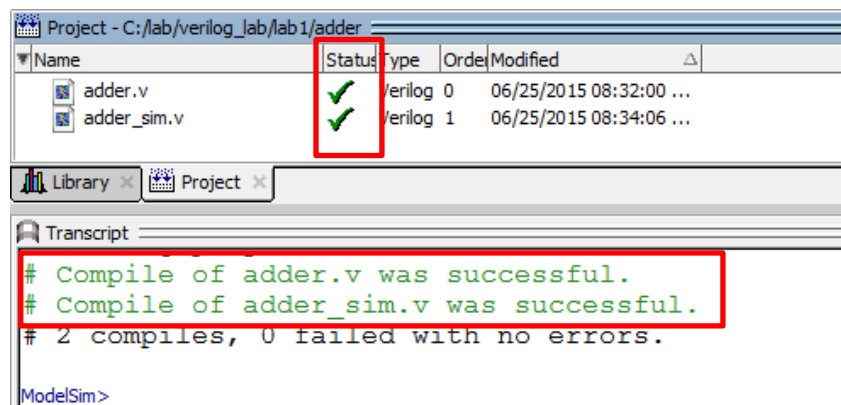
ステップ 2: デザインの作成とプロジェクトへの登録

1. File メニュー ⇒ New ⇒ Source ⇒ Verilog より、テキスト・エディタが表示されます。
2. ソース・コードを記述します。加算器のモジュール名やポート名などの構成は、上記の回路仕様を参考にし、デザインを完成させてください。
3. 記述終了後、File メニュー ⇒ Save As より、完成させた Verilog HDL ファイルを adder.v として作業ディレクトリ内に保存します。その後、adder.v ファイルを閉じます。
4. Project タブがアクティブになっていることを確認して、Project メニュー ⇒ Add to Project ⇒ Existing File を選択します。Browse... ボタンをクリックして、adder.v と adder_sim.v(既に作成済みのテストベンチ)を選択して OK をクリックします。Project ウィンドウには、下図のように指定した 2 つのファイルが登録されます。(Project タブがアクティブになっていないと、Project メニューが表示されません。)



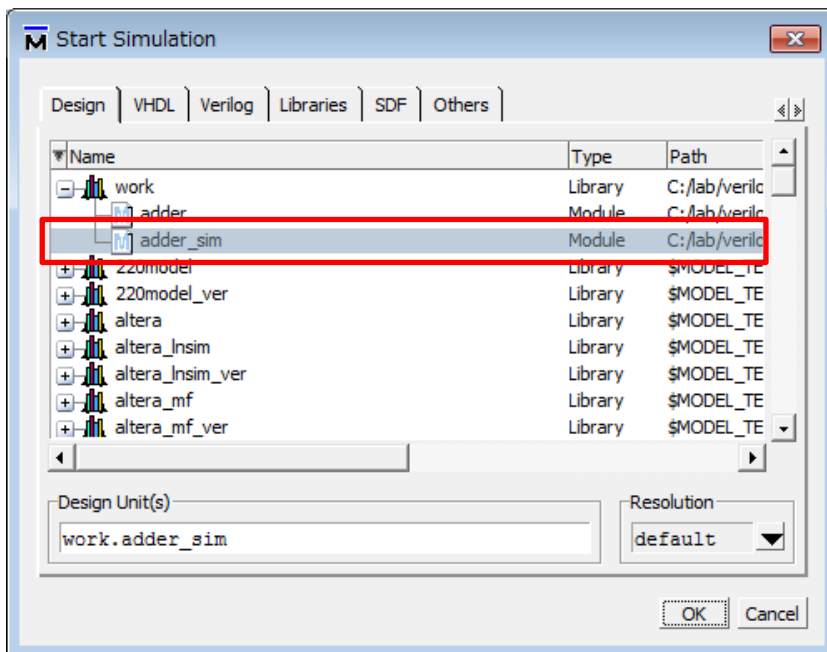
ステップ 3: コンパイル

1. Compile メニュー ⇒ Compile All により、コンパイルを実行します。エラーが出る場合は、記述において文法的間違いやスペル・ミスが考えられます。エラー・メッセージをヒントに記述を修正してください。修正後は再びコンパイルを実行し、エラーが無くなるまで記述のデバッグを行います。コンパイルに成功すると、ステータスが マークに変わり、成功したという内容のメッセージも表示されます。

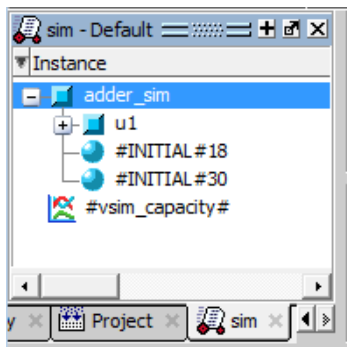


ステップ 4: ロード

1. Simulate メニュー ⇒ Start Simulation を選択し、Start Simulation ダイアログ・ボックスを起動します。
2. Design タブより work ディレクトリを展開し、adder_sim を指定後に OK ボタンをクリックします。

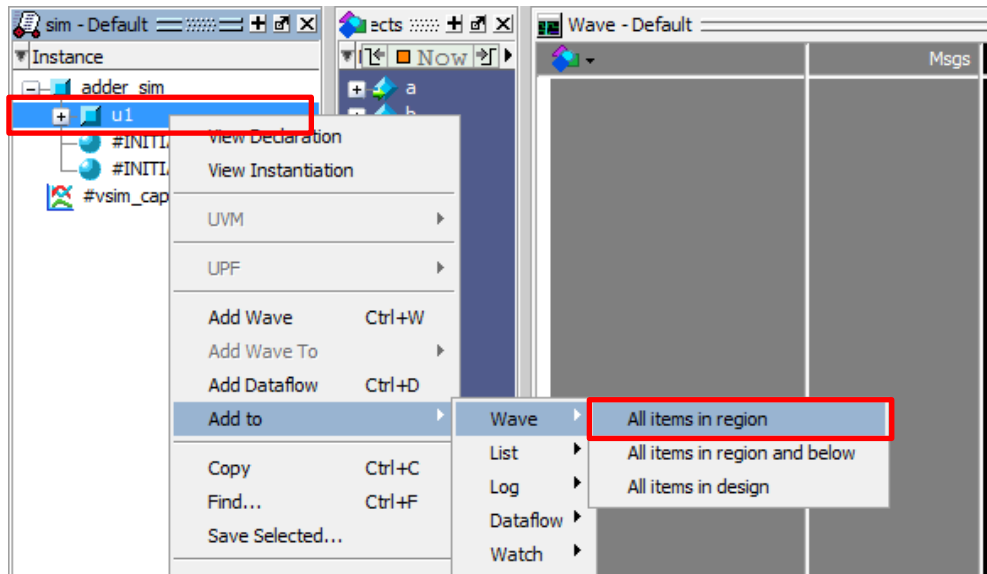


3. ロードが開始され問題なく終了すると、sim タブ(sim ウィンドウ)が追加され、関連ウィンドウが起動します。



ステップ 5: ファンクション・シミュレーションの実行

1. sim ウィンドウ内の adder_sim の下位にある u1 を選択し、右クリック ⇒ Add to ⇒ Wave ⇒ All items in region を選択します。すると Verilog HDL デザインの入出力ピンが登録された状態で Wave ウィンドウが起動します。(Wave ウィンドウが起動しない場合は、View メニュー ⇒ Wave にチェックを入れてください。)

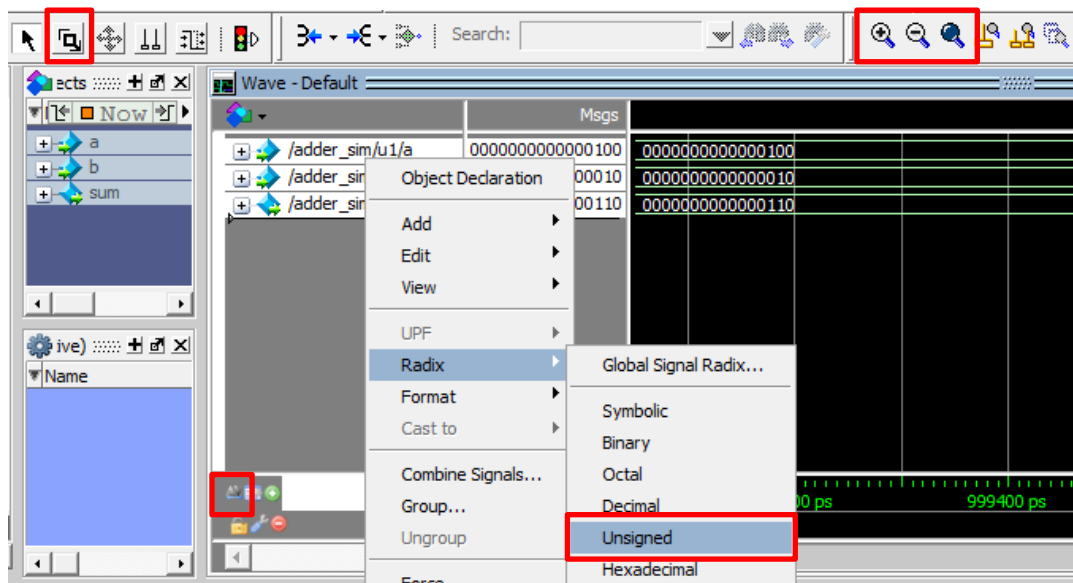


2. Transcript ウィンドウに以下の実行コマンドを入力し、Enter キーでシミュレーション実行を開始します。






例: run 1us



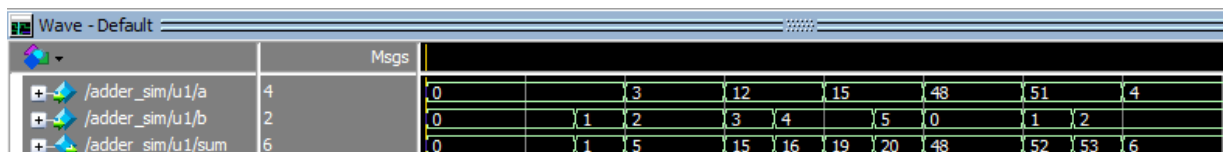
3. Wave ウィンドウにシミュレーション結果が波形表示されます。作成した回路が正しく動作しているか確認しましょう。Wave メニュー ⇒ Zoom ⇒ …、またはツールバーのアイコンにて波形を明確に確認できます。信号の Radix を変更する場合は、信号選択後に右クリック ⇒ Radix ⇒ 目的の表示を選択してください。



様々なツールバーを使って波形を見やすくしてください。主なものを紹介します。

-  : ピン名の表示方法の切り替え
-  : 指定した範囲を拡大して表示
-  : 波形の全体表示
-  : 拡大表示
-  : 縮小表示

以下のように、期待する動作をしていますか？



ステップ 6: シミュレーションおよびプロジェクトの終了

1. Simulate メニュー ⇒ End Simulation よりシミュレーションを終了します。メッセージが表示されますので“はい(Y)”を選択します。
2. メイン・ウィンドウの Project タブをアクティブにして、File メニュー ⇒ Close Project を選択します。メッセージが表示されますので“OK”を選択し、プロジェクトを終了します。

これで、演習 1 は終了です。

演習 2

<目的>

- always 文で乗算器を作成します。
- ファンクション・シミュレーションを実行し、動作を確認します。



- ◆ モジュール名: mult4x4
- ◆ 入力ポート: a (4bit), b (4bit)
- ◆ 出力ポート: product (8bit)
- ◆ 機能: 4x4bit 乗算器
- ◆ 作業ディレクトリ: C:\lab\verilog_lab\lab2


ステップ 1: プロジェクトの作成

1. ModelSim-Altera を起動します。
2. File メニュー ⇒ New ⇒ Project を選択して、Create Project ダイアログ・ボックスを開きます。
3. Project Name 欄に、mult4x4 と記述します。Project Location 欄に、C:\lab\verilog_lab\lab2(作業ディレクトリ)を選択します。それ以外はデフォルト状態のまま OK ボタンをクリックします。
Add items to the Project ウィンドウが表示されますが、今回は使用しません。Close ボタンで閉じます。

ステップ 2: デザインの作成とプロジェクトへの登録

1. File メニュー ⇒ New ⇒ Source ⇒ Verilog より、テキスト・エディタを開きます。
2. ソース・コードを記述します。上記の回路仕様を参考にして、乗算器を完成させてください。
3. 記述終了後、File メニュー ⇒ Save As より、完成させた Verilog ファイルを mult4x4.v として作業ディレクトリ内に保存します。その後、mult4x4.v ファイルを閉じます。
4. Project メニュー ⇒ Add to Project ⇒ Existing File を選択し、mult4x4.v と mult4x4_sim.v(テストベンチ)を指定します。Project ウィンドウには、指定した 2 つのファイルが登録されます。(Project タブがアクティブになっていないと、Project メニューが表示されません。)

ステップ 3: コンパイル

1. Compile メニュー ⇒ Compile All により、コンパイルを実行します。エラーが出る場合には、記述において文法的な間違いやスペル・ミスが考えられます。エラー・メッセージをヒントに記述を修正してください。修正後は再びコンパイルを実行し、エラーが無くなるまで記述のデバッグを行います。コンパイルに成功すると、ステータスが  マークに変わり、成功したという内容のメッセージも表示されます。

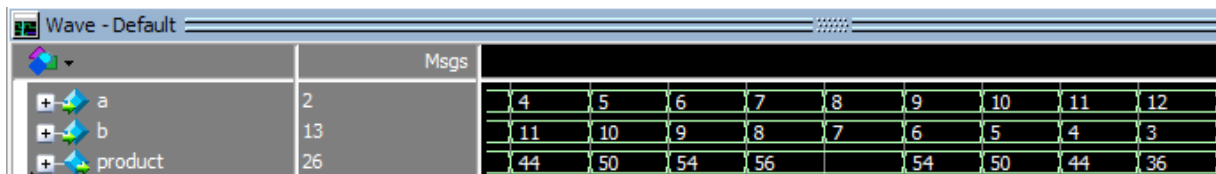
ステップ 4: ロード

1. Simulate メニュー ⇒ Start Simulation を選択し、Start Simulation ダイアログ・ボックスを起動します。
2. Design タブより work ディレクトリを展開し、mult4x4_sim を指定後に OK ボタンをクリックします。
3. ロードが開始され問題なく終了すると、sim タブ(sim ウィンドウ)が追加され、関連ウィンドウが起動します。

ステップ 5: ファンクション・シミュレーションの実行

1. sim ウィンドウ内の mult4x4_sim の下位にある u1 を選択し、右クリック ⇒ Add to ⇒ Wave ⇒ All items in region を選択します。すると verilog デザインの入出力ピンが登録された状態で Wave ウィンドウが起動します。(Wave ウィンドウが起動しない場合は、View メニュー ⇒ Wave にチェックを入れてください。)
2. Transcript ウィンドウに以下の実行コマンドを入力し、Enter キーでシミュレーション実行を開始します。
例: run 1us
3. Wave ウィンドウにシミュレーション結果が波形表示されます。作成した回路が正しく動作しているか確認しましょう。Wave メニュー ⇒ Zoom ⇒ …、またはツールバーのアイコンにて波形を明確に確認できます。信号の Radix を変更する場合は、信号選択後に右クリック ⇒ Radix ⇒ 目的の表示を選択してください。

以下のように、期待する動作をしていますか？



ステップ 6: シミュレーションおよびプロジェクトの終了

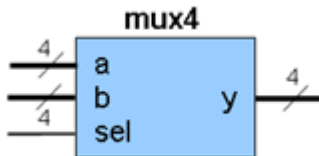
1. Simulate メニュー ⇒ End Simulation よりシミュレーションを終了します。メッセージが表示されますので“はい(Y)”を選択します。
2. Workspace ウィンドウの Project タブをアクティブにし、File メニュー ⇒ Close Project を選択します。メッセージが表示されますので“OK”を選択し、プロジェクトを終了します。

これで、演習 2 は終了です。

演習 3

<目的>

- if-else ステートメントを使用し、マルチプレクサを作成します。
- ファンクション・シミュレーションを実行し、動作を確認します。



- ◆ モジュール名: mux4
- ◆ 入力ポート: a (4bit), b (4bit), sel (1bit)
- ◆ 出力ポート: y (4bit)
- ◆ 機能: 2 to 1 マルチプレクサ
- ◆ 作業ディレクトリ: C:\lab\verilog_lab\lab3

<動作条件>

- セレクタ・コントロール信号(sel)が Low (0) ならば a[3..0] を出力
- セレクタ・コントロール信号(sel)が High (1) ならば b[3..0] を出力


ステップ 1: プロジェクトの作成

1. ModelSim-Altera を起動します。
2. File メニュー ⇒ New ⇒ Project を選択して Create Project ダイアログ・ボックスを開きます。
3. Project Name 欄に、mux4 と記述します。Project Location 欄に、C:\lab\verilog_lab\lab3 (作業ディレクトリ) を選択します。それ以外はデフォルト状態のまま OK ボタンをクリックします。
Add items to the Project ウィンドウが表示されますが、今回は使用しません。Close ボタンで閉じます。

ステップ 2: デザインの作成とプロジェクトへの登録

1. File メニュー ⇒ New ⇒ Source ⇒ Verilog より、テキスト・エディタを開きます。
2. ソース・コードを記述します。上記の回路仕様を参考にし、マルチプレクサを完成させてください。
3. 記述終了後、File メニュー ⇒ Save As より、完成させた Verilog ファイルを mux4.v として作業ディレクトリ内に保存します。その後、mux4.v ファイルを閉じます。
4. Project メニュー ⇒ Add to Project ⇒ Existing File を選択し、mux4.v と mux4_sim.v (テストベンチ) を指定します。Project ウィンドウには、指定した 2 つのファイルが登録されます。(Project タブがアクティブになっていないと、Project メニューが表示されません。)

ステップ 3: コンパイル

1. Compile メニュー ⇒ Compile All により、コンパイルを実行します。エラーが出る場合には、記述において文法的な間違いやスペル・ミスが考えられます。エラー・メッセージをヒントに記述を修正してください。修正後は再びコンパイルを実行し、エラーが無くなるまで記述のデバッグを行います。コンパイルに成功すると、ステータスが  マークに変わり、成功したという内容のメッセージも表示されます。

ステップ 4: ロード

1. Simulate メニュー ⇒ Start Simulation を選択し、Start Simulation ダイアログ・ボックスを起動します。
2. Design タブより work ディレクトリを展開し、mux4_sim を指定後 OK ボタンをクリックします。
3. ロードが開始され問題なく終了すると、sim タブ(sim ウィンドウ)が追加され、関連ウィンドウが起動します。

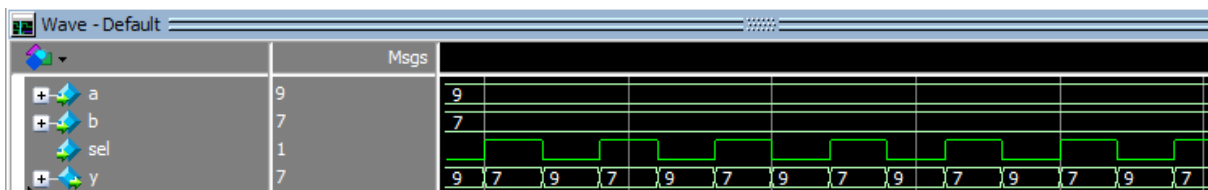
ステップ 5: ファンクション・シミュレーションの実行

1. sim ウィンドウ内の mux4_sim の下位にある u1 を選択し、右クリック ⇒ Add ⇒ To Wave ⇒ All items in region を選択します。すると verilog デザインの入出力ピンが登録された状態で Wave ウィンドウが起動します。(Wave ウィンドウが起動しない場合は、View メニュー ⇒ Wave にチェックを入れてください。)
2. Transcript ウィンドウに以下の実行コマンドを入力し、Enter キーでシミュレーション実行を開始します。

例: run lus

3. Wave ウィンドウにシミュレーション結果が波形表示されます。作成した回路が正しく動作しているか確認しましょう。Wave メニュー ⇒ Zoom ⇒ …、またはツールバーのアイコンにて波形を明確に確認できます。信号の Radix を変更する場合は、信号選択後に右クリック ⇒ Radix ⇒ 目的の表示を選択してください。

以下のように、期待する動作をしていますか？



ステップ 6: シミュレーションおよびプロジェクトの終了

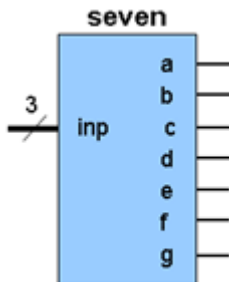
1. Simulate メニュー ⇒ End Simulation よりシミュレーションを終了します。メッセージが表示されますので“はい(Y)”を選択します。
2. Workspace ウィンドウの Project タブをアクティブにし、File メニュー ⇒ Close Project を選択します。メッセージが表示されますので“OK”を選択し、プロジェクトを終了します。

これで、演習 3 は終了です。

演習 4

<目的>

- case ステートメントを使用し、7 セグメント・デコーダを作成します。
- ファンクション・シミュレーションを実行し、動作を確認します。



- ◆ モジュール名: seven
- ◆ 入力ポート: inp (3bit)
- ◆ 出力ポート: a, b, c, d, e, f, g (1bit)
- ◆ 機能: デコーダ
- ◆ 作業ディレクトリ: C:\lab\verilog_lab\lab4

<動作条件>

入力			出力							ディスプレイ表示
inp[2]	inp[1]	inp[0]	a	b	c	d	e	f	g	
0	0	0	1	1	1	1	1	1	0	0
0	0	1	0	1	1	0	0	0	0	1
0	1	0	1	1	0	1	1	0	1	2
0	1	1	1	1	1	1	0	0	1	3
1	x	X	1	0	0	1	1	1	1	E


ステップ 1: プロジェクトの作成

1. ModelSim-Altera を起動します。
2. File メニュー ⇒ New ⇒ Project を選択して Create Project ダイアログ・ボックスを開きます。
3. Project Name 欄に、seven と記述します。Project Location 欄に、C:\lab\verilog_lab\lab4(作業ディレクトリ)を選択します。それ以外はデフォルト状態のまま OK ボタンをクリックします。
Add items to the Project ウィンドウが表示されますが、今回は使用しません。Close ボタンで閉じます。

ステップ 2: デザインの作成とプロジェクトへの登録

1. File メニュー ⇒ New ⇒ Source ⇒ Verilog よりテキスト・エディタを開きます。
2. ソース・コードを記述します。上記の回路仕様を参考にし、デコーダを完成させてください。
3. 記述終了後、File メニュー ⇒ Save As より、完成させた Verilog ファイルを seven.v として作業ディレクトリ内に保存します。その後、seven.v ファイルを閉じます。
4. Project メニュー ⇒ Add to Project ⇒ Existing File を選択し、seven.v と seven_sim.v(テストベンチ)を指定します。Project ウィンドウには、指定した 2 つのファイルが登録されます。(Project タブがアクティブになっていないと、Project メニューが表示されません。)

ステップ 3: コンパイル

1. Compile メニュー ⇒ Compile All により、コンパイルを実行します。エラーが出る場合には、記述において文法的な間違いやスペル・ミスが考えられます。エラー・メッセージをヒントに記述を修正してください。修正後は再びコンパイルを実行し、エラーが無くなるまで記述のデバッグを行います。コンパイルに成功すると、ステータスが  マークに変わり、成功したという内容のメッセージも表示されます。

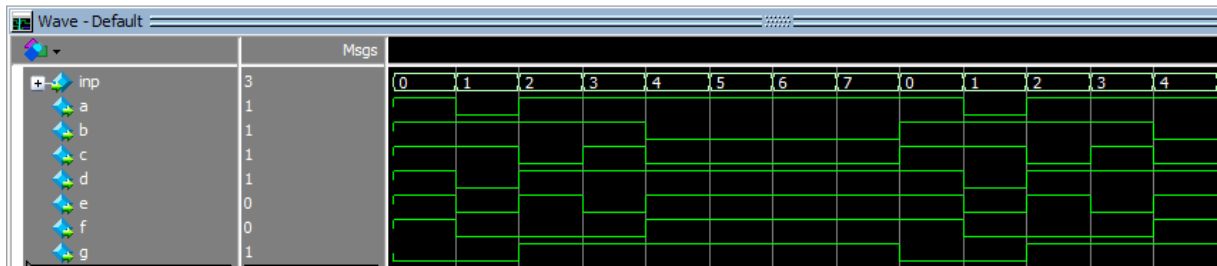
ステップ 4: ロード

1. Simulate メニュー ⇒ Start Simulation を選択し、Start Simulation ダイアログ・ボックスを起動します。
2. Design タブより work ディレクトリを展開し、seven_sim を指定後 OK ボタンをクリックします。
3. ロードが開始され問題なく終了すると、sim タブ(sim ウィンドウ)が追加され、関連ウィンドウが起動します。

ステップ 5: ファンクション・シミュレーションの実行

1. sim ウィンドウ内の seven_sim の下位にある u1 を選択し、右クリック ⇒ Add to ⇒ Wave ⇒ All items in region を選択します。すると verilog デザインの入出力ピンが登録された状態で Wave ウィンドウが起動します。(Wave ウィンドウが起動しない場合は、View メニュー ⇒ Wave にチェックを入れてください。)
2. Transcript ウィンドウに以下の実行コマンドを入力し、Enter キーでシミュレーション実行を開始します。
例: run 1us
3. Wave ウィンドウにシミュレーション結果が波形表示されます。作成した回路が正しく動作しているか確認しましょう。Wave メニュー ⇒ Zoom ⇒ …、またはツールバーのアイコンにて波形を明確に確認できます。信号の Radix を変更する場合は、信号選択後に右クリック ⇒ Radix ⇒ 目的の表示を選択してください。

以下のように、期待する動作をしていますか？



ステップ 6: シミュレーションおよびプロジェクトの終了

1. Simulate メニュー ⇒ End Simulation よりシミュレーションを終了します。メッセージが表示されますので“はい(Y)”を選択します。
2. Workspace ウィンドウの Project タブをアクティブにし、File メニュー ⇒ Close Project を選択します。メッセージが表示されますので“OK”を選択し、プロジェクトを終了します。

これで、演習 4 は終了です。

演習 5

<目的>

- 非同期クリア & クロック・イネーブル付きフリップ・フロップを作成します。
- ファンクション・シミュレーションを実行し、動作を確認します。



- ◆ モジュール名: ff
- ◆ 入力ポート: clk (1bit), aclr (1bit), clken (1bit)
- ◆ 入力ポート: d (1bit)
- ◆ 出力ポート: q (1bit)
- ◆ 機能: 非同期クリア&クロック・イネーブル付きフリップ・フロップ
- ◆ 作業ディレクトリ: C:\lab\verilog_lab\lab5

<動作条件>

- クリア信号(aclr)が Low (0) のとき、クロック(clk)に関係なく非同期にフリップ・フロップは Low (0) を出力する(クリアされる)
- クリア信号(aclr)が High (1)、かつクロック・イネーブル信号(clken)が High (1) のとき、出力 q は 入力 d を出力する


ステップ 1: プロジェクトの作成

1. ModelSim-Altera を起動します。
2. File メニュー ⇒ New ⇒ Project を選択して Create Project ダイアログ・ボックスを開きます。
3. Project Name 欄に、ff と記述します。Project Location 欄に、C:\lab\verilog_lab\lab5 (作業ディレクトリ)を選択します。それ以外はデフォルト状態のまま OK ボタンをクリックします。
Add items to the Project ウィンドウが表示されますが、今回は使用しません。Close ボタンで閉じます。

ステップ 2: デザインの作成とプロジェクトへの登録

1. File メニュー ⇒ New より New ダイアログ・ボックスが開きます。Design Files カテゴリより Verilog HDL File を選択し OK ボタンをクリックします。Verilog HDL 用テキスト・エディタが表示されます。
2. ソース・コードを記述します。上記の回路仕様を参考にし、フリップ・フロップを完成させてください。
3. 記述が完了後、File メニュー ⇒ Save より Verilog HDL ファイルを ff.v として、作業ディレクトリ内に保存します。
4. Project メニュー ⇒ Add to Project ⇒ Existing File を選択し、ff.v と ff_sim.v(テストベンチ)を指定します。Project ウィンドウには、指定した 2 つのファイルが登録されます。(Project タブがアクティブになっていないと、Project メニューが表示されません。)

ステップ 3: コンパイル

1. Compile メニュー ⇒ Compile All により、コンパイルを実行します。エラーが出る場合には、記述において文法的な間違いやスペル・ミスが考えられます。エラー・メッセージをヒントに記述を修正してください。修正後は再びコンパイルを実行し、エラーが無くなるまで記述のデバッグを行います。コンパイルに成功すると、ステータスが  マークに変わり、成功したという内容のメッセージも表示されます。

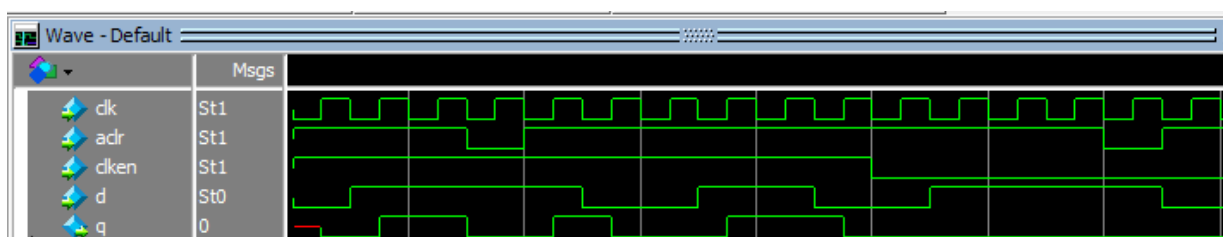
ステップ 4: ロード

1. Simulate メニュー ⇒ Start Simulation を選択し、Start Simulation ダイアログ・ボックスを起動します。
2. Design タブより work ディレクトリを展開し、ff_sim を指定後 OK ボタンをクリックします。
3. ロードが開始され問題なく終了すると、sim タブ(sim ウィンドウ)が追加され、関連ウィンドウが起動します。

ステップ 5: ファンクション・シミュレーションの実行

1. sim ウィンドウ内の ff_sim の下位にある u1 を選択し、右クリック ⇒ Add to ⇒ Wave ⇒ All items in region を選択します。すると Verilog デザインの入出力ピンが登録された状態で Wave ウィンドウが起動します。(Wave ウィンドウが起動しない場合は、View メニュー ⇒ Wave にチェックを入れてください。)
2. Transcript ウィンドウに以下の実行コマンドを入力し、Enter キーでシミュレーション実行を開始します。
例: run lus
3. Wave ウィンドウにシミュレーション結果が波形表示されます。作成した回路が正しく動作しているか確認しましょう。Wave メニュー ⇒ Zoom ⇒ …、またはツールバーのアイコンにて波形を明確に確認できます。

以下のように、期待する動作をしていますか？



ステップ 6: シミュレーションおよびプロジェクトの終了

1. Simulate メニュー ⇒ End Simulation よりシミュレーションを終了します。メッセージが表示されますので“はい(Y)”を選択します。
2. Workspace ウィンドウの Project タブをアクティブにし、File メニュー ⇒ Close Project を選択します。メッセージが表示されますので“OK”を選択し、プロジェクトを終了します。

これで、演習 5 は終了です。

改版履歴

Revision	年月	概要
1	2016年4月	・初版(Web 対応)

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>
 株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。