

Technical Note

ELSENA

巨大カウンタの設計と評価

文書管理番号: ELS5006_S000_10

2006 年 3 月

株式会社エルセナ

巨大カウンタの設計と評価

目次

1 はじめに.....	3
2 巨大カウンタの設計と評価方法	3
3 クリティカル・パスの評価	4
4 おわりに.....	5
改版履歴.....	6

1 はじめに

ミリオン・ゲートのデバイスを使用した開発では、設計もさることながら評価が非常に大事になります。システムが取りうる全ての評価条件を評価するとともに、膨大な人数と時間をかける必要があります。しかし、現実的には、評価漏れが有ったり評価ミスが有ったりします。如何に評価し易い設計を行うかはシステムの信頼性をも左右します。従って、初期の段階から評価方法を考慮して設計を進める必要があります。

そこでこの資料では、特に評価手順は簡単だが、膨大な時間を要する巨大カウンタのテスト方法を例に取り、その効能について説明します。例えば、ハイ・ビジョン・テレビ受像機(1920 画素 x 1080 画素)の同期信号生成回路は垂直同期・水平同期の回路を合わせると 22 ビットにもなります。このような巨大カウンタのソフト・シミュレーションを行う場合は、膨大な時間が必要となります。最近のシミュレーション環境(パーソナル・コンピュータ等)が高速化されたとしても数日を要する場合も稀ではありません。そこで、巨大カウンタやステートマシンを分割評価(シミュレーション)する方法を提案します。既に、CPLD/FPGA の使用に長けた技術者は、極当たり前にこの手法を採用していると思いますが、まだ不慣れな技術者への老婆心からの提案です。

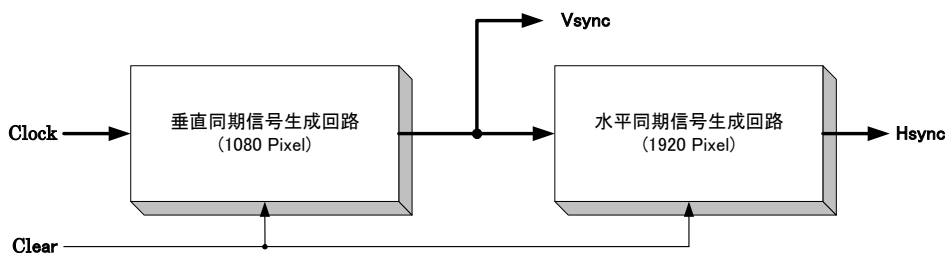
参考: ALTERA 社の Quartus II 開発ソフトウェアでは、SignalTap や SignalProbe と呼ばれるハードウェア・サポートのデバッグ機能を提供しています。ここに上げた設計手法と併用すると大幅にデバッグ時間の短縮をすることができます。

2 巨大カウンタの設計と評価方法

カウンタは、ご存知の通り 1 個のトリガ信号が来る度に現在のカウンタ値が増減します。この回路をフル・シミュレーションする場合は、“2のそのカウンタが持つ桁数乗”以上のクロックを入力する必要があります。例えば、16 ビット・カウンタであれば“2 の 16 乗”=65,536 個のクロックが必要となります。

図 1 にフル・ハイビジョン・テレビ (HDTV: 1920 画素 x 1080 画素) 用水平・垂直同期信号生成回路の概略ブロック図を示します。

図 1. HDTV同期信号生成回路概念図



フル・ハイビジョン・テレビの水平・垂直同期信号生成回路をシミュレーション評価する場合は、2,073,600 個のクロックが必要となります。しかも、これは単に 1 回の評価のみですので、複数周期の評価を行う場合は、この数倍のクロックが必要になるわけです。

ここで、ソフト・シミュレーションを行う場合の1ステップ(1クロック当り)処理をするのに必要な時間を考察してみましょう。過去の Intel 社の Pentium プロセッサを使ったパーソナル・コンピュータ(PC)では、1ステップ(1クロック分)当り約 100mS 位の処理時間を必要としていました。仮に、この PC を使って、HDTV 用同期信号生成回路のシミュレーションを行うと大よそ 2.4 日かかり、やっと1周期のシミュレーションが完了することになります。金曜日の帰宅時にシミュレーションを開始すると、翌週の月曜の午後に結果がでると言った具合です。まあ、最近のプロセッサを使ったPCは、過去のPCに比べ数十倍の性能向上がなされていますので数日を要することは無くなっていますが、数時間を要することは想像に難くありません。数周期分のシミュレーションを行う場合は、小 1 日要すると思います。

このように、1 つの評価結果を得るのに数時間から1日を要するような評価方法では全体の評価スケジュールの大幅遅延と評価品質を下げる結果となります。

図 1 をご覧ください。HDTV の同期信号生成回路において、水平同期信号生成回路の出力 Hsync を評価するためには、前段に位置する垂直同期信号生成器の出力 (Vsync) が直列に介在しています。従って、出力 Hsync が現れるまでには、先に述べたように 2 百万クロック以上待たないといけません。膨大な時間待たなければなりません。そこで、2 つの同期信号生成回路を切り離して別々に評価できるように改良設計します。図 2 に設計段階から後段の水平同期信号生成回路を別に評価できるようにした回路例を示します。

図 2. 2 つの同期信号生成回路を個別に評価可能な回路構成

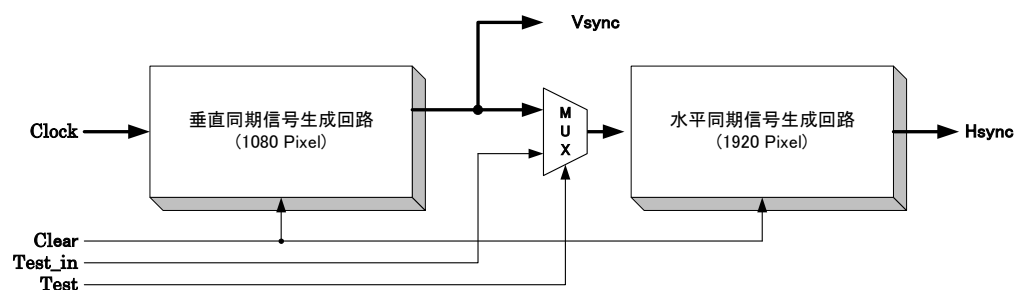


図 2 で示すように、前段の垂直同期信号生成回路と後段の水平同期信号生成回路との間にテスト用の回路を挿入し、水平同期信号生成回路の評価時には、前段の回路の出力に関係なく評価できるようにします。その結果として、2 つの回路の評価時間が大幅に改善されます。例えば、非力な PC を使ったとしても、数分の内に評価を終わらせることができます。

3 クリティカル・パスの評価

システム内で非常に重要な回路機能については、1つの機能の中間出力をモニタするためにノードを外部ピンに出しておくことと大幅にシステム・デバッグに効果を発揮します。本来の機能・性能には影響しないピンを設けることは無駄にもなりますが、評価品質を上げる上では止むを得ない処置と思われます。図 3 は、システム上非常に重要な回路機能の入力・出力の関係を示します。

図 3. クリティカル機能のブロック図

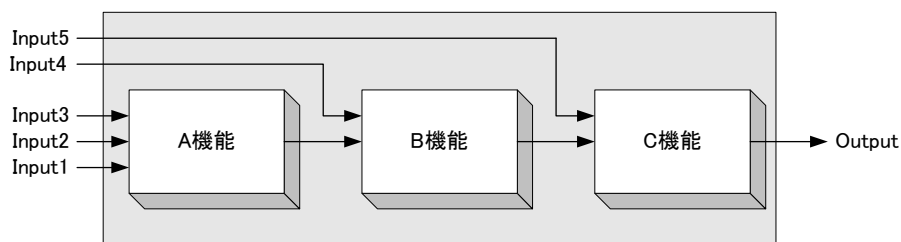


図 3 の回路を評価する場合は、出力(Output)は全ての入力(Input1～5)が確定するまで評価ができません。このような回路で、規模が大きく、しかも、入力変数が多い場合は、評価を複雑にします。入力の全ての組み合わせとタイミング的な信号の相関関係を調べなければなりません。

そこで、この状況を打破するために、図 4 に示すような中間出力をモニタできるように改良設計します。

図 4. 中間出力を設けたクリティカル機能のブロック図

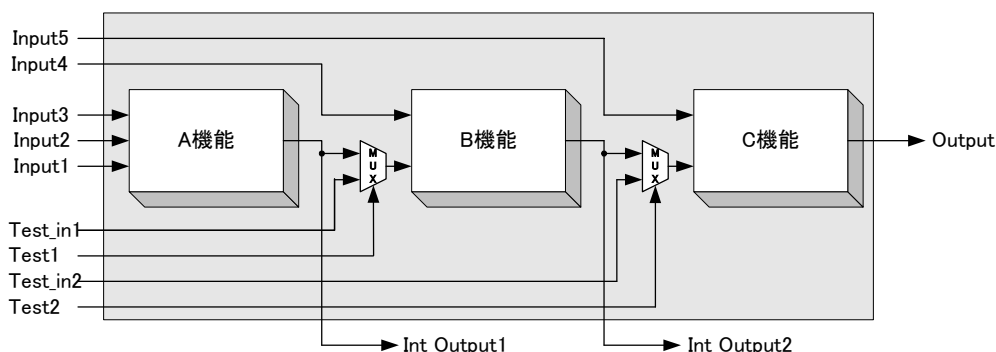


図 4 のように、設計段階からクリティカル機能の構成要素毎に中間出力をモニタ出来るようにしておくことにより、各ブロックに無関係な入力を切り離して、1 つ 1 つの基本要素ブロックだけを評価出来るようになります。このようにして、大幅に評価効率と品質を向上させることができます。

4 おわりに

この資料では、簡単な例をとって説明しましたが、設計段階から評価の方法を定義し、その結果を踏まえて設計をすることにより、評価時間の大幅な短縮と品質の向上をさせることが出来ます。強いては、システムの信頼性をも向上させることが出来ます。

改版履歴

Version	改定日	改定内容
1.0	2006 年 03 月	・新規作成

免責、及び、ご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

3. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
4. 本資料は予告なく変更することがあります。
5. 本資料の作成には万全を期していますが、万一ご不審な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
6. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
7. 本資料は製品を利用する際の補助的なものとしてかかれたものです。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。

本社

〒163-0928 東京都新宿区西新宿 2 丁目 3 番 1 号 新宿モノリス 28F TEL 03-3345-6205 FAX 03-3345-6209

松本営業所

〒390-0815 長野県松本市深志 1-1-15 朝日生命松本深志ビル 1F TEL 0263-39-6134 FAX 0263-39-6135

大阪営業所

〒532-0003 大阪市淀川区宮原 3 丁目 4 番 30 号 ニッセイ新大阪ビル 17F TEL06-6397-1090 FAX06-6397-1091

名古屋営業所

〒450-0002 愛知県名古屋市中村区名駅 3 丁目 11 番 22 号 IT名駅ビル 4F TEL 052-566-2513 FAX 052-566-2514