

Technical Note

ELSENA

ALTERA CPLD/FPGA を正しくお使い いただくために

文書管理番号: ELS5004_S000_10

2006年4月

株式会社エルセナ

ALTERA CPLD/FPGA を正しくお使いいただくために

目次

1 はじめに.....	3
2 動作条件.....	3
2-1 絶対最大定格 (Absolute Maximum Ratings)	3
2-2 推奨動作条件 (Recommended Operating Conditions)	4
2-3 DC特性 (DC Operating Conditions)	4
2-4 AC特性 (AC Operating Conditions)	4
3 過電圧入力とラッチアップ	4
3-1 ピンの接続処理	5
3-2 ラッチアップ	6
3-2-1 CMOS構造の寄生バイポーラ・トランジスタ	7
3-2-2 ラッチアップの発生メカニズム.....	7
1) I/Oパッドがグランド電位よりも低くドライブされる場合	7
2) I/OパッドがV _{CC} 電位よりも高くドライブされる場合	8
3) 入力パッドがグランド電位よりも低くドライブされる場合	8
3-2-3 デバイスのラッチアップ抑制対策.....	8
3-3 ホット・スワッピング (活線挿抜)	9
3-4 ESD	10
4 色々な出力負荷	11
4-1 抵抗性負荷	11
4-2 容量性負荷	11
4-3 誘導性負荷	12
5 電源への配慮.....	13
5-1 V _{CC} とグランドのプレーン.....	13
5-2 デカップリング・キャパシタ.....	14
5-3 V _{CC} の立ち上がり時間.....	15
5-4 消費電流.....	16
6 デバイスのプログラミングとイレース (消去)	16
7 おわりに.....	17
改版履歴.....	18
参考文献.....	18

1 はじめに

ALTERA の CPLD/FPGA は、高集積、ハイ・パフォーマンス、かつ、高い信頼性を有するデバイスです。このデバイスを搭載したシステムをより安心してお使いいただくために予め知っていただき、十分考慮した設計をしていただくことで信頼性の高いシステムを構築することができます。ここに記載されている事柄は、設計する機能・性能には直接は係わりを持ちませんが、信頼性には大いに関係があり、時にはシステムに重大な影響を及ぼすことがあります。従って、ALTERA デバイスをお使いになる前に熟読のうえ、十分な対策が必要です。

この資料では、次の事柄について説明して行きます。

- 動作条件
- 過電圧入力とラッチアップ
- 色々な出力負荷
- 電源への配慮
- デバイスのプログラミングとイレーズ(消去)

2 動作条件

ALTERA の各デバイスの性能は複数の動作パラメータの条件下で保証されており、デバイスを実際のシステムに使用する場合は、これらの動作パラメータの条件を守る必要があります。これらの動作パラメータとは、各デバイスのデータシートで規定されている絶対最大定格(Absolute Maximum Ratings)、推奨動作条件(Recommended Operating Conditions)、DC および AC の特性(DC and AC Operating Conditions)です。

2-1 絶対最大定格(Absolute Maximum Ratings)

絶対最大定格は、ALTERAの各デバイスが破壊に耐えうる限界を規定したものです。これらの値はデバイスが破壊に至るまでの理論的なモデル、破壊のメカニズム、デバイスが持つ特性を実際に試験した結果に基づいたものです。これらはデバイスに与えられるストレス量に関する規格であり、規定された条件下やデータシートで規定されている「推奨動作条件」を超える範囲でデバイスの正常動作を保証するものではありません。例えば、 I_{OUT} は出力ピンに許容される最大電流を表すものであり、出力ピンの駆動能力を表すものではありません。出力ピンの駆動能力を示すソース電流とシンク電流は、各データシートのDC特性規格の欄に、 I_{OH} 、 I_{OL} として表示されています。

ALTERA のデバイスを各デバイス・ファミリのデータシートに規定されている「絶対最大定格」の条件の下で連続動作させた場合、デバイスの信頼性が低下することがあります。また、この絶対最大定格を超える条件下での動作は、デバイスの破壊の原因となります。

2-2 推奨動作条件(Recommended Operating Conditions)

各デバイス・ファミリのデータシートの「推奨動作条件」とは、ALTERAのデバイスが正常に動作する範囲を示し、この推奨動作条件にはDC、ACパラメータの限界値が規定されています。これらデータシートで示されている各パラメータが意味する内容は、適用される規格によって異なります。例えば、この推奨動作条件で規定されている V_{CC} の範囲は、DCおよびAC特性の規格が保証される範囲であり、絶対最大定格で規定されている V_{CC} の範囲は、これを超えるとデバイスが破壊されることを意味します。

2-3 DC 特性(DC Operating Conditions)

ALTERAのデバイスから出力される定常状態の電流と電圧の値は、各デバイス・ファミリのデータシートにおいてDC特性の表で規定されています。このDC特性の規格には、入力のスレッシュホールド電圧(V_{IH} 、 V_{IL})、出力電圧(V_{OH} 、 V_{OL})、出力電流(I_{OH} 、 I_{OL})、入力と出力のリーク電流(I_I 、 I_{OZ})などが含まれます。

2-4 AC 特性(AC Operating Conditions)

ALTERA デバイスの外部および内部タイミング特性は、各デバイス・ファミリのデータシートにおいてAC 特性の表で規定されています。これらのパラメータは、推奨動作条件の表で示された範囲で規定されています。内部タイミング・パラメータはデバイス・アーキテクチャを構成する各部によって発生する遅延時間を表しています。デバイスの性能は、信号のソースからディスティネーションまでの信号パスをトレースし、この間の対応する内部タイミング・パラメータを加算することによって推定することができます。外部タイミング・パラメータは、デバイスがこれらの条件の範囲で動作している時に保証されるピン間の最大遅延時間です。

タイミング・パラメータは最大値(Max)または最小値(Min)で規定され、標準値(Typ)が表示されることもあります。最大値で示されるタイミング・パラメータは、デバイスの遅延が規定された時間を越えないことを示します。また、セットアップ/ホールド・タイム、メモリのサイクル・タイム、パルス幅などのタイミング・パラメータは、デバイスの安定動作のためにシステム側が守らなければならない最小値として規定されています。標準値はデバイス特性から期待される標準的な値として示されているもので、実際の値とは異なります。

3 過電圧入力とラッチアップ

デバイスの動作中、入出力ピンにオーバシュートやアンダシュートなどの高電圧が印加されたり、 V_{CC} やGNDの電源ピンに対して電源のスパイクが与えられたり、システム内の異常なロジック・レベルによって、 V_{CC} の数倍にあたる電圧ストレス(0V ~ 15V)が発生することがあります。また、プログラミング等のデバイスの取扱い中に、静電気破壊の原因となる高電圧の静電気放電(ESD)がピンに与えられる可能性があります。これらのハザードの発生を最小にするためには、次の条件について注意する必要があります。

- ピンの接続処理
- ラッチアップ
- ホット・スワッピング(活線挿抜)
- ESD

3-1 ピンの接続処理

ALTERA のソフトウェアでプロジェクトのコンパイルを行うと、デバイスのリソースの使用状況を示すレポート・ファイル(.rpt)が生成されます。このファイルには、プロジェクトに使用されるデバイスのピン配置、デバイス間の接続に関する情報が含まれています。レポート・ファイルに含まれるピン配置図には、ユーザの指定した信号ピン、VCCINT、VCCIO、VCC、GNDIO、GNDINT および GND の各ピン、専用ピン、未使用のピンの位置が表示されます。

電源ピンとグランド・各ピン

それぞれプリント基板(PWB)上の対応するV_{cc}またはグランド・プレーンに接続します。

入力専用ピンと入力に指定されたI/Oピン

常時アクティブな信号源からドライブしてください。

双方向の入出力ピンに指定されているI/Oピン

入力として使用する時は、このピンをアクティブな信号源からドライブしてください。

未使用入力専用ピン

未使用入力専用ピンはレポート・ファイルの中で、GND として表示されます。使用されない入力専用ピンはグランド・プレーンに接続してください。これらのピンをオープン状態のままにしておくと、不確定なフローティング状態となり、デバイス内の DC 電流を増加させたり、システム内にノイズを誘導する可能性があります。

未使用I/Oピン(RESERVED)

未使用I/Oピンは、レポート・ファイルの中で、RESERVEDとして表示されます。RESERVEDに指定されたすべてのI/Oピンは未使用の状態にしておく必要があります。RESERVEDに指定されたI/OピンがV_{cc}またはグランドに接続されると、ロジックの競合が起き、デバイスの出力ドライバが破壊されることがあります。

未使用I/Oピン(RESERVED-INPUT)

入力に指定された未使用I/Oピンは、レポート・ファイルの中で、RESERVED_INPUTとして表示されます。RESERVED_INPUTに指定されたすべてのI/Oピンは、グランド・プレーンに接続するか、プルアップ抵抗を通してV_{cc}に接続してください。

未使用I/Oピン(RESERVED-INPUT WITH WEAK PULLUP)

プルアップ抵抗付きの RESERVED_INPUT 未使用 I/O ピンは、レポート・ファイルの中で、RESERVED_INPUT_WITH_WEAK_PULLUP として表示されます。RESERVED_INPUT_WITH_WEAK_PULLUP に指定されたすべての I/O ピンは未使用の状態にしておいてください。

ALTERAの製品群にはMultiVolt™の機能をサポートしているデバイスが数多く含まれており、これらのデバイスは電源電圧の異なるシステムとインタフェースすることができます。これらのデバイスでは、電源ピンがVCCIO (I/Oの電源)とVCCINT (内部電源)のピンに分離されています。各電源ピンの電圧範囲は各デバイス・ファミリのデータシートに記載されているVCCIOとVCCINTの値で確認してください。

デバイスが適切な動作を行うためには、各入力ピンと出力ピンの信号レベルは次の範囲でなければなりません。

Ground (V_{IN} or V_{OUT}) V_{CCINT}

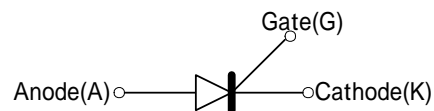
3.3V動作の一部のデバイスでは、V_{CCINT}よりも高い電圧の信号を入力することが可能になっています。各デバイスの入力電圧V_{IN}の許容範囲は、個別のデータシートで確認してください。

GNDIO と GNDINT がそれぞれ異なるグラウンド・プレーンに接続される場合は、GNDIO と GNDINT 間の電位差が常に 1.0V 以下になるようにしてください。この条件が守られていない場合は、デバイス動作が不安定となり、ファンクション不良の原因となります。

3-2 ラッチアップ

ラッチアップとは、CMOS デバイスの基本構造に寄生するバイポーラ・トランジスタが、SCR(Silicon Controlled Rectifier)を構成し、何らかの外部要因でこの SCR が導通する現象を言います。ご存知のように、SCR は一度導通するとトリガー要因がなくなってもSCRの最小動作電流以下になるような脈流を含まない限りオフにならない特長があります。CMOS デバイスでは、この SCR が一旦導通すると、過大な貫通電流が流れ、ついにはデバイスの破壊に繋がります。図 1 に SCR のシンボルを示します。

図 1. SCR(Silicon Controlled Rectifier)



ダイオードは、アノード(A)からカソード(K)へ電流を流しますが、SCR では、アノード(A)から入力があっても電流は流れません。ゲート(G)に入力が加わると、初めて電流をアノード(A)からカソード(K)に流します。この状態をSCRがターン・オン(Turn-ON)したと言います。更にSCRは、ゲート(G)入力がなくなってもSCRの最小動作電流以下にならない限りターン・オフ(Turn-OFF)しません。

3-2-1 CMOS 構造の寄生バイポーラ・トランジスタ

図 2 に CMOS ウェハの断面図と生成される寄生トランジスタの構造 (Q1 と Q2) と寄生抵抗 (R1 と R2) を示します。

図 2. CMOS構造の寄生バイポーラ・トランジスタ

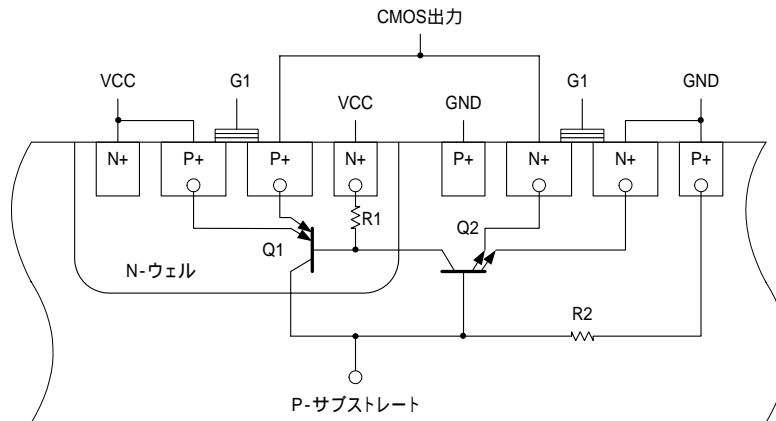


図 2 に示される寄生トランジスタ (Q1 と Q2) が 1 つの擬似 SCR を形成します。通常の動作状態では、P-タイプのサブストレートがデバイス内の最も低い電位 (グランド) に接続され、N-タイプのウェル構造がチップ内の最も高い電位 (V_{CC}) に接続され、すべての接合面が確実に逆バイアス状態になっています。従って、寄生バイポーラ・トランジスタのベース-エミッタ間、ベース-コレクタ間の接合面が順方向にバイアスされることはないため、これらのトランジスタが導通状態になることはありません。

これらの寄生トランジスタが何らかの原因で導通状態になると、その効果はデバイスを破壊するような過電流が流れるまでさらに増幅され、過電流によってデバイスが破壊されるか、デバイスの電源がダウンするまで継続されることとなります。最終的にデバイスの致命的な故障につながります。

3-2-2 ラッチアップの発生メカニズム

1) I/O パッドがグランド電位よりも低くドライブされる場合

プリント基板上のトレースが極端に長い場合やソケット実装などの場合に、その誘導性負荷成分の影響や信号の反射によってリングングが発生します。このリングングにより、出力のパッドがグランドよりも低い電圧でドライブされることがあります。この場合、寄生トランジスタ Q2 のエミッタ電位がベース電位よりも低くなり、この Q2 がオンになります。これによって、Q1 を流れる電流が寄生抵抗 R2 の両端に電圧降下を生成し、Q2 のベースの電位をさらに高くします。そして、Q2 を流れる電流が寄生抵抗 R1 による電圧降下を生成するため、Q1 のベース電位はさらに低下します。Q1 と Q2 の双方のトランジスタに流れる電流は、これをさらに増幅するようになり、寄生抵抗によって発生する電圧降下はさらに増大し、ラッチアップ現象に陥ります。

2) I/OパッドがV_{CC}電位よりも高くドライブされる場合

逆に、オーバシュートのようなI/OパッドがV_{CC}よりも高い電圧でドライブされると、Q1 のエミッタの電位がベースよりも高くなるため、Q1 がオンになります。すると、寄生抵抗R2 の電位が上昇し、Q2 をオンにします。Q2 がオンになることにより、Q2 のコレクタ電位が下がり、Q1 のベース電位をさらに押し下げます。結果として、この場合にもアンダシュートと同様の現象が発生します。

3) 入力パッドがグランド電位よりも低くドライブされる場合

アンダシュートのような入力バッファのパッドがグランドよりも低い電位でドライブされると、ESD 対策用の拡散抵抗を通じてサブストレートの電流が注入されます。(後記「ESD」を参照)。この電流は Q2 のベースの電圧レベルを上昇させ、ラッチアップの原因を作ります。

このSCRはCMOSデバイス内のゲートや出力に発生する過渡電圧によっても、導通状態となることがあります。また、I/Oピンは入力と出力の両方のバッファに接続されているため、ラッチアップはいずれのバッファでも発生します。

3-2-3 デバイスのラッチアップ抑制対策

外部信号のリングング、オーバシュートあるいはアンダシュートによって、I/Oパッドがグランドよりも低い電圧またはV_{CCINT}よりも高い電圧でドライブされている場合、ラッチアップが発生する可能性があります。従って、ラッチアップを防ぐために、これらの影響を最小とするボード設計が必要です。

注 APEX 20K、FLEX 10KE / 10KA、MAX 7000AとMAX 3000Aデバイスのようなほとんどの3.3V、2.5Vと1.8Vデバイスは、V_{CCINT}を超える入力電圧に耐えるように設計されていますが、あるレベルを超えた入力を与えることでデバイスが破壊されてしまう可能性があります。保証されている入力電圧の範囲を各デバイス・ファミリのデータシートで確認してください。

ALTERAのデバイスは電源やI/Oピンの過渡電圧によって生じるラッチアップの発生が最小になるように設計されています。ALTERAのすべてのデバイスは、推奨動作条件の下でGND-1VからV_{CCINT}+1Vまでの入力電圧範囲、デバイス・ピンあたり最大 100mAまでの入力電流に耐えることができます。

注 電源投入時にラッチアップが発生する可能性を抑えるためには、デバイスにまずグランド・レベルを与え、次にV_{CCINT}とV_{CCIO}、そして、最後に入力信号を与えるようにしてください。逆に、電源を落とす場合には、最初に入力をデバイスから切り離し、次にV_{CCINT}とV_{CCIO}、最後にグランドのラインを切り離すようにしてください。デバイスによっては、V_{CCINT}とV_{CCIO}を供給する前に入力をドライブすることが可能となっています。詳細は各デバイス・ファミリのデータシートで確認してください。

電源の投入時にデバイスに対してV_{CCINT}とV_{CCIO}が入力信号と同時に与えられる可能性があるアプリケーションでは、V_{CCINT}とV_{CCIO}の立ち上がり時間が規定されている最大立ち上がり時間内になってい

れば、問題は発生しません。ただし、常に入力信号の立ち上がりがV_{CCINT}とV_{CCIO}のピンの立ち上がり時間より早くならないように注意してください。

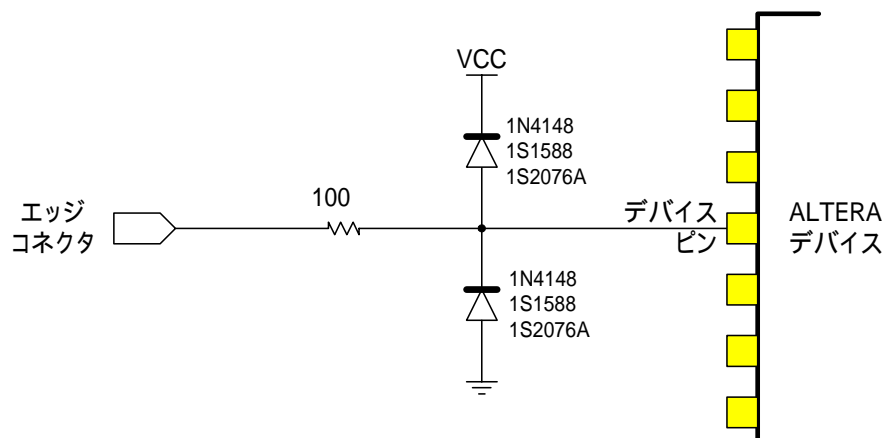
3-3 ホット・スワッピング(活線挿抜)

電力系のシステムや通信系のシステムなど 24 時間稼動が必須となるシステムがあります。これらのシステムでは電源を供給したままメンテナンスをする必要があります。動作中のシステム上でボードの抜き差しを行いますので、このような時にラッチアップが発生する可能性があります。活線挿抜が行われると、ボード上のV_{CC}とグラウンドの間に電流が流れるよりも先に、搭載されているデバイスにロジック・レベルが与えられる場合があり、この条件の時にラッチアップが発生する危険性があります。

V_{CC}とグラウンドのコネクタの接続パターンを長くすることによって、活線挿抜の際にラッチアップが発生する可能性を減少させることができます。エッジ・コネクタを使ってボードを接続する場合、カード・エッジのV_{CC}とグラウンドのパターンの先端をロジック信号のパターンよりも長くしておきます。このパターンの長さの違いにより、デバイスにロジック・レベルよりも電源が先に与えられ、ラッチアップの防止が期待できます。V_{CC}とグラウンドの接続部分が長くなっている市販のコネクタを使用した場合には同じ効果が期待できます。

また、図 3 に示す回路を付加することによって、活線挿抜の際に生じるラッチアップからデバイスを保護することもできます。ここでダイオードは入力信号の電圧レベルをクランプする働きをするため、電源電圧ラインに対して入力信号の振幅がダイオード1個の電圧降下分を超えないようにすることができます(-0.7V ~ +0.7V)。また、直列抵抗がデバイスの入力ピンとクランプ・ダイオードに流れる電流を制限するため、ラッチアップの発生する可能性がさらに低下します。この保護回路を付加することはラッチアップに対し最も効果的な対策となりますが、この回路は一般的にデバイスに対する各入力信号がエッジ・コネクタと直接接続されている場合にのみ必要になります。デバイスの入力ピンが同一ボード上にある他の回路部品からドライブされている場合は、これらの部品がロジック・レベルの確定までに一定の遅延時間を持つため、一般的にラッチアップが問題になることはありません。

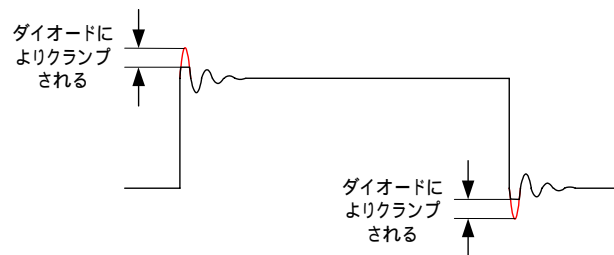
図 3. 活線挿抜のための保護回路



注 クランプ・ダイオードは、海外では 1N4148 が汎用的です。国内では 1S1588 が同等品です。他のメーカー品でも選ぶことができます。この場合は、高速スイッチング用ダイオードで順方向電圧降下が低いもの (0.7V 程度以下) を選ぶ必要があります。

図 4 にオーバシュート/アンダシュートの波形をクランプ・ダイオードによりクリップした例を示します。

図 4. クランプ・ダイオードにより過大電圧を抑制



3-4 ESD

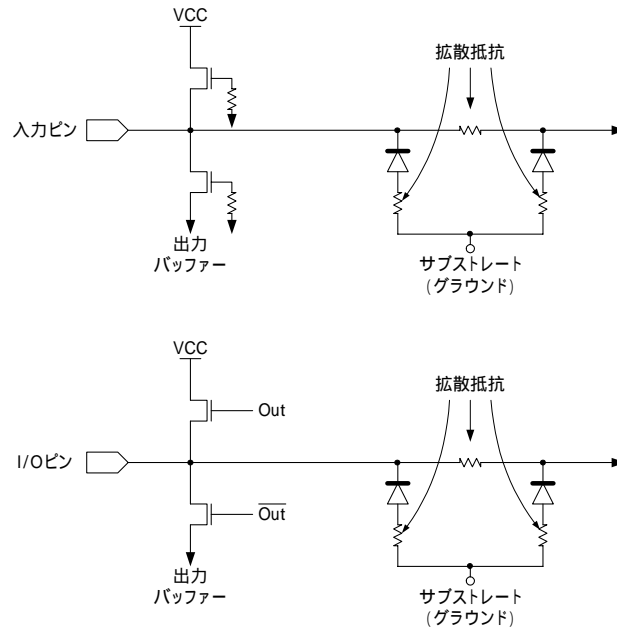
不適切なデバイスの取扱いによって発生する静電気放電 (ESD: Electro Static Discharge) は、下記のような故障モードの原因となる場合があります。

- ファンクション不良
- I/O 性能の劣化
- 信頼性の低下

PLD プログラマなどを使ってデバイスをプログラムする場合は、静電気による故障を発生させる危険性が特に高くなります。化学合成繊維を材質にした衣服は大量の静電気を蓄積する危険性が高く、ESD を発生させる原因になります。通常、人体が発生する静電気電圧は最大 10KV のオーダに達します。このため、デバイスの取扱い時には接地されたリスト・ストラップを着用し、またデバイスを取り扱う作業台の表面全体を接地することによって、静電気によるダメージを受ける危険性を最小になるような対策が必要となります。

ALTERA のデバイスには、各ピンにおける ESD の影響が最小になるような特別な構造が採用されています。図 5 は代表的な ALTERA デバイスの入力構造を示したものです。図の中のダイオードと出力バッファがデバイス内部に過電流が流れる前に危険な高電圧をグランド側にバイパスします。ALTERA のデバイスは、通常、2KV を超える ESD 電圧に耐えますが、すべてのデバイスに対して保証されている ESD 電圧は最大 1KV までです。ESD に対する各デバイスの特性は ALTERA の信頼性レポートに掲載されています。

図 5. ALTERA デバイスの入力保護回路



4 色々な出力負荷

出力の負荷は、通常、抵抗性が容量性、またはその双方の性質を含むものになります。設計者は、開発段階からターゲット・デバイスがこれらの負荷をドライブするのに必要な電流とスピードの双方を満足することを確認しておく必要があります。

4-1 抵抗性負荷

デバイスの出力が安定した状態で負荷電流が流れている時、負荷は常に抵抗性となります (TTL 入力を持つデバイス、終端されているバスなどはこの抵抗性負荷に含まれます)。

出力のドライブ特性 (I_{OH} , I_{OL}) は、出力電圧 (V_{OH} , V_{OL}) の関数として、各デバイスのデータシートに示されています。このデータシートの DC 特性の欄に示されている電流の値は、規定の出力電圧を維持できる最小抵抗負荷の値を決定します。LED やリレーなどをドライブするのように、高い駆動電流が要求されるシステムでは、高電流バッファ等をデバイスの外部に接続する必要があります。 I_{OH} , I_{OL} が絶対最大定格の I_{OUT} を超えるような短絡条件は、デバイスを破壊する可能性があります。

4-2 容量性負荷

データシートの AC 特性の表では、外部性能に関連したパラメータに対して出力の負荷容量の条件 (C1) が規定されています。ほとんどの ALTERA のデバイスの C1 の値は通常のアクティブ信号で 35pF、出力バッファのディセーブルに関連したパラメータで 5pF となっています。

負荷容量の主要な部分を占めるのは、デバイスのパッケージとボードの配線パターンが持つキャパシタンスです。ここで規定されている 35pF の負荷条件は、ほとんどの CMOS 回路に対する標準的な値となっています。大きな容量を持つデバイスをドライブするようなアプリケーションでは、負荷容量の増大に伴い性能が低下します。

デバイス・ソケットは、容量性および誘導性の負荷となります。量産用の設計が確定している場合には、可能な限りソケットを取り除き、デバイスをプリント基板に直接実装してください。プリント基板にデバイスを直接実装することで容量性負荷と誘導性負荷の双方の値、および、ソケット・コンタクトからのノイズを低減することができます。容量性負荷や誘導性負荷の増大は、グランド・バウンスの発生にも影響しますので、ソケット実装によるデバイスの使用は必要最小限に留めることをお勧めします。

最高の回路性能を得るためには、デバイス出力の容量を最小に抑える必要があります。プリント基板の配線パターン、デバイスの入力ピン、そして、デバイス・パッケージなどはすべて容量性負荷となるため、次のような注意が必要です。

- 各信号が互いに直角に走るようなボード・レイアウトにし、容量結合の影響を最小になるようにする。また、信号ラインの配線パターンをできるだけ短くする。
- 1つの信号源で多くの負荷をドライブするような回路には高電流の駆動が可能なバッファーを使用し、大きな負荷をドライブする信号のスピードを上げる。

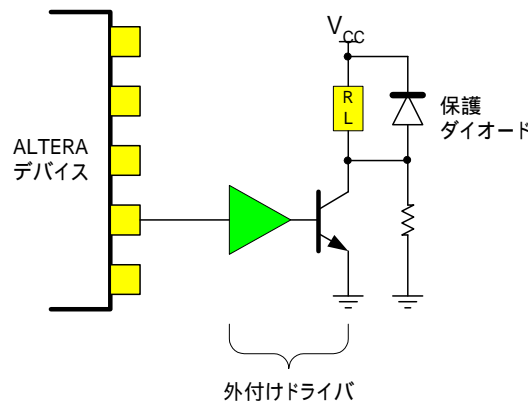
V_{CC}とグランドの専用プレーンが無いプリント基板や極端に長い配線パターンが、ロジック信号に対するノイズの誘導結合や信号の品質に影響を及ぼす伝送ライン効果の問題を引き起こす原因となります。ロジック・レベルに影響を及ぼすリングングやノイズは回路の信頼性を低下させます。伝送ライン効果を低減させるための推奨パターン・レイアウトが採用できない場合は、信号ラインに 10 ~ 30 Ω の直列抵抗を挿入することで、オーバシュート、アンダシュートの振幅を抑えることができます。この抵抗はボード上の長い配線パターンによって発生するリングングを抑え、トリガ・エラーの発生を防止します。

注 詳細についてはアプリケーション・ノート: AN75 「High Speed Board Designs」(日本語版: 「高速動作ボードの設計」)を参照してください。

4-3 誘導性負荷

リレーやソレノイドなどの誘導性負荷は高電流ドライブが必要なばかりでなく、逆起電力による高電圧が発生し、絶対最大定格を超える電圧が出力ピンにかかります。従って、ALTERA のデバイスにはこれらの誘導性負荷を直接接続しないでください。必ず外部に高耐圧のトランジスタ回路を持つデバイスを接続の上お使いください。図 6 に外付けドライバを利用したリレー駆動回路を示します。

図 6. 外付けドライバによるリレー駆動回路



5 電源への配慮

ALTERA のデバイスはノイズの発生と影響が最小になるように設計されていますが、他の CMOS デバイスと同様に電源と入力ラインの変動によって影響を受けます。

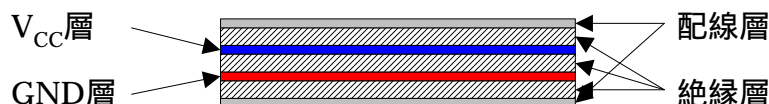
これらの変動による影響を最小に抑えるためには、次に上げる点に特別な注意を払う必要があります。

- V_{CC}とグラウンドのプレーン
- デカップリング・キャパシタ
- V_{CC}の立ち上がり時間
- 消費電流

5-1 V_{CC} とグラウンドのプレーン

各プリント基板(PWB)のV_{CC}とグラウンドのプレーンとを完全に分離することによって、電源ノイズとグラウンド・バウンスの最小化、高電流の引込み能力、ノイズに対する保護、ボード上の信号に対するシールド効果などが得られます。図 7 に 4 層PWBの断面図を示します。

図 7. 4 層PWB断面図



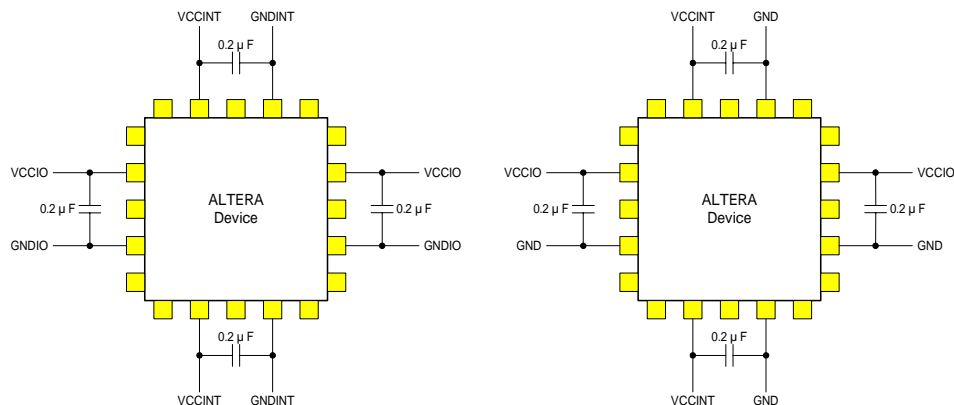
基板全体の各1層をV_{CC}とグラウンドの専用プレーンに割り当てられない場合には、これらの配線パターンが基板全体にわたって可能な限り広い面積を占めるようにする必要があります。信号ラインのような狭い幅の配線パターンを電源ラインに使用しないでください。V_{CC}とグラウンドのプレーンを広くとること

によって、容量性の負荷が増加する傾向にあります。システムのノイズが大幅に低減され、システムの信頼性が飛躍的に向上します。

5-2 デカップリング・キャパシタ

デバイスの各VCCピンとGNDピンは、それぞれプリント基板のVccプレーンとグラウンドのプレーンに直接接続される必要があります。デカップリングの必要性はデバイス内で使用されるロジックの規模とスイッチングする出力の本数などによって異なります。使用されるI/Oの数やピンの負荷容量が大きくなるほど、多くのデカップリング・キャパシタが必要になります。VCCとGNDのピンのすべてのペアに対して 0.2 μFのキャパシタを接続してください。また、このキャパシタはデバイスにできるだけ近くに配置してください。VCCがVCCINTとVCCIOのピンに分離されているデバイスでは、VCCINTとGNDINT、VCCIOとGNDIOの各ペアに対して、0.2 μFのキャパシタを接続する必要があります。BGAパッケージなどの多ピン・デバイスでは、VCC/GNDの組み合わせごとに 1 つのデカップリング・キャパシタを付けることができませんので、この場合は、できるだけ多くのデカップリング・キャパシタを付けてください。また、VCCがVCCINTとVCCIOのピンに分離されていて、グラウンドがGNDINTとGNDIOに分離されていないデバイスでは、VCCINTとVCCIOからグラウンドに対して 0.2 μFのキャパシタを接続してください。ロジックの規模が小さいデザインに対しては、キャパシタの数を減らすことができますが、可能な限りすべてのVCCとGNDペアにデカップリング・キャパシタを接続してください。デカップリング・キャパシタには、セラミック・キャパシタのように周波数特性の良いものを使用することが必要です。図 8 にデカップリング・キャパシタの接続要領を示します。

図 8. デカップリング・キャパシタの接続



a) GNDINTとGNDIOが分離されている場合 b) GNDINTとGNDIOが共通の場合

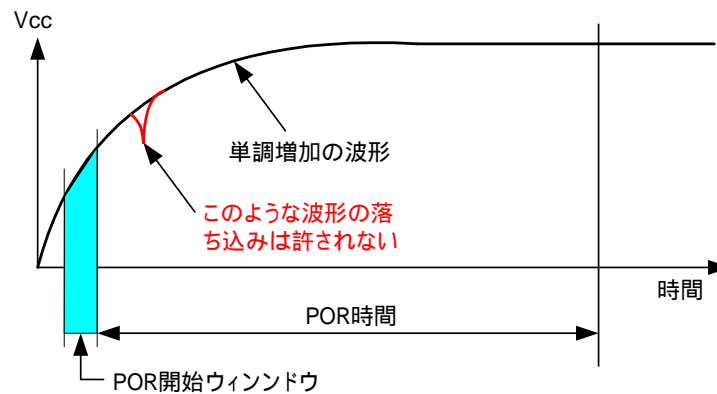
プリント基板には、電源の安定化のために大容量の電解コンデンサが使用されます。まず、プリント基板に外部から電源を供給する場合は、100 μFの電解コンデンサを電源ラインの引き込み口のすぐ近くに接続します。また、オン・ボード・レギュレータ等によって供給電圧レベルを変換している場合には、デバイスの電源が生成される最終段に近い位置にキャパシタを接続する必要があります。このキャパシタには、回路内にある多数のノードが同時スイッチングした場合に追加の電流を供給して、電源電圧を安定化させる効果があります。ただし、電源ラインに大きな容量のキャパシタを使用すると、Vccが規

定の動作電圧の最大値に達するまでの時間が長くなります。従って、**接続されるキャパシタの容量は、V_{CC}の立ち上がり時間が規定されている最大値を越えないような値に設定される必要があります。**

5-3 V_{CC} の立ち上がり時間

ALTERAデバイスに電源が供給されると、通常V_{CC}が約 1.0Vから 2.0Vに達した時点で、デバイスがパワー・オン・リセット(POR)の動作を開始します。POR動作は、V_{CC}が一定の時間内(規定のV_{CC}最大立ち上がり時間の範囲)に推奨動作条件に達した時にのみ行われ、100mS以内で終了します。この立ち上がり時間が遅くなると、イニシャライズ不良やファンクション不良の原因となります。電源電圧は、推奨V_{CC}レベルまで単調に立ち上がる必要があります。図 9 に電源電圧が単調に増加している様を示します。

図 9. V_{CC}電源の単調増加波形



ALTERAデバイスのV_{CC}許容最大立ち上がり時間は各デバイス・ファミリのデータシート内の「推奨動作条件」(Recommended Operating Conditions)のセクションで規定されています。

MAXデバイスでは、POR時間はV_{CC}が推奨動作条件に達してからレジスタのクリア、I/Oピンのコンフィギュレーション、トリステートのリリースの動作を行うのに必要な時間です。そして、この初期化動作が完了すると、デバイスは通常のロジック動作を開始できる状態となります。POR時間は 50mS以内です。

FLEXとAPEXデバイスでは、POR時間はV_{CC}が推奨動作条件に達してからレジスタのクリア、コンフィギュレーションの準備、そして、nSTATUSピンをリリースするのに必要な時間です。nSTATUSピンがリリースされると、デバイスのコンフィギュレーション準備完了です。FLEX 8000 デバイスでは、PORは 100mS以内です。他のFLEXとAPEXデバイスでは、POR時間は 5 μS以内です。

EPC1441、EPC1 とEPC2 コンフィギュレーション・デバイスでは、POR時間はV_{CC}が推奨動作条件に達してからOEピンをリリースし、コンフィギュレーションを開始するのに必要な時間です。これらのデバイスのPOR時間は、200mS以内です。

5-4 消費電流

ALTERA のデバイスは高い性能を提供しながら、その消費電力が最小となるように設計されています。これらの2つの設計目標は、互いに背反する性格を持っていますが、ALTERA のデバイスとソフトウェア・ツールにより、設計者はデバイスに組み込まれた機能を使って電流をモニタ、コントロールすることができます。

MAX 7000、MAX 9000 とMAX 3000Aファミリのデバイスの各マクロセルは、デザインの入力時に高性能モードあるいはロー・パワー・モードのいずれかに個別に設定することができます。マクロセル内の「Turbo Bit™」をオンに設定すると、そのマクロセルは規定された動作条件で高性能モードとなります。また、このTurbo Bitをオフにすると、マクロセルは性能を多少犠牲にした消費電流の少ないロー・パワー・モードとなります。

ロー・パワー・モードで動作するMAX 7000、MAX 9000 とMAX 3000Aファミリのデバイスの消費電流は最小となります。この時の電源電流(I_{CC})は、設計および動作周波数によって異なりますが、最高50%まで低減できます。ほとんどのMAX 7000、MAX 9000 とMAX 3000Aファミリのデータシートには、 I_{CC} と動作周波数との関係を示すグラフが記載されています。ターボ・ビット・オプションを持っているデバイスでは、グラフに2つのカーブが示されています。一方はすべてのターボ・ビットがオンにセットされた条件のもので、もう一方はすべてのターボ・ビットがオフにセットされた条件の時のものです。通常のアプリケーションでは、ターボ・ビットがオンになるマクロセルとオフになるマクロセルが混在するため、各データシートには I_{CC} を設定動作モードごとのマクロセル数と動作周波数から計算するための公式とグラフが示されています。このグラフと公式で示される値は、出力に負荷が接続されていない状態の時のもので、デバイス動作で消費される電流のみを表しています。

また、Classic™ファミリの多くのデバイスにもTurbo Bitのオプションが提供されています。ロー・パワー・モードで動作するClassicファミリのデバイスは、入力や出力が変化しないイン・アクティブの状態になると、100nS後にスタンバイ・モードに入ります。入力信号の変化によって、デバイスはスタンバイ・モードから抜け、次のスタンバイ・モードの期間まで通常のデバイス動作を続けます。ただし、このスタンバイ・モードを中止させる入力信号には追加の遅延時間が発生し、この時の追加遅延が各デバイスのデータシートで「non-turbo delay adder」として規定されています。

6 デバイスのプログラミングとイレース(消去)

ALTERA の MAX 9000、MAX 7000、MAX 3000A、Classic ファミリの各デバイス、およびコンフィギュレーション EPROM は、コンフィギュレーション・データに不揮発性で再プログラム可能な EPROM、EEPROMまたはFlashのメモリ・エレメントを使用しています。このため、システムの電源投入時にコンフィギュレーション・データを外部から再ロードする必要はありません。EPROM と EEPROM のメモリ・セルは同じようなプログラミング特性を持っていますが、イレース(消去)のメカニズムは異なります。

EEPROMとFlashベースのセルを使用しているALTERAのすべてのデバイスは、再度プログラムすることができます。EEPROMとFlashのメモリ・セルは電氣的なイレースが可能となっているため、パッケージにイレースのための窓(ウィンドウ)がありません。**EEPROMとFlashベースのデバイスはプログラミング前に短時間で自動的にイレースすることができ、100回までの再プログラムが保証されています。**ほとんどのデバイスでは、この規定回数を越えるプログラミングを問題なく行うことができます。EEPROMとFlashのセルは、プログラミング時に外部からプログラミング用の高電圧を供給するための特別なVPPピンを必要としません。唯一の例外は、EPC2コンフィギュレーション・デバイスで、3.3V動作時に、5.0VをVPPピンに供給します。これらのデバイスは、必要な電圧を内部で生成します。

EPROMをベースにしたALTERAのデバイスでは、プラスチック・パッケージとセラミック・パッケージで供給されます。プラスチック・パッケージを使用したEPROMデバイスは、ワン・タイム・プログラマブル(OTP)のデバイスです。ウィンドウ付きのセラミック・パッケージを使用したデバイスは紫外線の照射によってデータの消去が可能です。EPROMベースのデバイスは、4,000より短い波長の光が照射された時に消去を開始します。蛍光灯の光や太陽光線の波長はこの範囲に入るため、デバイスのウィンドウの上に遮光ラベルを貼り付けて長時間にわたるデバイスの信頼性を確保することが必要です。**デバイスの消去を確実にを行うため、波長が2,540の紫外線を使用してください。12,000 μ W/cm²のパワーを持つレーザーを使用した場合には、約1時間でデバイスの消去が可能です。**1時間を越えて紫外線を照射した場合には、デバイスが破壊される可能性があります。

ALTERAはEPROMベースのデバイスに対して、推奨する条件の下で25回までプログラムとイレースを保証しています。ただし、ほとんどのデバイスはこの保証回数を超えても再プログラムとイレースを行います。

7 おわりに

CPLD/FPGAデバイスが持つ機能・性能を最大限に、あるいは、デバイスの動作寿命を最大限に引き出すために、細心の注意をもって設計あるいは取り扱う必要があります。ここに掲げた各種の情報はALTERAのデバイスを安心してお使いいただくためにお守りいただく事項です。必ずお読みください。

改版履歴

Version	改定日	改定内容
1.0	2006年02月	・新規作成

参考文献

- ALTERA Data Sheet: Operating Requirements for Altera Devices
- ALTERA AN75 「High Speed Board Designs」(日本語版:「高速動作ボードの設計」)

免責、及び、ご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不審な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的なものとしてかかれたものです。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。

本社

〒163-0928 東京都新宿区西新宿2丁目3番1号 新宿モリス 28F TEL 03-3345-6205 FAX 03-3345-6209

松本営業所

〒390-0815 長野県松本市深志1-1-15 朝日生命松本深志ビル1F TEL 0263-39-6134 FAX 0263-39-6135

大阪営業所

〒532-0003 大阪市淀川区宮原3丁目4番30号 ニッセイ新大阪ビル17F TEL06-6397-1090 FAX06-6397-1091

名古屋営業所

〒450-0002 愛知県名古屋市中村区名駅3丁目11番22号 IT名駅ビル4F TEL 052-566-2513 FAX 052-566-2514