

Nios[®] II はじめてガイド Nios[®] II 簡易シミュレーション

Ver.17



2017 年 11 月 Rev.1

ELSENA,Inc.





Nios® II はじめてガイド

Nios[®] II 簡易シミュレーション

<u>目次</u>

1.	はじめに	3
2.	操作方法	4
2	-1. Osvs の設定	4
2	-2. Nios [®] II SBT の設定	6
2	-3. シミュレーションの実行	9
改將	反履歴	11



1. <u>はじめに</u>

この「Nios®II はじめてガイド」シリーズは、Nios®II プロセッサをはじめて使用するユーザ向けの資料です。

この資料は、別資料「Nios[®] II はじめてガイド – Nios[®] II 簡易チュートリアル」で作成した Nios[®] II システムのシミ ュレーションを、ModelSim[®] - Intel[®] FPGA Edition を使って行うための操作マニュアルです。

この資料では ModelSim[®] - Intel[®] FPGA Edition を使って説明していますが、ModelSim[®] などの他のシミュレータ でも同様に実行できます。

チュートリアルのフローを以下に示します。

【開発ソフトウェア】

- インテル[®] Quartus[®] Prime 開発ソフトウェア 17.0
- ModelSim[®] Intel[®] FPGA Edition 10.5b (Quartus[®] Prime 17.0)
- Nios[®] II Software Build Tools for Eclipse (Quartus[®] Prime 17.0) ※ 以降、Nios[®] II SBT と記載

【フローの概要】

- ① Qsys システム統合ツールで、テストベンチなどのシミュレーションに必要なファイルを生成
- 2 Nios[®] II SBT のソフトウェア・プロジェクトを開き、シミュレーション用の最適化オプションを設定して、ビルドを 実行
- ③ Nios[®] II SBT から、シミュレーションを実行
- ④ 起動した ModelSim[®] Intel[®] FPGA Edition で、波形表示のためのコマンドを実行
- ⑤ シミュレーション実行のコマンドを入力して、シミュレーションを実行
- ⑥ シミュレーション結果を確認



2. 操作方法

- 2-1. Qsys の設定
- ① 別資料「Nios® II はじめてガイド Nios® II 簡易チュートリアル」では、C:¥Lab¥nios2_basic_prj フォルダに nios2_basic_lab というプロジェクトを用意しました。この資料でも、同じフォルダ構成を例として進めていきます。
- ② Quartus[®] Prime を起動し、File メニュー ⇒ Open Project から nios2_basic_prj フォルダ内の nios2_basic_lab.qpf ファイルを選択し、プロジェクトを開きます。
- ③ 使用する ModelSim[®] Intel[®] FPGA Edition のパスを確認します。Quartus[®] Prime の Tools メニュー ⇒ Options を選択し、EDA Tool Options カテゴリを確認します。ModelSim-Altera 欄に ModelSim[®] Intel[®] FPGA Edition の実 行ファイルが格納されているフォルダのパスが設定されていることを確認します。

egory:			
General	EDA Tool Options		
EDA Tool Options	Specify the directo	ory that contains the tool executable for each third-party EDA tool:	
Fonts Headers & Footers Settings	EDA Tool	Directory Containing Tool Executable	
Internet Connectivity	Precision Synth		
Notifications	Synplify		-
Libraries	Exmelify Bro		-7
IP Settings	Synpury Pro		
IP Catalog Search Locations	Active-HDL		
Design Templates	Riviera-PRO		
License Setup	ModelSim		·
Preferred Text Editor	QuarteCim		
Processing	IOUestasim		
Tooltip Settings	ModelSim-Altera	C:\intelFPGA\17.0\modelsim_ae\win32aloem	
Messages			
Colors			

④ nios2_basic_lab のプロジェクトで Qsys を起動します。Quartus[®] Prime の Tools メニュー ⇒ Qsys を選択し、 nios2 system.gsys を選択します。

🛛 Qşys - nios2_system.qsys (C:¥Lab¥nios2_basic_prj¥nios2_system.qsys)									
Eile Edit System Generate View Tools Hel	Elle Edit System Generate View Tools Help								
📫 IP Catalog 🛛 🗕 💣 🗖		System	Contents 🙁 Address Map	🛛 Interconnect Req	uirements 🛛			- !	80
	1		📃 💓 System: nios2_system	Path: clk_0					
Project	+	Use	Connections Na	me	Description	Export	Clock	Base	
New Component.	1 💼			clk 0	Clock Source				
System	ll ×		D-	clk in	Clack Input	clk	exported		
Library			·	clk in reset	Reset Input	reset			
Basic Functions				clk	Clock Output	Double-click to export	clk 0		
⊕-DSP	≖			clk reset	Reset Output	Double-click to export	-		
interface Protocols	A .		E	onchin memory? I	On-Chip Memory (BAM or BOM)				
Mamony Interfaces and Controllers			•	clk1	Clock Input	Double-click to export	cik 0		
Processors and Perinherals	II 🚽			e1	Avalon Memory Manned Slave	Double-click to export	felk 1]	₽ 0√0002 0000	
Osvs Interconnect				reset1	Reset Input	Double-click to export	felk 1]		
University Program				Dinion ann 10	Nice II Processor	Double there to expert	Concerts.		
				eg mosz_genz_o	Clock Invest	Daublandish ta annat			
				UK	Penet Input	Double click to export	fall		
				reset	Reset input	Double-click to export	LC IK.J		
				data_master	Avaion Memory Mapped Master	Double-click to export	LC IK J		
				instruction_master	Avaion Memory Mapped Master	Double-click to export	LC IK J		100.0
				irq	Interrupt Receiver	Double-click to export	LC IK J		THU U
New Edit				debug_reset_request	Reset Output	Double-click to export	LC IK.J		
				debug_mem_slave	Avaion Memory Mapped Slave	Double-click to export	Lo IK.J	= 0x0004_0800	
	ᆡ	_		custom_instruction_m	Custom Instruction Master	Double-click to export			
👫 Hierarch 🕸 Device Fam 🕸 💶 🗂 🗖				pio_0	PIO (Parallel I/O)				
Dias? system [nias? system.asys]	1		• • • • • • • • •	clk	Clock Input	Double-click to export	clk_0		
B P ck				reset	Reset Input	Double-click to export	[clk]		
🖶 🖿 pio 0 external connection			$ \bullet \bullet \longrightarrow$	s1	Avalon Memory Mapped Slave	Double-click to export	[clk]		
😐 🛏 reset			P. P	external_connection	Conduit	pio_0_external_connection			
i i i i i i i i i i i i i i i i i i i		V		jtag_uart_0	JTAG UART				
🖶 🖶 jtag_uart_0			$ \bullet $	clk	Clock Input	Double-click to export	clk_0		
🐵 🖳 nios2_gen2_0			\bullet	reset	Reset Input	Double-click to export	[c]k]		
🖶 💶 onchip_memory2_0				avalon_jtag_slave	Avaion Memory Mapped Slave	Double-click to export	[c]k]	0x0004_1010	
🕀 🕶 pio_0			•	irq	Interrupt Sender	Double-click to export	[clk]		
H-Connections						·			
		•							•
		ት ት	🖓 🛒 Current filter:						
	X	Messae	es 🛛					_	e el
	Tur		Path	Message					
	I I I I I	0	1 001	mosodko					
			1 Into Message						
)	nios2_system.jtag_uart_0	JTAG UART IP input clo	ck need to be at least double (2×) the	operating frequency of JTAG TCK	on board		
	•								•
0 Errors, 0 Warnings								Generate HDL	Finish

[

⑤ Qsys で Testbench System を Generate します。Generate メニュー ⇒ Generate Testbench System を実行しま す。Generation 画面が起動するので、以下のように設定して Generate ボタンをクリックします。Testbench で指 定されているパスに、シミュレーションに必要なファイルー式が生成されます。

Generation		×
Testbench System		
The testbench system is a new Q Once generated, the bus function	sys system that instantiates the original system, adding bus functional models to drive the top-level interfaces. al models can interact with the system in the simulator.	
Create testbench Qsys system:	Standard, BFMs for standard Qsys interfac 👻	
Create testbench simulation mod	Veril 👻	
Output Directory		
Path:	C:/Lab/nios2_basic_prj/nios2_system	
Testbench:	C:/Lab/nios2_basic_prj/nios2_system/testbench/	
	Generate	Cancel

- ⑥ Generate が終了したら、Generate Completed 画面を Close で終了します。
- ⑦ 生成された testbench フォルダの中には、以下のように各種ファイルが生成されていることが確認できます。

Comparison (C:) → Lab → nios2_basic_prj → nios2_system → testbench →						
登理 ▼ ライブラリに追加 ▼ 共有 ▼ 新しい 新しい	フォルダー					
☆ お気に入り	名前	更新日時	種類	サイズ		
🔒 ダウンロード	퉬 nios2_system_tb	2017/09/05 11:01	ファイル フォル			
■ デスクトップ	nios2_system.html	2017/09/05 11:01	Firefox HTML D	76 KB		
🗐 最近表示した場所	nios2_system.ipx	2017/09/05 11:01	IPX ファイル	1 KB		
	nios2_system_generation.rpt	2017/09/05 11:01	RPT ファイル	19 KB		
onebine .	nios2_system_generation.rpt.lck	2017/09/05 11:01	LCK ファイル	0 KB		
	nios2_system_tb.html	2017/09/05 11:01	Firefox HTML D	86 KB		
🍃 ライブラリ	nios2_system_tb.qsys	2017/09/05 11:01	QSYS ファイル	5 KB		
■ ドキュメント						
□ レクエカ						

⑧ testbench フォルダ以下の nios2_system_tb¥simulation¥nios2_system_tb.v を見るとテストベンチ・ファイルが確認できます。Qsys のシステムとクロック、リセット生成用のインスタンス、PIO 出力用のインスタンスが確認できます。

// size2 susta							
// mosz_syste	in_u.vv						
// Generated	// Generated using ACDS version 17.0 595↓ ↓						
`timescale 1 p	ps / 1 ps↓						
module nios2_	_system_tb (↓						
↓ <i>"</i>							
wire wire wire	nios2_system_inst_cdk_bfm_dk_cdk; // nios2_system_inst_cdk_bfm:cdk > finios2_system_inst_cdk_dk_nios2_system_inst_reset_bfm:cdk]4 [7:0] nios2_system_inst_pio_0_external_connection_export; // nios2_system_inst:pio_0_external_connection_export -> nios2_system_inst_pio_0_external_connection_bfm:sig_export4 nios2_system_inst_reset_bfm_reset_reset; // nios2_system_inst_reset_ffm:reset -> nios2_system_inst:reset_reset_n4						
↓ pioc2	extension action list (
);↓	ysuefm filesysuefm_files_(*						
↓ altera	a_avalon_clock_source #(↓ .CLOCK_RATE (50000000),↓ .CLOCK_UNIT (1)↓						
) nios	s2_system_inst_clk_bfm (↓						
ג ();↓	.clk (nios2_system_inst_clk_btm_clk_clk) // clk.clk↓						
altera	a_conduit_bfm nios2_system_inst_pio_0_external_connection_bfm (↓ .sig_export (nios2_system_inst_pio_0_external_connection_export) // conduit.export↓						
); ↓							

2-2. Nios® II SBT の設定

- ① 別資料「Nios® II はじめてガイド Nios® II 簡易チュートリアル」で作成した Nios[®] II SBT のソフトウェア・プロジェクト soft_test を開きます。
- ② BSP Editor を起動し、シミュレーション用の最適化設定を行います。soft_test_bsp を右クリック ⇒ Nios II ⇒
 BSP Editor を実行します。下図のように、enable_sim_optimize にチェックを入れます。この設定を行うことで、シ
 ミュレーション時間を短縮します。Generate ⇒ Exit の順でクリックして、設定を反映させます。

Nios II - Eclipse						
File Edit Navigate Search Proje	ct I	Nios II Run Window Help				
1 • H @ A B C • 8 •	C	• @ • \$> • Q • Q • @	<i>∦</i> • 2 • 4 • • 4	• • • • ≝	Quick Access	🖹 🔯 Nios II 🤅 Nios II Debug
🎦 Project Explorer 🙁 📄 😑 😫	69					🗄 Outline 😫 👘 🔽 🗖
b 1≅ soft test	_					An outline is not available.
Image: provide the second s						
	-	New	•			
		Go Into				
		Open in New Window				
	B	Сору	Ctrl+C			
		Paste	Ctrl+V			
	×	Delete	Delete			
	<u>.</u>	Remove from Context	Ctrl+Alt+Shift+Down			
		Source	+			
		Move				
		Rename	F2			
	2	Import				
	4	Export				
		Build Project				
		Clean Project				
	8	Refresh	F5			
		Close Project				
		Close Unrelated Projects				
		Build Configurations	+			
		Make Targets	+			
		Index	•			
		Show in Remote Systems view				
		Profiling Tools	+			
		Convert To				
		Profile As	+			
		Debug As	•	s II Console 🔲 Properties		
		Run As	•			
		Compare With	+			
	_	Restore from Local History				
		Nios II	•	Nios II Command Shell		
	1	Kun C/C++ Code Analysis		PCD Editor		
		ream	,	DOP EUICOI		1

A BSP Editor - settings.bsp						
File Edit Tools Help	File Edit Tools Help					
Main Software Packages Drivers Linker Script Enable File Generation Target BSP Directory						
SOPC Information file:.\nios2_system.sopcinfo CPU name: nios2_gen2_0 Operating system: Altera HAL BSP target directory: C:\Lab\nios2_basic_prj\software\soft_test_t	Version: default 💌					
Settings Gormon Sys_ck_tmer timestamp_timer stdout stdout stder enable_groof enable_groof enable_reduced_device_drivers enable_reduced_device_drivers enable_exception_stack exception_stack_size exception_stack_size interrup_stack_size interrup_tack_memory_region_r interrup_tackmemory_r interrup_tackmemory_r interrup_tack_memory_region	sys_clk_timer: timestamp_timer: stdin: stdout: stderr: enable_small_c_library enable_gprof enable_reduced_device_drivers enable_sim_optimize mker enable_exception_stack	none • itag_uart_0 • itag_uart_0 • itag_uart_0 •	E			
Information Problems Processing						
Setting 'hal.Inker.interrupt_stack_memory_region_name' set to 'onchip_memory2_0'. Setting 'hal.Inker.exception_stack_memory_region_name' set to 'onchip_memory2_0'. Loading drivers from ensemble report. Mapped module: 'hios2_gen2_0' to use the default driver version. Mapped module: 'hios2_gen2_0' to use the default driver version. Mapped module: 'hios2_gen2_ust_0' to use the default driver version. Mapped module: 'hios2_to use the default driver version. Mapped module: 'hios_uset.'' to use the default driver version. Mapped module: 'hios2_to use the default driver version. Mapped module: 'hios2_to use the default driver version.						
Loading BSP settings from settings file. Finished loading SOPC Builder system info file ".\nios2_system.so	pcinfo [relative to settings file]"	Generate	E <u>x</u> it			

③ プロジェクトのビルドを実行します。soft_test を右クリック ⇒ Build Project を実行します。

Nios II - Eclipse					
File Edit Navigate	e Search Project Nios II Ru	un Window Help			
[1 2 - 12 1 2 - 12	ਗੇ 💣 ▾ 😂 ▾ 🖻 ▾ 🞯 ▾	🎄 • 🔕 • 隆 🖌 •	월 - 월 - 15 (A - A - 1 a)	Quick Access	📑 🔯 Nios II 🏇 Nios II Debug
Project Explorer S	3 🕒 😫 🕯 🎽 🗉 🕻	3		- 8	🗄 Outline 🛛 👘 🏺 🗖 🗖
Soft_test	New	•			An outline is not available.
, <u>,</u>	Go Into				
	Open in New Window				
D	Сору	Ctrl+C			
Ê	Paste	Ctrl+V			
×	Delete	Delete			
<u>0</u>	Remove from Context	Ctrl+Alt+Shift+Down			
	Source	•			
	Move				
	Rename	F2			
24	Import				
4	Export				
	Build Project				
	Clean Project				

④ シミュレーションを実行します。soft_test を右クリック ⇒ Run as ⇒ Nios II ModelSim を実行します。



⑤ ModelSim[®] が起動し、ライブラリの生成や必要なファイルのコンパイルとロードを自動的に行います。

ModelSim - Intel FPGA Edition 10.5b					
Eile Edit View Compile Simulate Add Structure Tools Layout Bookmarks Window Help					
■ • 🛩 🖬 🌣 ∰ ½ № @ ΏԸ ◎ • 桷 點 🖬 ◈ ಔ 🚟 👰 🖄 💁 🛊 ← ⇒ 第 🗆 100 р	÷ 1, 1; 1; X &	•	🕇 🍽 🕇 🛛	±- 🔉 🕯	
Layout Simulate 🗹 ColumnLayout AllColumns 🔍 🛛 🖓 - 🖏 - 🦃 🖏 -		u 🥟 🛛 💽 💁	🔹 🔝 🗈	🚯 📗 🕹 🗄 🔧	1155
] 3+ - +€ - 3+ Search:					
💭 sim - Default 🛨 🖻 🗙	😂 Objects				+ # ×
Tinstance Design unit Design unit type Top Category Visibility Total coverage	▼ Name	Value Kind	Mode		1 Now 1
■ nios2_system_tb nios2_syst Module DU Instance +acc=	nios2_system_inst.	StX Net	Internal		
	nios2_system_inst.	xxxxx Net	Internal Internal		
Instruction and a second and a second and a second a	V HODE_D)Stem_Hote				
→ inios2_system_i, altera_aval Module DU Instance +acc=					
terend std VPackage Package +acc=					
*vsm_capacity# Capacity Statistics #acc=					
	alle north and the start of the				ابد الا الد .
	Processes (Active)	T		andre Denote Dette	
	Processes (Active)	Type (filtered)	State C	Order Parent Path	Class Info
	Processes (Active) Name Active Act	Type (filtered) Assign Assign	State C Active 1 Ready 2	Order Parent Path 1 /nios2_system_t 2 /nios2_system_t	Class Info
	Processes (Active) Name #ASSIGN#93 #ASSIGN#81 #ASSIGN#68	Type (filtered) Assign Assign Assign	State C Active 1 Ready 2 Ready 3	Drder Parent Path 1 /nios2_system_t 2 /nios2_system_t 3 /nios2_system_t	Class Info
	 Processes (Active) Assession (Active) #ASSIGN #93 #ASSIGN #81 #ASSIGN #68 #ASSIGN #81 	Type (filtered) Assign Assign Assign Assign	State C Active 1 Ready 2 Ready 3 Ready 4	Parent Path 1 /nios2_system_t 2 /nios2_system_t 3 /nios2_system_t 4 /nios2_system_t	Class Info
	♥ Processes (Active) ▼ Name ● #ASSIGN #93 ● #ASSIGN #81	Type (filtered) Assign Assign Assign Assign Assign	State C Active 1 Ready 2 Ready 3 Ready 4 Ready 5	Order Parent Path 1 /nios2_system_t 2 /nios2_system_t 3 /nios2_system_t 4 /nios2_system_t 5 /nios2_system_t	Class Info
	Image #ASSIGN#93 ▼ ASSIGN#81 #ASSIGN#81 ▼ #ASSIGN#68 #ASSIGN#68 ▼ ASSIGN#81 #ASSIGN#81 ▼ ASSIGN#81 #ASSIGN#83	Type (filtered) Assign Assign Assign Assign Assign	State C Active 1 Ready 2 Ready 3 Ready 4 Ready 5 Ready 5	Order Parent Path 1 /nios2_system_t 2 /nios2_system_t 3 /nios2_system_t 4 /nios2_system_t 5 /nios2_system_t 6 /nios2_system_t 6 /nios2_system_t	Class Info
	Processes (Active) Assection = 1 Assign = 4ASSIGN = 93 #ASSIGN = 83 #ASSIGN = 68 #ASSIGN = 68 #ASSIGN = 68 #ASSIGN = 68 #ASSIGN = 339 #ASSIGN = 337 #ASSIGN = 337 #ASSIGN = 337	Type (filtered) Assign Assign Assign Assign Assign Assign Assign	State C Active 1 Ready 2 Ready 3 Ready 4 Ready 5 Ready 6 Ready 6 Ready 6	Order Parent Path 1 /nios2_system_t 2 /nios2_system_t 3 /nios2_system_t 4 /nios2_system_t 5 /nios2_system_t 6 /nios2_system_t 7 /nios2_system_t 7 /nios2_system_t	Class Info
	Image: Section 2010 Image: Section 2010 Image: Section 2010 Image: Section 2010 <td>Type (filtered) Assign Assign Assign Assign Assign Assign Assign Assign Assign</td> <td>State C Active 2 Ready 2 Ready 4 Ready 4 Ready 5 Ready 6 Ready 7 Ready 8 Ready 5 Ready 5</td> <td>Order Parent Path 1 /nios2_system_t 2 /nios2_system_t 3 /nios2_system_t 5 /nios2_system_t 6 /nios2_system_t 7 /nios2_system_t 8 /nios2_system_t 9 /nios2_system_t</td> <td>Class Info</td>	Type (filtered) Assign Assign Assign Assign Assign Assign Assign Assign Assign	State C Active 2 Ready 2 Ready 4 Ready 4 Ready 5 Ready 6 Ready 7 Ready 8 Ready 5 Ready 5	Order Parent Path 1 /nios2_system_t 2 /nios2_system_t 3 /nios2_system_t 5 /nios2_system_t 6 /nios2_system_t 7 /nios2_system_t 8 /nios2_system_t 9 /nios2_system_t	Class Info
IL Library × Memory List × ♀ sim ×	Image: Section 2 Image: Section 2<	Type (filtered) Assign Assign Assign Assign Assign Assign Assign Assign Assign	State C Active 2 Ready 2	Order Parent Path 1 /nos2_system_t 2 /nos2_system_t 3 /nos2_system_t 5 /nos2_system_t 5 /nos2_system_t 6 /nos2_system_t 8 /nos2_system_t 9 /nos2_system_t	Class Info
It Library × I Memory List × I sim ×	Processes (Active) * Assicol.#93 # Assicol.#93 # Assicol.#81 # Assicol.#86 # Assicol.#86 # Assicol.#83 # Assicol.#83 # Assicol.#83 # Assicol.#83 # Assicol.#83 # Assicol.#83 # Assicol.#833 # Assicol.#312 # Assicol.#324	Type (filtered) Assign Assign Assign Assign Assign Assign Assign Assign	State C Active 1 Ready 2 Ready 4 Ready 5 Ready 6 Ready 6 Ready 6 Ready 6 Ready 5	Order Parent Path 1 /rios2_system_t 2 /rios2_system_t 3 /rios2_system_t 4 /rios2_system_t 6 /rios2_system_t 7 /rios2_system_t 8 /rios2_system_t 9 /rios2_system_t	Class Info
AL Library ⋈ I Memory List ⋈ I m x I Insortion I Insortion I Insortion	* Processes (Active)	Type (filtered) Assign Assign Assign Assign Assign Assign Assign	State C Active 1 Ready 2 Ready 4 Ready 4 Ready 5 Ready 5 Ready 5 Ready 5 Ready 5 Ready 5 Ready 5 Ready 5 Ready 5	Order Parent Path 1 /rios2_system_t 2 /rios2_system_t 3 /rios2_system_t 5 /rios2_system_t 6 /rios2_system_t 8 /rios2_system_t 9 /rios2_system_t 10 /rios2_system_t	Class Info
It Lbrary X I Memory List X I and X	Processes (Active) Plane #ASSIC(1#93) #ASSIC(1#93) #ASSIC(1#93) #ASSIC(1#68)	Type (filtered) Assign Assign Assign Assign Assign Assign Assign Assign Assign	State C Active 1 Ready 2 Ready 4 Ready 2 Ready 4 Ready	Order Parent Path 1 /nios2_system_L. 2 /nios2_system_L. 3 /nios2_system_L. 4 /nios2_system_L. 5 /nios2_system_L. 9 /nios2_system_L. 9 /nios2_system_L. 9 /nios2_system_L.	t d x Cass Info
I Library × I Memory List × I sim × I Transcript # Transcript # ** Warning: (vsim-3722) C:/Lab/nios2_basic_prj/nios2_system/testbench/nios2_system_tb/simulation on for port 'eccstatus'.	Processes (Active) Plane #ASSICN#93	Type (fitered) Assign Assign Assign Assign Assign Assign Assign Assign Yetem_onchip_me	State C Active C Ready 2 Ready 3 Ready 5 Ready 5 Ready 5 Ready 6 Ready 5 Ready 5 Ready 5 Ready 5 Ready 5 Ready 6 Ready 5 Ready 6 Ready 5 Ready 6 Ready 6 Ready 7 Ready	014 Parent Path 1 /rios2_system_t 2 /rios2_system_t 3 /rios2_system_t 4 /rios2_system_t 5 /rios2_system_t 9 /rios2_system_t 9 /rios2_system_t 9 /rios2_system_t 9 /rios2_system_t 9 /rios2_system_t 9 /rios2_system_t	T S X
It Lbrary × I Memory List × Q sim × Transcript Transcript *** Warning: (vsin-3722) C:/Lab/nios2_basic_prj/nios2_system/testbench/nios2_system_tb/simulation on for port 'eccstatus'. • VSIM 3>	Processes (Active) Viane #ASSIGN#93 #ASSIGN#93 #ASSIGN#83 #ASSIGN#83 #ASSIGN#83 #ASSIGN#83 #ASSIGN#312 #ASSIGN#3294 4 Active #ASSIGN#294 #ASSIGN#294 #ASSIGN#294	Type (fitered) Assign Assign Assign Assign Assign Assign Assign Assign ystem_onchip_me	State C Active C Ready 2 Ready	Order Parent Path 1 /rios2_system_t 2 /rios2_system_t 3 /rios2_system_t 4 /rios2_system_t 5 /rios2_system_t 9 /rios2_system_t 9 /rios2_system_t 9 /rios2_system_t 9 /rios2_system_t 9 /rios2_system_t 9 /rios2_system_t	· + ♂ × (Class Info · - · · · · · · · · · · · · · ·

⑥ この例では、ModelSim[®] - Intel[®] FPGA Edition が以下のフォルダで実行されています。

C:¥Lab¥nios2_basic_prj¥software¥soft_test¥obj¥default¥runtime¥sim¥mentor

コンソール画面でキーボードの ↑ を 1 回押すと、1 つ前に実行したコマンド(履歴)が表示されます。以下のコ マンドを自動実行していることが確認できます。

VSIM 1>do msim_setup.tcl

VSIM 2>ld

msim_setup.tcl ファイルは、Qsys を Generate した際に作成されたファイルです。ld コマンドは、msim_setup.tcl 内で定義されているローカル・コマンドでデバイス・ライブラリ・ファイルのコンパイル、デザイン・ファイルのコン パイル、vsim コマンドの実行を一括で行います。詳細は、msim_setup.tcl で確認できます。



- 2-3. シミュレーションの実行
- ① 波形表示のための信号を追加します。ここでは、テストベンチ上で定義されているすべての信号を追加します。 以下のコマンドを ModelSim[®] のコンソールから実行してください。

VSIM 3>add wave *

nios2_system_tb.v 内で wire 宣言されている3つの信号が追加されます。



 シミュレーションを実行します。ここでは、2ms 時間のシミュレーションを実行します。以下のコマンドを ModelSim[®]のコンソールから実行してください。

VSIM 4>run 2ms

環境にも依存しますが、シミュレーションが終わるまで数分掛かります。実行が 1ms を過ぎたあたりで、printf() 関数の出力「Hello from Nios II! Start!」がコンソールに表示されます。

また、シミュレーションの経過時間を確認することができます。(下のキャプチャでは、約 1.3ms 経過。)

ModelSim - Intel FPGA Edition 10.5b						
<u>File Edit View Compile Simulate Add Transcript Tools Layout Bookmarks Window H</u> elp						
▶ • ☞ ■ ◎ ● ※ № № ♀♀ ◎ • 冉 許 兩 参 啓 譜 影 函 雪 全 ⇔ № 100 ps	🗄 🗓 🗗 🗰 📓 🛄 🐚 🔶 📄 🕈 🏤 🏦 📩 🗠 🔝					
Layout Simulate 🔄 🖌 ColumnLayout AllColumns 🖤 🗍 🥵 - 🚱 🚭 - 🦃	┃ ■ ● ■ ● ■ ● ■ ● ■ ■ ■ ■					
👰 sim - Default : 🛨 🛃 📩	💫 Objects 🔚 🛃 🗶					
Tinstance Design unit Design unit type Top Category Visibility Total coverage	▼Name Value Kind Mode 🕑 Now 🍸					
= nios2_system_tb nios2_syst Module DU Instance +acc=	< nios2_system_inst StX Net Internal					
Imit in the initial initinitial initia initial initial initial initial initial initial i	🖸 🕂 🔶 nios2_system_inst xxxx Net Internal					
Inio2_system i altera_aval Module DU Instance +acc=	riios2_system_inst StX Net Internal					
in incs_system i altera avail Module DU Instance Hacc=						
sti via titi sti via ta sti via t						
→ verbosity pkg verbosity VPadkage Padkage +acc=						
🗶 #vsim_capacity# Capacity Statistics +acc=						
	A Processes (Active)					
	XName Type (filtered) State Order Darent Dath Class Info					
	the product of t					
	#ASSIGN#95 Assign Ready 2 /nics2_system_t					
	#ASSIGN#68 Assign Ready 3 /nios2 system t					
	#ASSIGN#81 Assign Ready 4 /nios2_system_t					
	#ASSIGN#68 Assign Ready 5 /nios2_system_t					
	#ASSIGN#339 Assign Ready 6 /nios2_system_t					
	I #ASSIGN#337 Assign Ready 7 /nios2_system_t					
	ASSIGN#312 Assign Ready 8 /nios2 system t					
All Lobary Bremory List Aug sim A						
R Transcript						
• 0: INFO: nios2 system tb.nios2 system inst reset bfm, hello: - \$Date: 2017	//01/22 \$					
# 0: INFO: nios2 system tb.nios2 system inst reset bfm. hello: - ASSERT HIGH	I RESET = 0					
# 0: INFO: nios2_system_tb.nios2_system_inst_reset_bfmhello: - INITIAL_RES	ET_CYCLES = 50					
0: INFO:						
U: INFO: hio3_system_tb.hio3_system_inst_reset_btm.reset_assert: Reset assert io32_system_tb_hio32_system_inst_reset_btm_reset_descert. Reset_assert.	rted					
+ Hello from Nios II! Start!	1855E1 0E4					
Now: 1,335,070 ns 1 elta: 1 sim:/nios2_system_tb						

③ シミュレーションが完了したら、波形表示を確認します。下図のように波形を拡大し、表示を Hexadecimal にす ると、pio_0_external_connection_export の表示が 0x55 と 0xAA を繰り返していることが確認できます。

これは、別資料「Nios® II はじめてガイド - Nios® II 簡易チュートリアル」で作成したソフトウェアのコードに記述 したとおり、0x55 と 0xAA を繰り返していることが確認できました。





<u> 改版履歴</u>

Revision	年月	概要
1	2017 年 11 月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社マクニカ アルティマ カンパニー https://www.alt.macnica.co.jp/ 技術情報サイト アルティマ技術データベース http://www.alt.macnica.co.jp/ 技術情報サイト アルティマ技術データベース http://www.alt.macnica.co.jp/ 技術情報サイト ETS https://www.alt.macnica.co.jp/ 技術情報サイト ETS https://www.alt.macnica.co.jp/ https://www.alt.macnica.co.jp/ https://www.alt.macnica.co.jp/ https://www.alt.macnica.co.jp/ https://www.alt.macnica.co.jp/ https://www.alt.macnica.co.jp/

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。

5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカ発行の英語版の資料もあわせてご利用ください。