

ModelSim-Altera RTL シミュレーションの方法

ver.15.1

ModelSim-Altera - RTL シミュレーションの方法

目次

1. はじめに	3
2. RTL シミュレーションの手順	4
3. RTL シミュレーションの実施	5
3-1. 新規プロジェクトの作成	5
3-2. ファイルの作成と登録	7
3-2-1. 新規ファイルの作成	7
3-2-2. 既存ファイルの登録	8
3-3. ファイルの並び替え (VHDL のみ)	9
3-4. コンパイル	10
3-5. MegaFunction ライブラリの登録 (Verilog-HDL のみ、オプション)	11
3-6. ロード	12
3-7. シミュレーションの実行	13
3-8. シミュレーション結果の確認	14
3-9. シミュレーションとプロジェクトの終了	15
改版履歴	16

1. はじめに

この資料は、アルテラ・ユーザ向けに提供されている ModelSim®-Altera® をはじめてご利用になるユーザ向けに、やさしく解説しています。



論理合成前の論理シミュレーション (RTL シミュレーション) を行うには、ModelSim-Altera などのハードウェア記述言語 (HDL) 用のシミュレータを使用します。

なお、この資料は ModelSim-Altera 10.4b (Quartus Prime 15.1) をベースに説明します。

また、Quartus Prime 開発ソフトウェアには NativeLink という機能があります。これは、ModelSim-Altera などの EDA ツールの実行を Quartus Prime 開発ソフトウェアの操作フローに統合することで、Quartus Prime 開発ソフトウェアのメニューから自動でシミュレーション・ツールを起動してシミュレーションを実行することができます。その際、デザイン・ファイルの登録やコンパイルなども自動で行ってくれます。

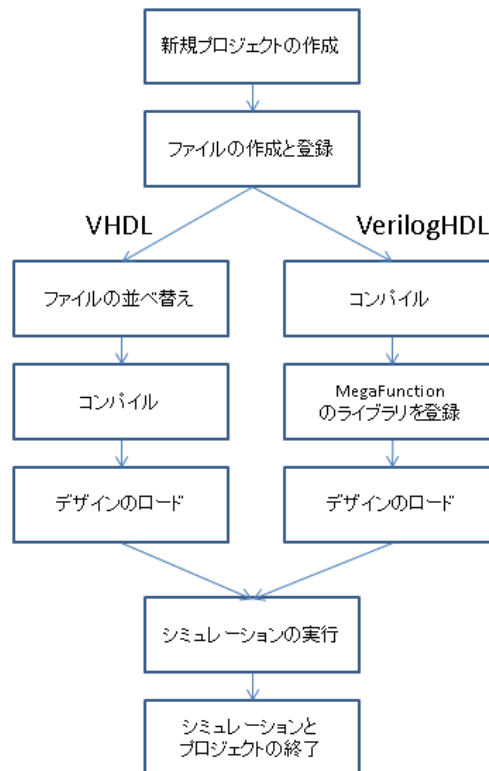
NativeLink については、本資料を入手したサイト内の以下の資料をご覧ください。

『Quartus Prime - EDA ツールの設定方法』

2. RTL シミュレーションの手順

RTL シミュレーションでは、論理合成前に設計した RTL コードがどのような動作をするか確認します。この段階では論理合成や配置配線を行っていませんので、各信号に伝搬遅延情報が含まれない論理機能のみのシミュレーションを行います。

ModelSim-Altera を使用した RTL シミュレーションのフローを以下に示します。Verilog-HDL と VHDL のどちらの言語を使用しているかによって、操作が若干異なります。



3. RTL シミュレーションの実施

ModelSim-Altera で RTL シミュレーションを実施します。ここでは、1 つ 1 つ手動でデザイン・ファイルの登録やコンパイル、ロードを行いながらシミュレーションする方法を説明します。

なお、アルテラ・メガファンクション* や MegaCore IP を含んだデザインのシミュレーションを行う場合は、アルテラ・メガファンクションや IP のユーザ・ガイドなども参照してください。

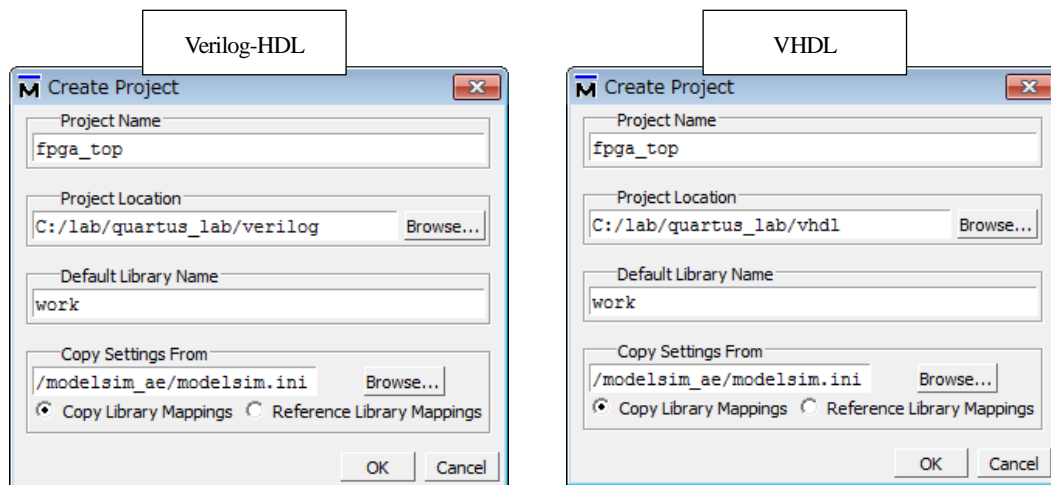
(*)PLL や RAM など MegaWizard™ Plug-In Manager で作成したブロック

3-1. 新規プロジェクトの作成

ModelSim-Altera を起動してシミュレーション用の新規プロジェクトを作成します。

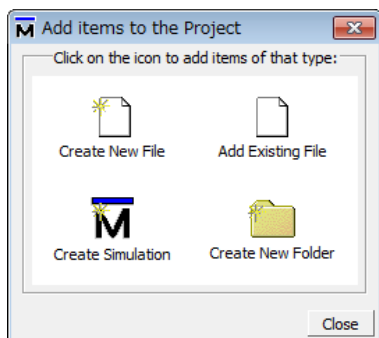
- ① ModelSim-Altera を起動します。
- ② File メニュー ⇒ New ⇒ Project を選択すると、Create Project ウィンドウが起動します。
- ③ プロジェクト名やプロジェクト・ディレクトリを設定します。

Project Name	プロジェクト名を入力
Project Location	プロジェクトを作成するディレクトリを指定
Default Library Name	ライブラリ・フォルダ名を入力



- ④ OK をクリックして、Create Project ウィンドウを閉じます。

- ⑤ Add items to the Project ウィンドウが表示されますが、Close をクリックして、Add items to the Project ウィンドウを終了します。
- ※ Create Project ウィンドウを閉じると、Add items to the Project ウィンドウが表示されます。このウィンドウを活用して次の操作(デザインの登録や作成)を行うこともできますが、この資料では、メニューから操作する方法を説明します。



3-2. ファイルの作成と登録

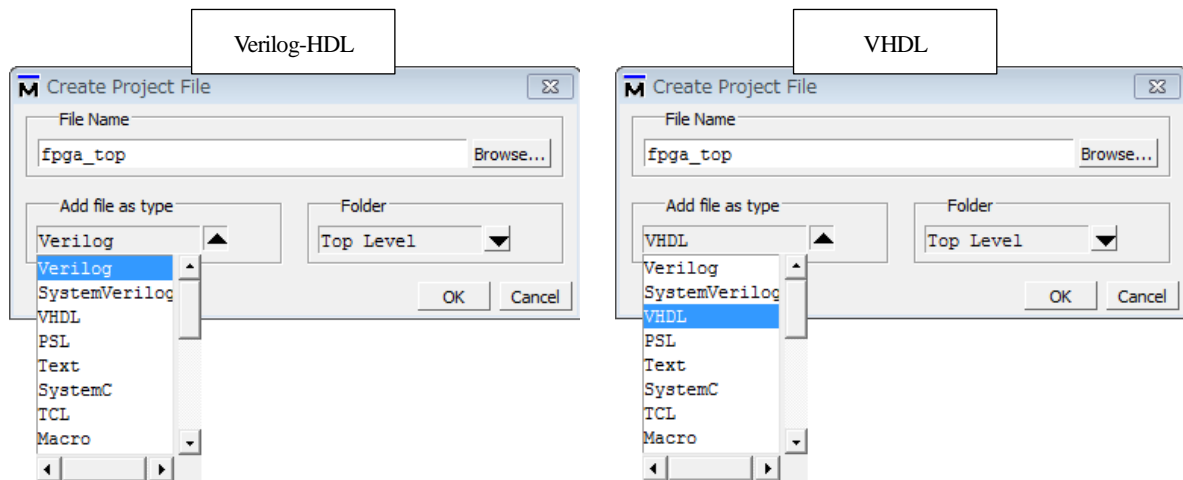
作成したプロジェクトに、シミュレーション実行に必要なファイル(デザインやテストベンチ)を作成および登録します。

3-2-1. 新規ファイルの作成

新規でデザインおよびテストベンチ・ファイルを作成します。既存のファイルがある場合には、この手順は省略します。

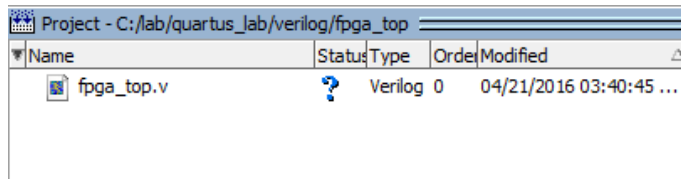
- ① Project ウィンドウ(Project タブ)をアクティブにします。
- ② Project メニュー ⇒ Add to Project ⇒ New File を選択します。Create Project File ウィンドウが表示されます。
- ③ Create Project File ウィンドウ内の各項目を入力し、OK をクリックします。

File Name	ファイル名を入力
Add file as type	ファイルの種類をプルダウンから選択
Folder	ファイルの保存先を指定



※ File メニュー ⇒ New ⇒ Source から新規ファイルを生成することもできますが、その場合は新規作成したファイルが自動的にプロジェクトに登録されないので注意が必要です。

- ④ Project ウィンドウに作成したファイルが登録されていることを確認します。



- ⑤ Project ウィンドウに登録されたファイルをダブルクリック、または選択して右クリック ⇒ Edit でファイルを編集します。

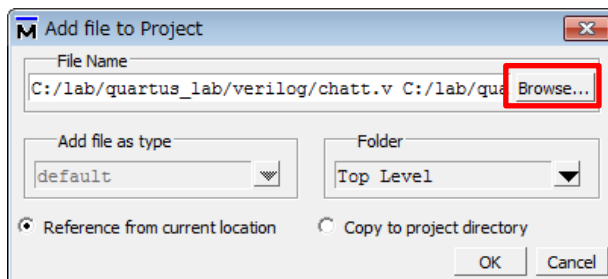
- ⑥ 編集したファイルを保存します。

※ コンパイル時に自動保存されません。コンパイル前に必ず保存してください。

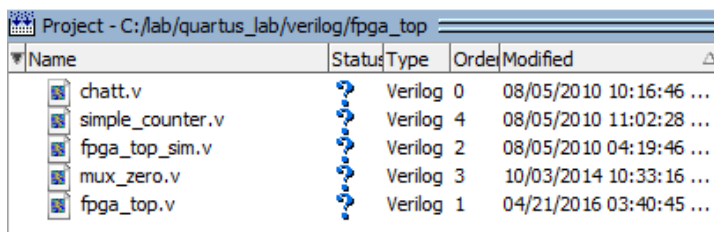
3-2-2. 既存ファイルの登録

既存のデザインやテストベンチがある場合は、プロジェクトにファイルを登録します。

- ① Project ウィンドウ (Project タブ) をアクティブにします。
- ② Project メニュー ⇒ Add to Project ⇒ Existing File を選択します。
- ③ Add file to Project ウィンドウ内の File Name の Browse をクリックし、プロジェクトに追加するファイル(デザインやテストベンチ)を選択します。ファイルの複数選択も可能です。必要なファイルをすべて登録したら、OK をクリックして、ウィンドウを閉じます。



- ④ Project ウィンドウに追加したファイルが登録されていることを確認します。



3-3. ファイルの並び替え(VHDL のみ)

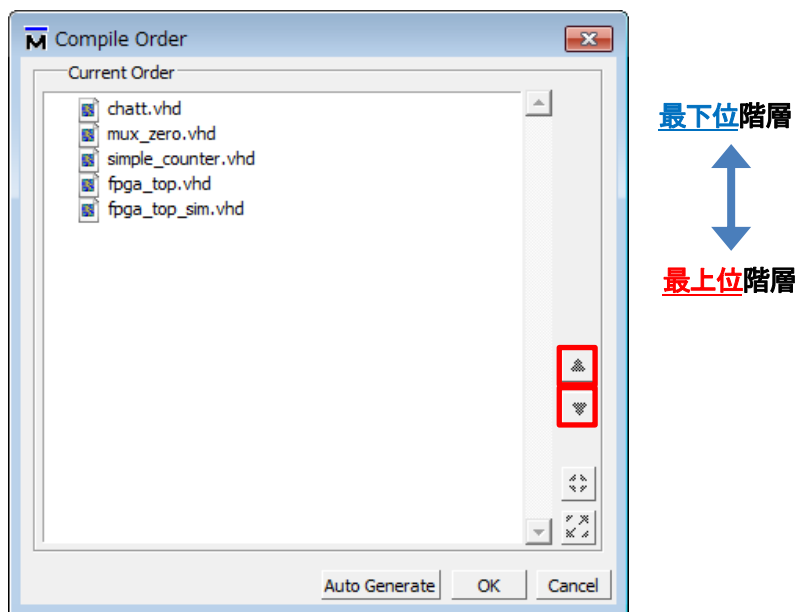
VHDL の場合、コンパイル前にファイルの階層を指定する必要があります。下位階層(パッケージやユーザ・ライブラリ)から順にコンパイルし、最後に最上位階層のファイル(テストベンチ)をコンパイルします。

以下の手順でコンパイル対象のファイルの順番を設定します。

※ Verilog-HDL の場合は、この作業は不要です。

- ① Compile メニュー ⇒ Compile Order を選択します。
- ② Compile Order ウィンドウにおいて、ファイルの順番を ▲ または ▼ ボタンで並び替えます。最上位階層はテストベンチになります。同階層に位置するファイルに関しては順不同です。

並び替えが完了したら、OK で Compile Order ウィンドウを閉じます。



3-4. コンパイル

プロジェクトに登録したシミュレーションに必要なファイル(デザイン・ファイルおよびテストベンチ・ファイル)をコンパイルします。

- ▶ 登録したすべてのファイルを一度にコンパイル

Compile メニュー ⇒ Compile All を選択します。

- ▶ 各ファイルを個別にコンパイル

Project ウィンドウ内でコンパイルするファイルを選択後、右クリックして Compile ⇒ Compile Selected を選択します。

コンパイルが問題なく完了しているか、エラーがあるかについては、Status の表示で確認することができます。

エラーがある場合には、エラー箇所を確認し修正して再度コンパイルします。コンパイル後にすべてのファイルにエラーがないことを確認します。

Name	Status	Type	Order	Modified
chatt.v	✓	Verilog	0	08/05/2010 10:16:46 ...
simple_counter.v	✓	Verilog	4	08/05/2010 11:02:28 ...
fpga_top_sim.v	?	Verilog	2	08/05/2010 04:19:46 ...
mux_zero.v	✓	Verilog	3	10/03/2014 10:33:16 ...
fpga_top.v	✗	Verilog	1	10/03/2014 04:13:40 ...

? 未コンパイル

✓ コンパイル済(エラーなし)

✗ コンパイル済(エラーあり)

3-5. MegaFunction ライブラリの登録(Verilog-HDL のみ、オプション)

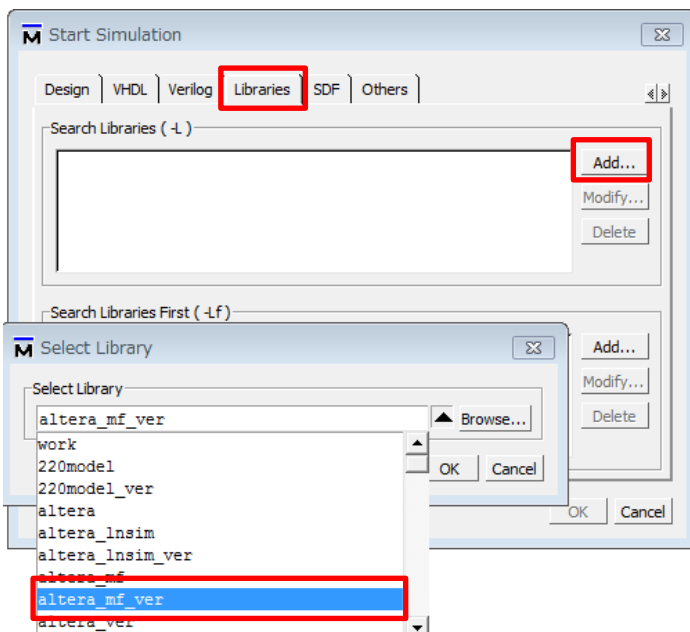
シミュレーション対象となるデザインをロードします。Verilog-HDL デザイン内に、アルテラ・メガファンクションが含まれる場合には、アルテラ・メガファンクション・ライブラリを登録する必要があります。また、MegaCore IP を含む場合は、各々必要なライブラリの登録が必要となります。

※ VHDL の場合は、この作業は不要です。

※ デザインにアルテラ・メガファンクションが含まれない場合は、この作業は不要です。

- ① Simulate メニュー ⇒ Start Simulation を選択します。
- ② Start Simulation ウィンドウ内の Library タブを選択します。
- ③ Search Libraries (-L) 欄の Add をクリックします。
- ④ Select Library ウィンドウのプルダウン・リストより目的のライブラリ*2 を指定します。

<ライブラリ名>_ver と表示されているものが Verilog-HDL 用のライブラリです。Verilog-HDL の場合は、必ず _ver がついているライブラリを選択してください。



(*) 選択するライブラリは、Quartus Prime 開発ソフトウェアの MegaWizard Plug-In Manager でメガファンクションを作成する際に、EDA セクションで確認できるメガファンクションもあります。使用するメガファンクションなどのドキュメントも、併せて確認してください。

(例)

ALTPLL: altera_mf_ver

Altera PLL: altera_Insim_ver



3-6. ロード

シミュレーション対象となるデザインをロードします。

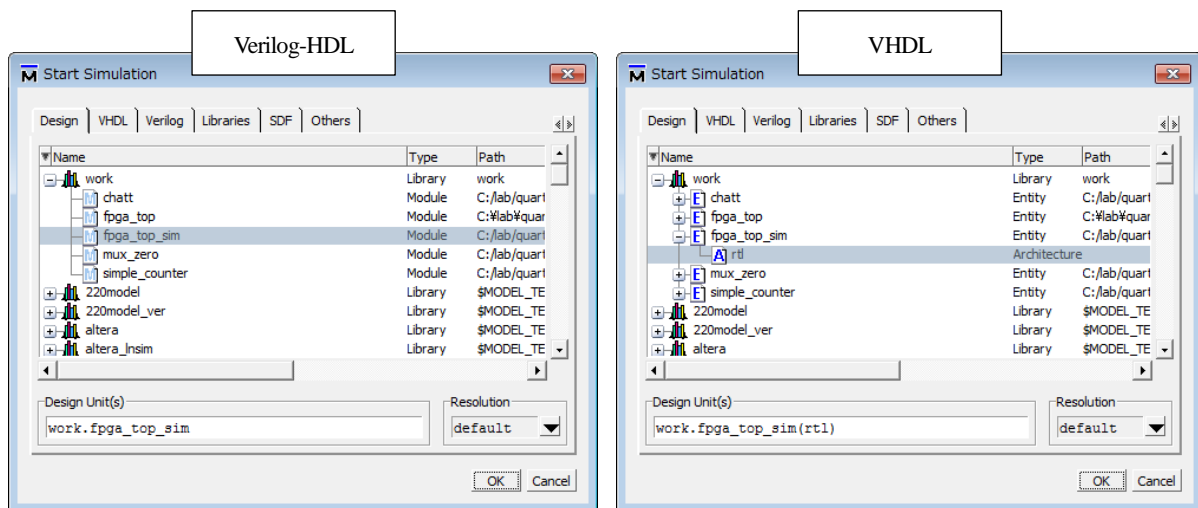
- ① Simulate メニュー ⇒ Start Simulation を選択し、Start Simulation ウィンドウを表示させます。
- ② Design タブを選択します。プロジェクト作成時に設定したワーキング・ライブラリ(デフォルト名 work)を展開すると、コンパイルしたデザイン・ユニットが表示されます。

➤ Verilog-HDL

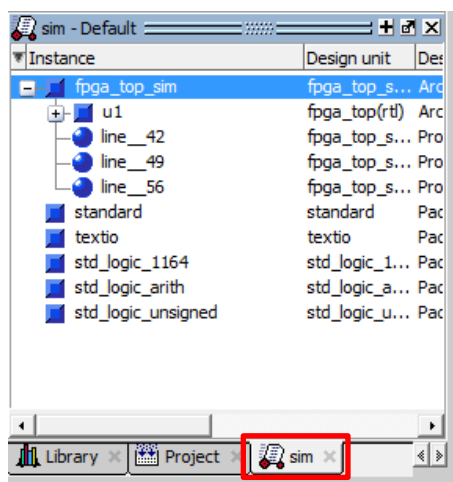
Verilog-HDL の場合は、テストベンチ(最上位ファイル)の Module を選択します。

➤ VHDL

VHDL の場合は、テストベンチ(最上位ファイル)の Architecture を選択します。



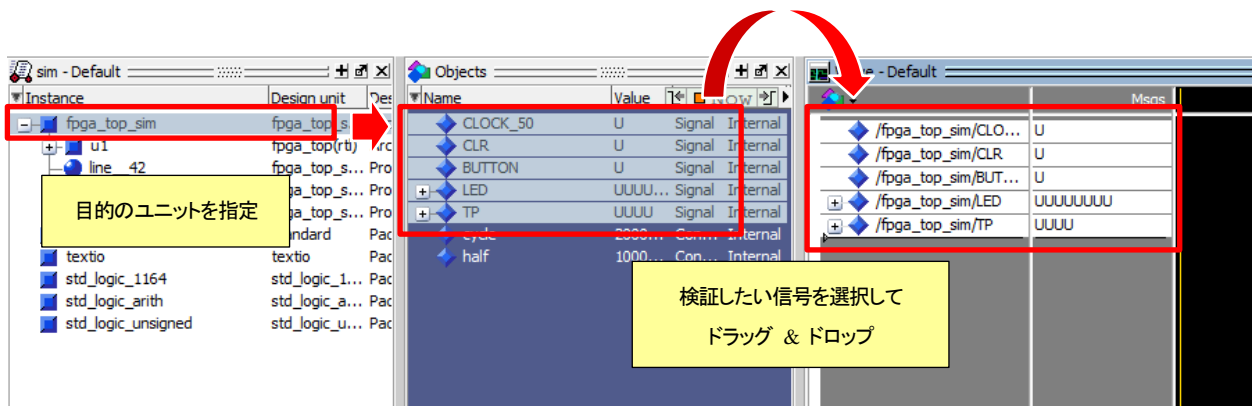
- ③ OK をクリックします。デザインのロードが開始されます。
- ④ ロードが完了すると、sim ウィンドウが追加されます。



3-7. シミュレーションの実行

シミュレーションを実行します。

- ① モニタしたい信号を選択するため、Object ウィンドウを表示させます。
View メニュー ⇒ Object を選択します。
※ ロード完了時にすでに Object ウィンドウが表示されている場合には、このステップを省略します。
- ② シミュレーション結果を波形で確認するため、Wave ウィンドウを表示させます。
View メニュー ⇒ Wave を選択します。
※ ロード完了時にすでに Wave ウィンドウが表示されている場合には、このステップを省略します。
- ③ メイン・ウィンドウ内に Wave ウィンドウが表示されます。
- ④ sim ウィンドウの目的のユニットを指定します。Object ウィンドウに表示されたユニット内の信号から、検証したい信号を選択して Wave ウィンドウヘドラッグ & ドロップで移動します。



- ⑤ Transcript ウィンドウで run_<実行時間><単位> とコマンド入力し、Enter を押すと、シミュレーションが実行されます。

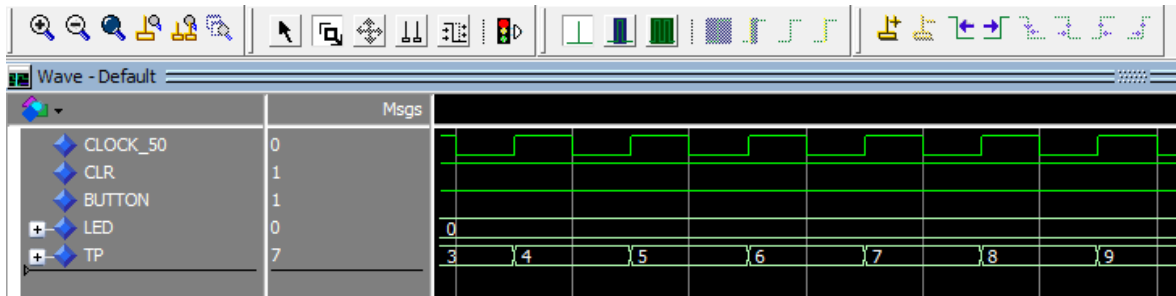
例: VSIM> run 100us

もしくは、メイン・ウィンドウを選択し、Run Length 欄に実行したいシミュレーション時間を入力して Run をクリックでも、シミュレーションを実行できます。



3-8. シミュレーション結果の確認

得られたシミュレーション結果の波形を確認します。



様々なツールバーを使って、波形を見やすくしてください。主なものを紹介します。



: ピン名の表示方法の切り替え



: 指定した範囲を拡大して表示



: 波形の全体表示

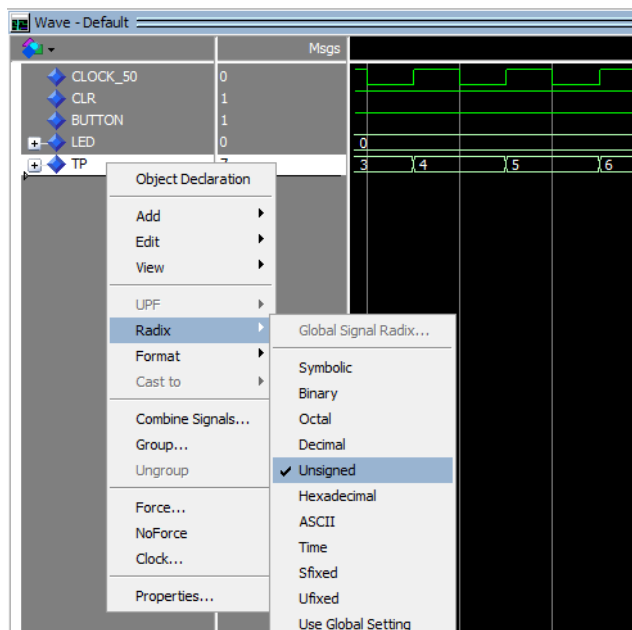


: 拡大表示



: 縮小表示

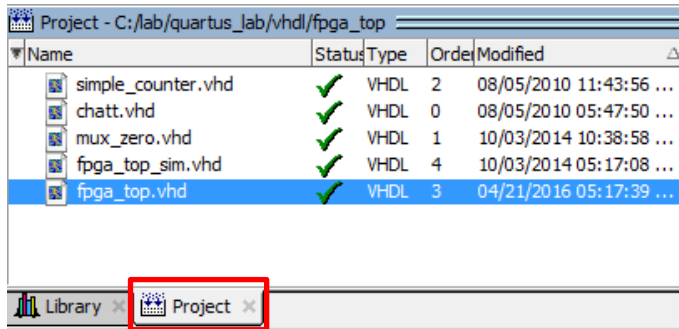
また、16進数などデータ表示を変更したい場合は、信号を選択して 右クリック ⇒ Radix で変更できます。



3-9. シミュレーションとプロジェクトの終了

シミュレーションを終了させるには、以下の手順で行います。

- ① Simulate メニュー ⇒ End Simulation でシミュレーションを終了します。
- ② Project ウィンドウをアクティブにして、File メニュー ⇒ Close でプロジェクトを終了させます。



改版履歴

Revision	年月	概要
1	2016年5月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>

株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。