

Quartus Prime はじめてガイド コンパイル・レポート・ファイルの見方

ver.15.1

Quartus Prime はじめてガイド

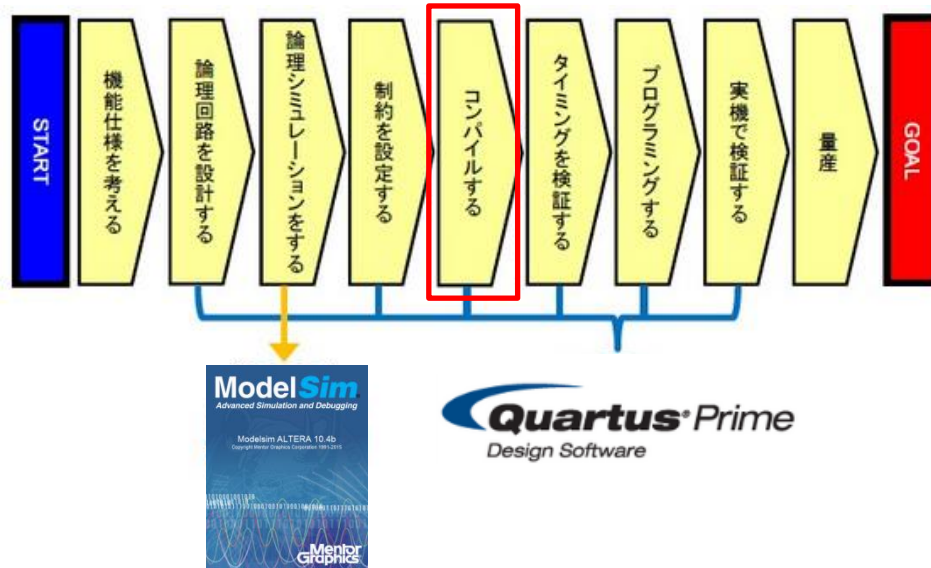
コンパイル・レポート・ファイルの見方

目次

1. はじめに	3
1-1. 各工程と生成されるレポート・ファイル	4
1-2. レポート・ファイルの開き方	5
2. Analysis & Synthesis	6
2-1. 読み込まれたデザイン・ファイルの確認	6
2-2. 論理の最適化	7
3. Fitter	9
3-1. 基板設計前に確認すべき項目	9
3-2. Fitter Error 発生時に確認すべき項目	11
3-3. タイミング・エラー発生時に確認すべき項目	13
3-3-1. 内部動作周波数の不足	13
3-3-2. I/O タイミング不足	15
3-4. 実機動作不良時に確認すべき項目	16
4. Assembler	17
5. TimeQuest Timing Analyzer	18
改版履歴	19

1. はじめに

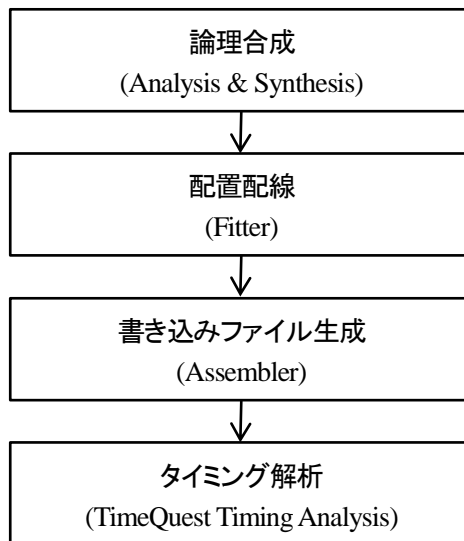
この「Quartus Prime はじめてガイド」シリーズは、Quartus® Prime 開発ソフトウェアを初めてご利用になるユーザ向けの資料です。



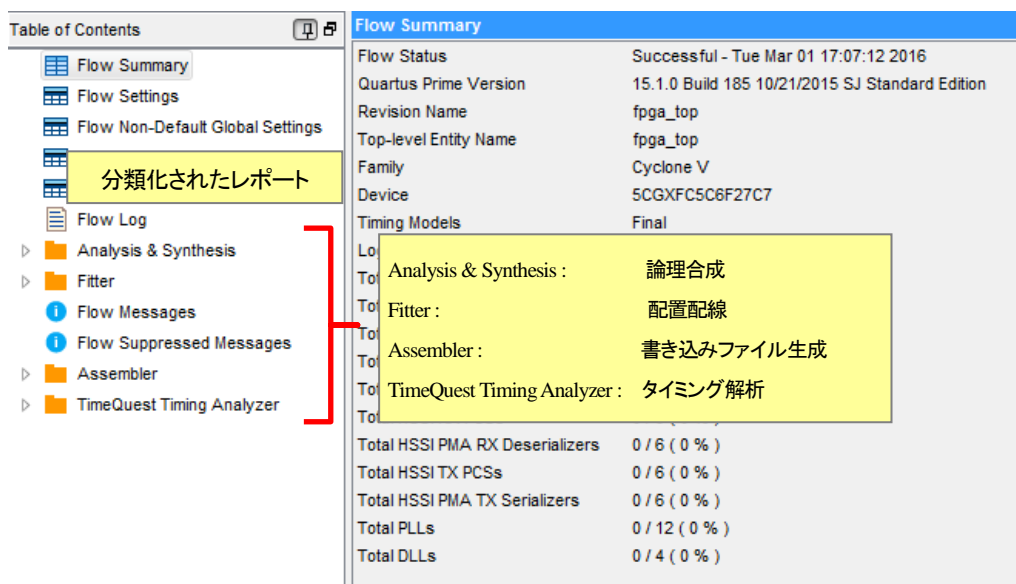
この資料は、Quartus Prime 開発ソフトウェアにおけるコンパイル・レポート・ファイルの見方について説明しています。Quartus Prime 開発ソフトウェアは、FPGA / CPLD の設計に必要な工程をすべて実行でき、実行された工程毎にレポート・ファイルが生成され、解析を必要とする際に有効です。

1-1. 各工程と生成されるレポート・ファイル

Quartus Prime 開発ソフトウェアで実行される基本的な工程は、以下に記載されている 4 工程です。



各工程に対して詳細のレポートが生成されます。



レポート・ファイルは、Quartus Prime 開発ソフトウェアの GUI を開かずに確認できるよう、様々なファイル形式で生成されます。各設計工程と生成されるレポート・ファイルについて、以下にまとめています。

工程	生成されるファイル・タイプ	
Analysis & Synthesis	.map.rpt	テキスト形式のレポート・ファイル
	.map.smsg	抑制されたメッセージ
	.map.summary	サマリ・レポート
Fitter	.fit.rpt	テキスト形式のレポート・ファイル
	.fit.smsg	抑制されたメッセージ
	.fit.summary	サマリ・レポート
Assembler	.asm.rpt	テキスト形式のレポート・ファイル
TimeQuest Timing Analyzer	.sta.rpt	テキスト形式のレポート・ファイル
	.sta.summary	サマリ・レポート

1-2. レポート・ファイルの開き方

Quartus Prime 開発ソフトウェアでは、コンパイルなど工程を実行すると、自動的に Compilation Report が表示されます。

Compilation Report を閉じた後でも、Quartus Prime 開発ソフトウェアの Processing メニュー ⇒ Compilation Report で GUI 上に再度 Compilation Report を表示させることができます。(再コンパイル等を行う必要なく Compilation Report を開くことができます。)

2. Analysis & Synthesis

Analysis & Synthesis におけるレポートで、確認すべき項目について説明します。

Analysis & Synthesis の工程では、論理合成を実行します。論理合成では、デザイン・ファイルを読み込んで論理の最適化を行います。Analysis & Synthesis で確認したい内容は、読み込まれているファイル群と論理の最適化によって圧縮や削除された論理が仕様通りか否かを確認する必要があります。

2-1. 読み込まれたデザイン・ファイルの確認

Quartus Prime 開発ソフトウェアでコンパイル時に読み込まれたデザイン・ファイルは、Compilation Report で確認できます。

Analysis & Synthesis ⇒ Source File Read

	File Name with User-Entered Path	Used in Netlist	File Type
1	simple_counter.v	yes	User Verilog HDL File
2	mux_zero.v	yes	User Verilog HDL File
3	fpga_top.v	yes	User Verilog HDL File
4	chatt.v	yes	User Verilog HDL File

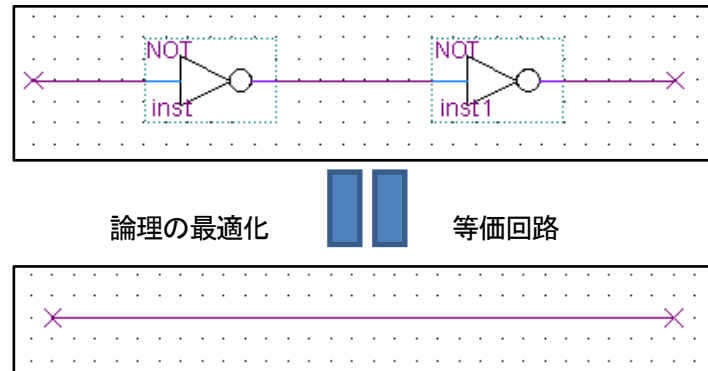
また、Analysis & Synthesis 実行時にファイルを読み込んでいる情報をメッセージからも読み取ることができます。

Type	ID	Message
i		Running Quartus Prime Analysis & Synthesis
i		Command: quartus_map --read_settings_files=on --write_settings_file
i		Using INI file C:/Users/11379/quartus.ini
i		20030 Parallel compilation is enabled and will use 2 of the 2 processors
i	12021	Found 1 design units, including 1 entities, in source file simple_c
i	12021	Found 1 design units, including 1 entities, in source file mux_zero
i	12021	Found 1 design units, including 1 entities, in source file fpga_top
i	12021	Found 1 design units, including 1 entities, in source file chatt.v
i	12127	Elaborating entity "fpga_top" for the top level hierarchy
i	12128	Elaborating entity "chatt" for hierarchy "chatt:inst1"
i	12128	Elaborating entity "simple_counter" for hierarchy "simple_counter:i
i	12128	Elaborating entity "mux_zero" for hierarchy "mux_zero:inst3"
i	286030	Timing-Driven Synthesis is running
i	17049	2 registers lost all their fanouts during netlist optimizations.
i	16010	Generating hard_block partition "hard_block:auto_generated_inst"
i	15717	Design contains 4 virtual pins; timing numbers associated with path
i	21057	Implemented 84 device resources after synthesis - the final resourc
i	144001	Generated suppressed messages file D:/work/c5_quartus_lab_1510/veri
i		Quartus Prime Analysis & Synthesis was successful. 0 errors, 1 warn

2-2. 論理の最適化

Analysis & Synthesis では、論理合成のオプション設定にあわせて読み込まれたデザインの最適化を実行します。

例えば、以下のようにインバータが 2 つ接続された場合、論理としてはこれらのインバータは特に必要ありません。論理圧縮を行わないとそれぞれのインバータが Look-Up Table (LUT) を使用してしまい、最大 2 つの LUT が無駄に消費されます。そこで、論理圧縮を行うことにより、インバータを削除することで論理が最適化されるわけです。








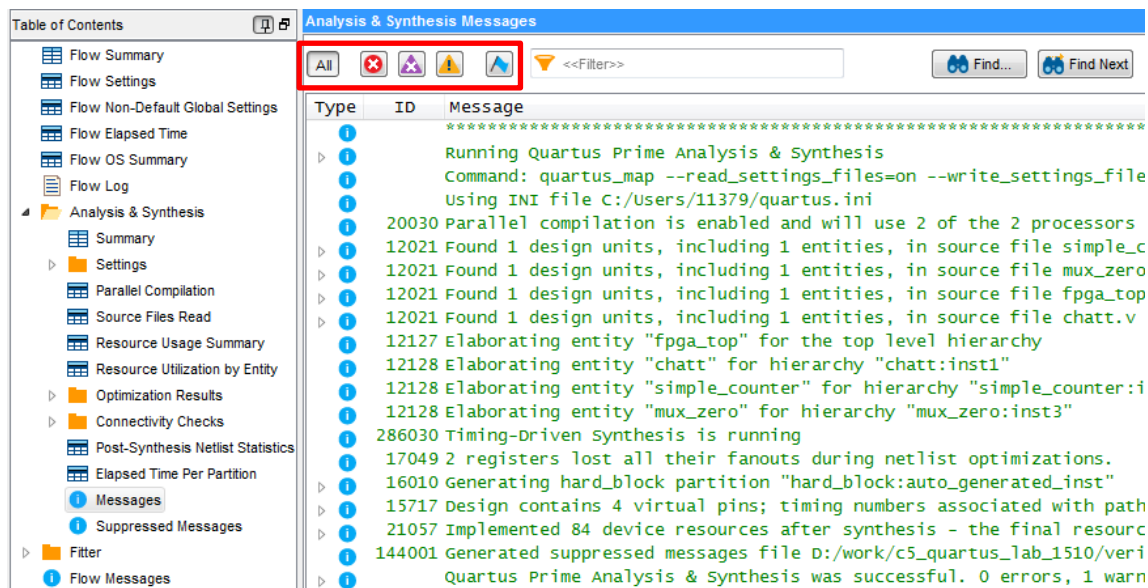
論理の確認が必要になってくるのは、シミュレーションや実機検証にてトグルすべき信号がスタックしている場合です。信号がスタックしてしまう原因は、主に入力元にあります。

信号がスタック = 論理が削除
もしくは
入力される信号が固定

仕様上動作すべき信号がスタックしてしまう場合、接続ミスや記述ミスにより、入力される信号が固定になってしまうことです。このような場合は、Analysis & Synthesis のワーニング・メッセージで確認できます。(メッセージの中で stuck at GND や stuck at VCC といった表示が、信号のスタックに関するものです。)

工程実行中にメッセージ・ウィンドウに情報や警告(ワーニング)、エラーなどが表示されます。なお、各工程で表示されたメッセージは、Analysis & Synthesis の中にある Messages でも確認できます。Messages では分類化されており、各ボタンをクリックすることでエラーだけやワーニングだけなどの表示をさせることができます。

-  All : 全てのタスクが表示
-  Error : エラー
-  Critical Warning : クリティカル・ワーニング
-  Warning : ワーニング
-  Flag : フラグ設定したメッセージ



ワーニングに仕様上スタックすべきでない信号に関してスタックしている表示があった場合は、関係する前後の論理を確認してください。

また、前段の入力がスタックする事で後段の論理が削除されることもあります。その場合には、“Remove” というキーワードになっています。シミュレーションや実機検証で期待通りの動作をしていない場合は、stuck や remove といったワーニングを確認してください。

デザインにステート・マシンが含まれる場合、ステート・マシンはデフォルトで Quartus Prime 開発ソフトウェアに構成方法は任せられるため、グレイコード / ワンホット など論理最適化により構成されます。従って、構成されたステート・マシンを確認する場合は、Analysis & Synthesis のレポートで確認してください。

Analysis & Synthesis ⇒ State Machines

なお、論理合成前については、RTL Viewer(Tools メニュー ⇒ Netlist Viewers ⇒ RTL Viewer)で構成を確認できます。論理合成後の論理は Technology Map Viewer (Post-Mapping) (Tools メニュー ⇒ Netlist Viewers ⇒ Technology Map Viewer (Post-Mapping))により視覚的に確認できます。

3. Fitter

Fitter におけるレポートで確認すべき項目について説明します。Fitter は対象デバイスへの配置配線を行う工程です。確認すべき項目は状況により異なります。

3-1. 基板設計前に確認すべき項目

ピン配置が決定し、基板設計を行う際には必ず下記項目を確認してください。デザインが未完成の場合は、ピン・フィッティングのみ実施できます。詳細については、本資料を入手したサイト内から以下の資料をご覧ください。(Live I/O Checking や I/O Assignment Analysis を参照してください。)

『Quartus Prime はじめてガイド - ピン・アサインの方法』

基板設計前に確認すべき内容は、

- Input Pins
- Output Pins
- Bidir Pins
- Pin-Out-File もしくは All Package Pins

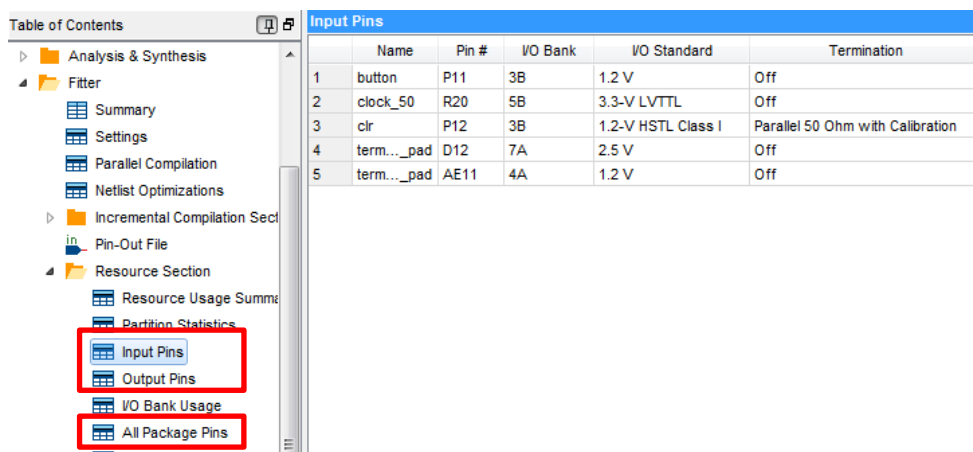
です。

Input Pins / Output Pins / Bidir Pins は、デザインで使用されているピンを種類別にまとめています。

- 配置されたピン番号
- I/O Standard
- 内部終端抵抗

などの I/O 機能

内部終端抵抗や内部 Pull-Up 抵抗、Current Strength は基板上の配線と関係するため、各信号にあわせた基板設計を行います。



The screenshot shows the 'Table of Contents' on the left and the 'Input Pins' table on the right. The 'Input Pins' table is as follows:

	Name	Pin #	I/O Bank	I/O Standard	Termination
1	button	P11	3B	1.2 V	Off
2	clock_50	R20	5B	3.3-V LVTTTL	Off
3	clr	P12	3B	1.2-V HSTL Class I	Parallel 50 Ohm with Calibration
4	term..._pad	D12	7A	2.5 V	Off
5	term..._pad	AE11	4A	1.2 V	Off

Pin-Out File や All Package Pins は、デバイスの全ピンをリスト表示し、デザインで使用されたピン以外にも専用ピンや未使用のユーザ I/O が記載されています。

Pin-Out File には、各表示についてピンの状態と基板上の処理方法について説明が記載されています。例えば、“GND+” は入力ピンのため、未使用の場合はフローティングにはせずに GND 処理するなどの記載です。

Table of Contents

- Analysis & Synthesis
 - Fitter
 - Summary
 - Settings
 - Parallel Compilation
 - Netlist Optimizations
 - Incremental Compilation Section
 - Pin-Out File**
 - Resource Section
 - Resource Usage Summary
 - Partition Statistics
 - Input Pins
 - Output Pins
 - IO Bank Usage
 - All Package Pins
 - Resource Utilization by Entity
 - Delay Chain Summary
 - Pad To Core Delay Chain Fanout
 - Control Signals
 - Global & Other Fast Signals
 - Logic and Routing Section
 - IO Rules Section
 - Device Options
 - Operating Settings and Conditions

Pin-Out File

- NC : No Connect. This pin has no internal connection to the device.
- DNU : Do Not Use. This pin MUST NOT be connected.
- VCCPGM : Dedicated power pin for configuration, which MUST be connected to 1.8V, 2.5V
- VCCINT : Dedicated power pin, which MUST be connected to VCC (1.1V).
- VCCIO : Dedicated power pin, which MUST be connected to VCC of its bank.
- Bank 3A: 3.3V
- Bank 3B: 1.2V
- Bank 4A: 1.2V
- Bank 5A: 3.3V
- Bank 5B: 3.3V
- Bank 6A: 3.3V
- Bank 7A: 2.5V
- Bank 8A: 2.5V
- RREF : External reference resistor for the quad, MUST be connected to GND via a 2k Ohm resistor.
- GND : Dedicated ground pin. Dedicated GND pins MUST be connected to GND. It can also be used to report unused dedicated pins. The connection on the board for unused dedicated pins depends on whether this will be used in a future design. One example is device migration. When using device migration, refer to the device pin-tables. If it is a GND pin in the pin table or if it will not be used in a future design for another purpose the it MUST be connected to GND. If it is an unused dedicated pin, then it can be connected to a valid signal on the board (low, high, or toggling) if that signal is required for a different revision of the design.
- GND+ : Unused input pin. It can also be used to report unused dual-purpose pins. This pin should be connected to GND. It may also be connected to a valid signal on the board (low, high, or toggling) if that signal is required for a different revision of the design.
- GND* : Unused I/O pin. For transceiver I/O banks, connect each pin marked GND* either individually through a 10k Ohm resistor to GND or tie all pins

ピン処理方法は Pin-Out File の上の方に記載例)
GND+ : Unused input pin. It can ...

未使用のユーザ I/O 状態は、Quartus Prime 開発ソフトウェアのオプションで設定可能です。設定通りになっているか Pin-Out File もしくは All Package Pins で確認してください。

Table of Contents

- Analysis & Synthesis
 - Fitter
 - Summary
 - Settings
 - Parallel Compilation
 - Netlist Optimizations
 - Incremental Compilation Section
 - Pin-Out File
 - Resource Section
 - Resource Usage Summary
 - Partition Statistics
 - Input Pins
 - Output Pins
 - IO Bank Usage
 - All Package Pins**
 - Resource Utilization by Entity
 - Delay Chain Summary
 - Pad To Core Delay Chain Fanout
 - Control Signals
 - Global & Other Fast Signals
 - Logic and Routing Section
 - IO Rules Section
 - Device Options
 - Operating Settings and Conditions

All Package Pins

	Location	Pad Number	I/O Bank	Pin Name/Usage
1	A2	396	9A	^MSEL2
2	A3			DNU
3	A4			DNU
4	A5	344	8A	led[4]
5	A6	392	9A	^CONF_DONE
6	A7	348	8A	RESERVED_INPUT_WITH_WEAK_PULLUP
7	A8	308	7A	RESERVED_INPUT_WITH_WEAK_PULLUP
8	A9	310	7A	RESERVED_INPUT_WITH_WEAK_PULLUP
9	A10		7A	VCCIO7A
10	A11	322	7A	RESERVED_INPUT_WITH_WEAK_PULLUP
11	A12	332	7A	RESERVED_INPUT_WITH_WEAK_PULLUP
12	A13	330	7A	RESERVED_INPUT_WITH_WEAK_PULLUP
13	A14	300	7A	RESERVED_INPUT_WITH_WEAK_PULLUP
14	A15			GND
15	A16	294	7A	RESERVED_INPUT_WITH_WEAK_PULLUP
16	A17	292	7A	RESERVED_INPUT_WITH_WEAK_PULLUP
17	A18	290	7A	RESERVED_INPUT_WITH_WEAK_PULLUP
18	A19	288	7A	RESERVED_INPUT_WITH_WEAK_PULLUP
19	A20		7A	VCCIO7A
20	A21	274	7A	RESERVED_INPUT_WITH_WEAK_PULLUP
21	A22	270	7A	RESERVED_INPUT_WITH_WEAK_PULLUP
22	A23	268	7A	RESERVED INPUT WITH WEAK PULLUP

アルテラ FPGA / CPLD 周辺の基板設計は、必ず Pin-Out File もしくは All Package Pins の表示に従って設計してください。

3-2. Fitter Error 発生時に確認すべき項目

対象デバイスのリソース数を越えた事で Fitting Error が発生した場合は、現状を理解するために下記項目を参照してください。通常、コンパイル終了と同時に表示されるリソース数は、サマリ表示です。

Resource	Usage	%
Logic utilization (in ALMs)	39 / 29,080	< 1 %
Total registers	81	
Total pins	23 / 364	(6 %)
Total virtual pins	4	
Total block memory bits	0 / 4,567,040	(0 %)
Total DSP Blocks	0 / 150	(0 %)
Total HSSI RX PCSs	0 / 6	(0 %)
Total HSSI PMA RX Deserializers	0 / 6	(0 %)
Total HSSI TX PCSs	0 / 6	(0 %)
Total HSSI PMA TX Serializers	0 / 6	(0 %)
Total PLLs	0 / 12	(0 %)
Total DLLs	0 / 4	(0 %)

Fitting Error が発生した際、使用されるリソースに無駄がないか確認する必要があります。また、リソース数を越えてしまった項目を別のリソースで置き換えが可能か否かの判断が必要になります。

具体的には、デバイス内部の乗算器ブロックやメモリ・ブロックが 100 % の使用率を超えていることでの Fitting Error の場合、データ幅を調整する事でリソースを抑えることができる可能性があります。また、小さい規模のものであれば、ハード IP ブロックではなく、Logic Element で実現する事も検討できます。

その為、現在、各ブロックがどのような仕様でどの程度リソースを消費しているかを把握する必要があります。

Fitter ⇒ Resource Section ⇒ Resource Usage Summary

Resource	Usage	%
Logic utilization (ALMs needed / total ALMs on device)	39 / 29,080	< 1 %
ALMs needed [=A-B+C]	39	
[A] ALMs used in final placement [=a+b+c+d]	39 / 29,080	< 1 %
[a] ALMs used for LUT logic and registers	27	
[b] ALMs used for LUT logic	7	
[c] ALMs used for registers	5	
[d] ALMs used for memory (up to half of total ALMs)	0	
[B] Estimate of ALMs recoverable by dense packing	2 / 29,080	< 1 %
[C] Estimate of ALMs unavailable [=a+b+c+d]	2 / 29,080	< 1 %
[a] Due to location constrained logic	0	
[b] Due to LAB-wide signal conflicts	0	
[c] Due to LAB input limits	0	
[d] Due to virtual I/Os	2	
Difficulty packing design	Low	
Total LABs: partially or completely used	6 / 2,908	< 1 %
-- Logic LABs	6	
-- Memory LABs (up to half of total LABs)	0	
Combinational ALUT usage for logic	60	
-- 7 input functions	0	
-- 6 input functions	5	
-- 5 input functions	1	
-- 4 input functions	2	
-- <=3 input functions	52	
Combinational ALUT usage for route-throughs	8	

そして、Resource Usage Summary では、各ブロックがどのような構成でいくつ使用されているかの詳細を確認できます。

更に、ハード IP ブロックの詳細を確認する場合は、以下のようにハード IP ブロック毎の詳細も確認できます。

- RAM Summary
- DSP Block Summary

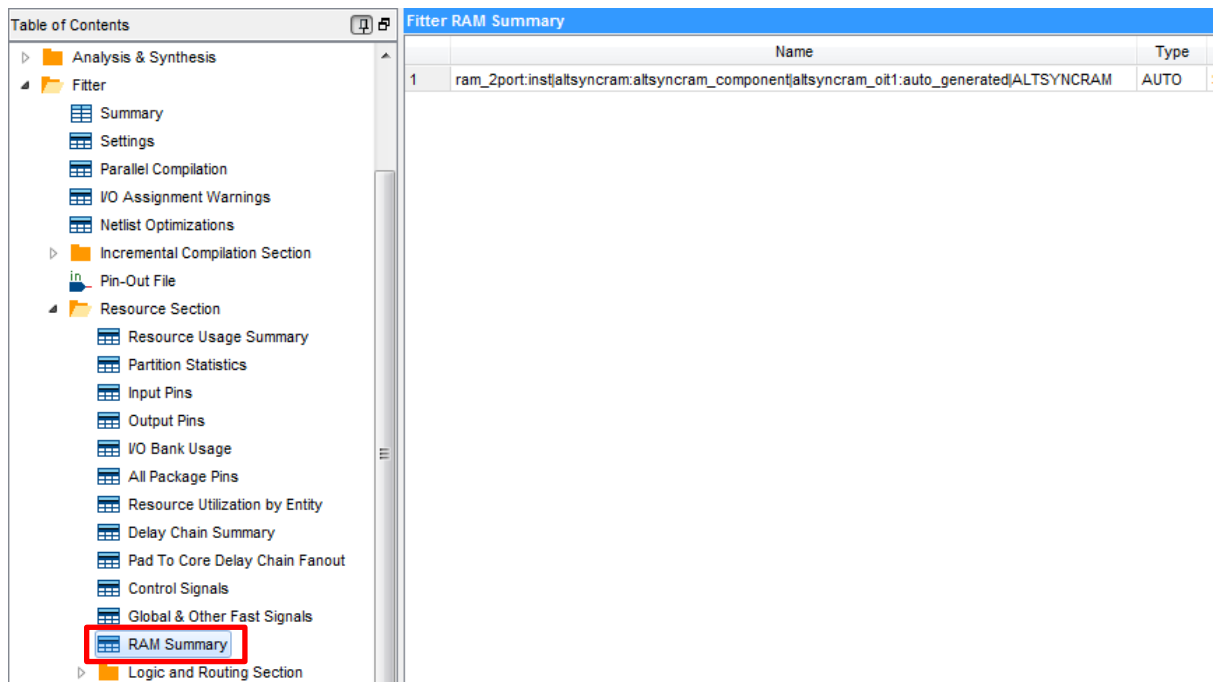


Table of Contents		Fitter RAM Summary	
		Name	Type
▶ Analysis & Synthesis			
▲ Fitter			
Summary			
Settings			
Parallel Compilation			
IO Assignment Warnings			
Netlist Optimizations			
▶ Incremental Compilation Section			
Pin-Out File			
▲ Resource Section			
Resource Usage Summary			
Partition Statistics			
Input Pins			
Output Pins			
IO Bank Usage			
All Package Pins			
Resource Utilization by Entity			
Delay Chain Summary			
Pad To Core Delay Chain Fanout			
Control Signals			
Global & Other Fast Signals			
RAM Summary			
▶ Logic and Routing Section			
		1	
		ram_2port.inst\altsyncram:altsyncram_component\altsyncram_oit1:auto_generated\ALTSYNCRAM	AUTO

3-3. タイミング・エラー発生時に確認すべき項目

タイミング・エラー発生時、エラーの種類によっては Fitter Report を確認する必要がでてきます。下記はエラーの種類と配置の項目の関連を示しています。

- 内部動作周波数の不足: クロック・スキュー
- I/O タイミングの不足: レジスタの配置

3-3-1. 内部動作周波数の不足

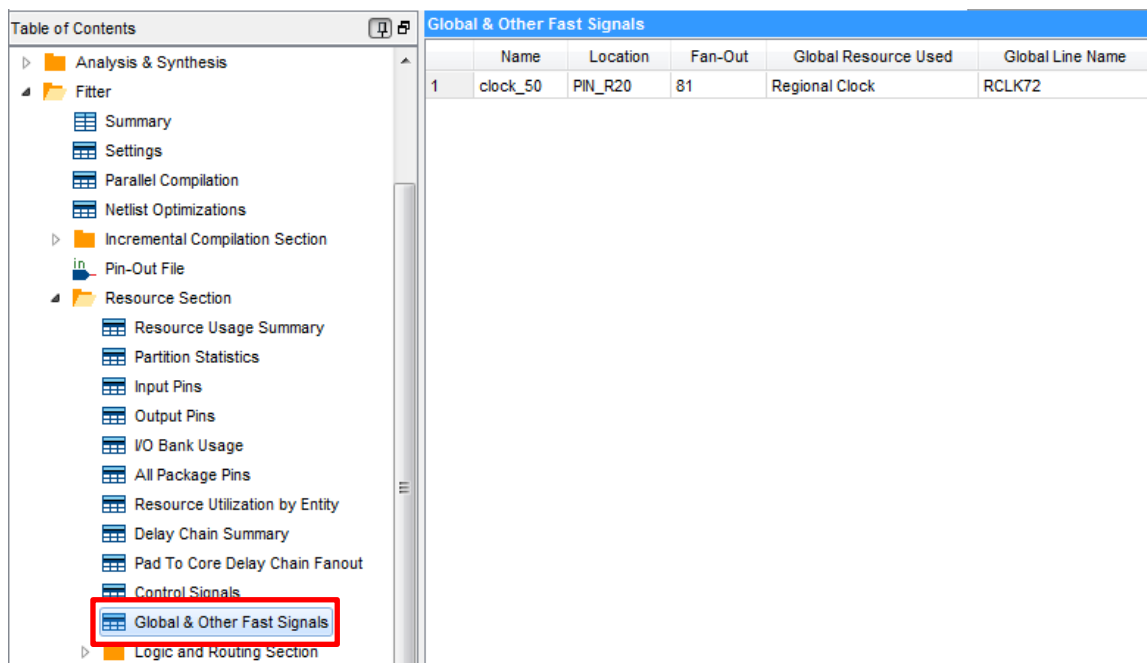
内部周波数の計算には、データ遅延とクロック・スキュー、各デバイスのレジスタ・パラメータが使われます。クロック・スキューが問題になっている場合、クロックがどの配線を経由しているかが重要になります。アルテラ FPGA / CPLD には、クロック・ドライバの概念がありません。その為、予めスキューを“0”にするように調整された専用の配線領域(以下: グローバル・ライン)が用意されています。ファンアウトが多く高速な信号は、スキューが極力出ないようにグローバル・ラインに乗せることをお勧めします。

グローバル・ラインは、予め用意された専用配線領域の為、デバイス・ファミリにより本数や種類が決まっています。グローバル・ラインの本数以上にコントロール信号(クロックやクロック・イネーブル、非同期リセット、非同期ブリセットなど)が存在する場合、期待通りの信号がグローバル・ラインに乗っていないことがあります。

そこで、タイミング・エラーのパスに関係するクロックや制御信号が、グローバル・ラインに乗っているか Fitter Report で確認します。

Fitter ⇒ Global & Other Fast Signals

グローバル・ラインに乗っている信号を一覧表示しています。



The screenshot shows the Fitter Report interface. On the left is a 'Table of Contents' tree with 'Global & Other Fast Signals' highlighted in red. On the right is the main report area with a table titled 'Global & Other Fast Signals'.

	Name	Location	Fan-Out	Global Resource Used	Global Line Name
1	clock_50	PIN_R20	81	Regional Clock	RCLK72

Fitter ⇒ Control Signals

クロックやクロック・イネーブル、非同期リセットといった制御信号の一覧です。ファンアウト数やグローバル・ライン使用の有無も確認できることから、グローバル・ラインを未使用でかつ、ファンアウトが多く、高速な信号を確認してください。

Table of Contents		Control Signals				
		Name	Location	Fan-Out	Usage	Global
▶	Analysis & Synthesis					
▲	Fitter					
	Summary					
	Settings					
	Parallel Compilation					
	Netlist Optimizations					
▶	Incremental Compilation Section					
	Pin-Out File					
▲	Resource Section					
	Resource Usage Summary					
	Partition Statistics					
	Input Pins					
	Output Pins					
	IO Bank Usage					
	All Package Pins					
	Resource Utilization by Entity					
	Delay Chain Summary					
	Bad To Core Delay Chain Fanout					
	Control Signals					
	Global & Other Fast Signals					
▶	Logic and Routing Section					

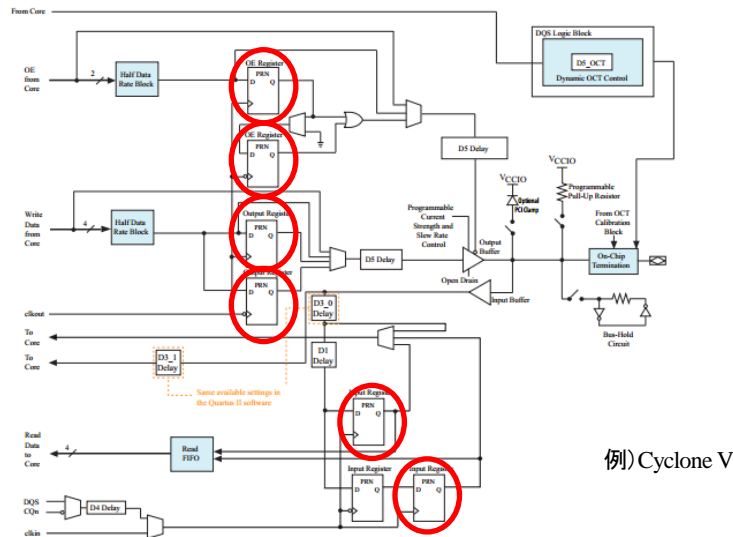
	Name	Location	Fan-Out	Usage	Global
1	chatt.inst1 Equal0~4	LABCELL_X27_Y34_N6	5	Clock enable	no
2	chatt.inst1 sw_reg	FF_X27_Y34_N32	9	Sync. load	no
3	clock_50	PIN_R20	81	Clock	yes
4	clr	PIN_P12	81	Async. clear	no

タイミング・エラーとなっている箇所のクロックが既にグローバル・ラインに乗っている場合は、データ遅延を改善するか PLL を使用しクロックの位相を調整するなどの対処が必要になります。

3-3-2. I/O タイミング不足

I/O に関するタイミングで使用される項目として、接続先のデバイスの情報や基板情報も必要ですが、FPGA / CPLD 内では、レジスタとピン間の遅延とクロック遅延が必要になります。レジスタとピン間の遅延が最も少ないのは、IO エLEMENT (IOE) 内に含まれるレジスタです。

※ IOE 内のレジスタについては、デバイス・ファミリー毎に異なります。詳細は、各デバイス・ファミリーのハンドブックを参照してください。



例) Cyclone V

IOE 内のレジスタの使用有無も、Fitter Report で確認できます。Input Pins / Output Pins / Bidir Pins 内の Input Register / Output Register / Output Enable Register が IOE 内のレジスタ項目で、on と書かれていれば IOE 内のレジスタが使用されていることを意味します。

Table of Contents

- Analysis & Synthesis
 - Fitter
 - Summary
 - Settings
 - Parallel Compilation
 - Netlist Optimizations
 - Incremental Compilation Section
 - Pin-Out File
 - Resource Section
 - Resource Usage Summary
 - Partition Statistics
 - Input Pins**
 - Output Pins**
 - I/O Bank Usage
 - All Package Pins
 - Resource Utilization by Entity

Name	Pin #	I/O Bank	I/O Standard	Termination
1 button	P11	3B	1.2 V	Off
2 clock_50	R20	5B	3.3-V LVTTTL	Off
3 clr	P12	3B	1.2-V HSTL Class I	Parallel 50 Ohm with Calibration
4 term..._pad	D12	7A	2.5 V	Off
5 term..._pad	AE11	4A	1.2 V	Off

ピンに最も近い IOE 内のレジスタを使用しても I/O タイミングを満足しない場合は、インタフェース先のデバイスで調整するか PLL でクロック位相を調整するなどの対処が必要になります。

3-4. 実機動作不良時に確認すべき項目

実機で期待通りの動作をしなかった場合、原因により解析する項目が異なります。

- 環境に依存(ノイズの影響) ⇒ 信号品質
 - 終端抵抗
 - 出力の Current Strength
- クロックが動作しない ⇒ PLL の Lock
 - PLL の Lock Range
 - PLL と入力クロック・ピンの関係
- 論理がおかしい
 - 論理の最適化
- まったく動作しない
 - 基板上のピンの処理

症状により、関係する箇所の確認を行ってください。

4. Assembler

Assembler は、FPGA/CPLD の書き込みファイル生成を行う工程です。

確認する項目は、必要な書き込みファイルが生成されているかを確認します。特に、対象デバイスによっては、無償版のライセンスでも書き込みファイルが生成されます。また、IP も OpenCore™ Plus といった時間制限付きの無償評価版があり、ライセンスが正常に認識されていなくても Assembler まで終了します。その為、正常に書き込みファイルが生成されているか否かを確認する必要があります。

また、アルテラ FPGA は様々なコンフィギュレーション・モードが用意されており、様々な書き込みファイルが生成できます。設定したファイルが生成されているかの確認も必要です。

Assembler ⇒ Generated Files

The screenshot shows the Quartus Prime interface. On the left, the 'Table of Contents' pane is visible, with the 'Generated Files' item under the 'Assembler' folder highlighted with a red box. On the right, the 'Assembler Generated Files' pane displays a table with the following content:

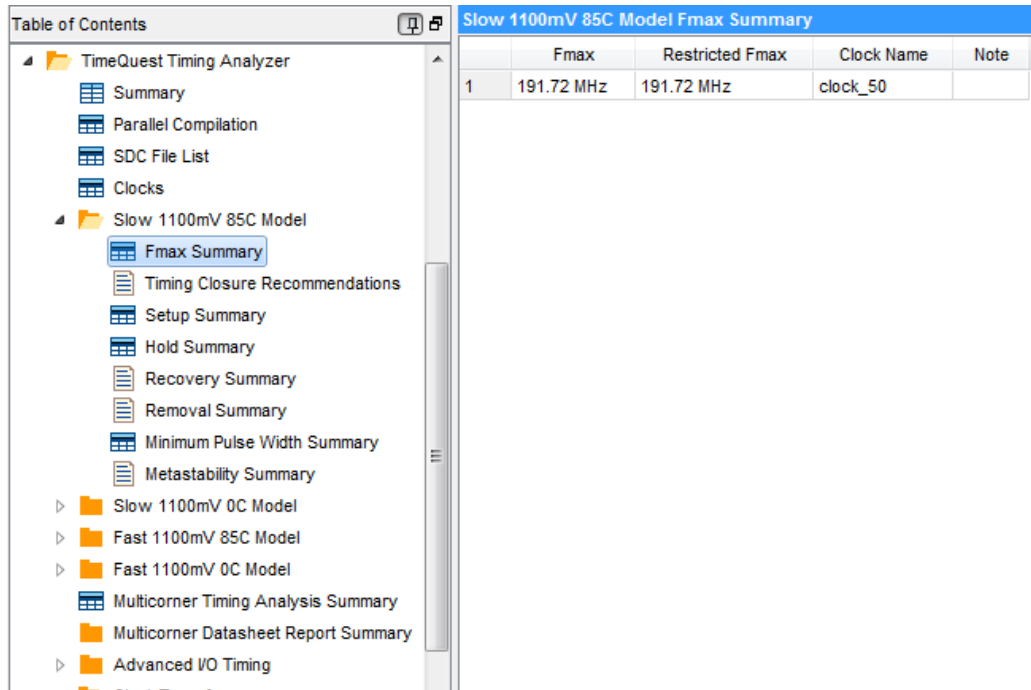
	File Name
1	D:/work/c5_quartus_lab_1510/verilog/output_files/fpga_top.sof
2	D:/work/c5_quartus_lab_1510/verilog/output_files/fpga_top.pof

A yellow box with the text '生成されたファイルのリスト' (List of generated files) is overlaid on the right pane.

5. TimeQuest Timing Analyzer

タイミング解析は、Quartus Prime 開発ソフトウェアに標準装備された TimeQuest Timing Analyzer により実施されます。詳細のレポートは、TimeQuest Timing Analyzer を起動する必要がありますが、Compilation Report 内でサマリ・レポートを確認できます。

タイミング・エラーが発生した項目は赤字となる為、まずはタイミング・エラーの発生有無を確認してください。



	Fmax	Restricted Fmax	Clock Name	Note
1	191.72 MHz	191.72 MHz	clock_50	

赤字表示があった項目については、TimeQuest Timing Analyzer の Slack Report にて詳細解析を行います。タイミング解析については、本資料を入手したサイト内から以下の資料をご覧ください。

『Quartus Prime はじめてガイド - タイミング解析の方法』

改版履歴

Revision	年月	概要
1	2016年3月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>

株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。