

Quartus Prime 制約の方法 (Assignment Editor)

ver.15.1

Quartus Prime

制約の方法 (Assignment Editor)

目次

1. はじめに	3
2. 操作方法	4
2-1. 事前作業	4
2-2. Assignment Editor の起動	5
2-3. オプションの設定方法	6
2-4. エンティティにオプションを設定する方法	12
2-5. Assignment Editor の便利機能	13
3. 参考	14
3-1. よく使用されるオプション設定	14
3-2. オプションにおける Help の活用方法	14
改版履歴	16

1. はじめに

本資料は、Quartus[®] Prime 開発ソフトウェアにおける各種制約を行うための Assignment Editor の使用方法を紹介します。

Assignment Editor とは、あるプロジェクトにおけるユーザが設計した回路のピンやエンティティに対して、特定の設定や制約を設けるための Quartus Prime 開発ソフトウェアのスプレッド・シートです。デバイス特有の機能を有効にするためのオプション設定やピン・アサイン^{※1}、I/O 規格の指定などさまざまな設定が一枚のシート上で行えるため、効率的かつスピーディーに操作することが可能です。本資料では基本操作^{※2}を紹介しています。

※1 ピン・アサインや I/O 規格の指定などのピンに関する作業は Assignment Editor でも行えますが、Pin Planner で行うことをお勧めします。Pin Planner に関しては、本資料を入手したサイト内から以下の資料をご覧ください。

『Quartus Prime はじめてガイド - ピン・アサインの方法』

※2 アルテラ・デバイスにおいてよく使用されるオプションに関しては、本資料を入手したサイト内から以下の資料をご覧ください。

『Quartus Prime - よく使用するピン・オプションの設定方法』

2. 操作方法

2-1. 事前作業

Assignment Editor は、指定のプロジェクトに対して使用することができます。つまり、事前にプロジェクトを作成してある必要があります。

※ プロジェクトに関しては、本資料を入手したサイト内から以下の資料をご覧ください。

『Quartus Prime はじめてガイド - プロジェクトの作成方法』

『Quartus Prime - プロジェクトの管理』

また、ユーザ回路に対してオプションを設定するため、ユーザ回路の情報が必要です。以下の操作により、事前に Quartus Prime 開発ソフトウェアヘドデザイン・ファイルを取り込む作業を行います。回路の情報を取り込むことにより、オプションを指定したいエンティティ名やノード名、ピン名などを検出できるようになり、非常に便利です。

※ 既にコンパイルが完了している場合には、これら以下の操作は不要です。

ユーザ回路の論理合成前の情報を取り込む場合

- Processing メニュー ⇒ Start ⇒ Start Analysis & Elaboration を実行します。

ユーザ回路の論理合成後の情報を取り込む場合

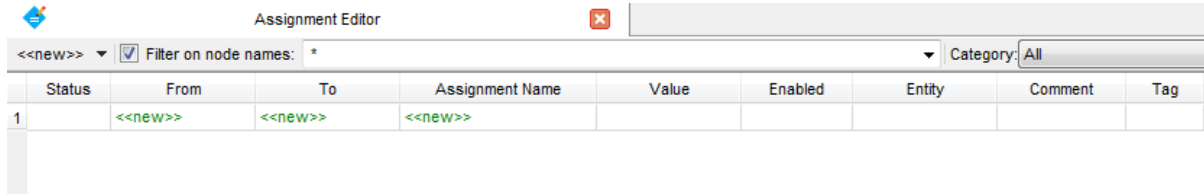
- Processing メニュー ⇒ Start ⇒ Start Analysis & Synthesis を実行します。

いずれも実行後にエラーなく終了すれば、準備完了です。

2-2. Assignment Editor の起動

Assignments メニュー ⇒ Assignment Editor または  ボタンをクリックして、Assignment Editor を起動します。


Assignment Editor は、Filter バーとスプレッド・シート、New Assignment バーで構成されています。また、これらのバーを非表示にすることもできます。ツール・バーには、各欄の表示に対応するアイコンがあります

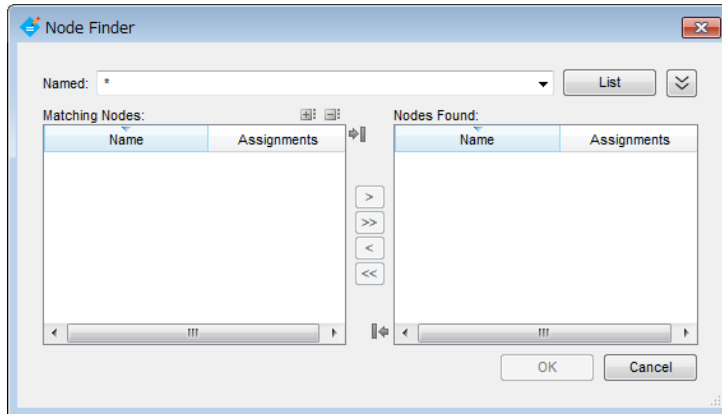
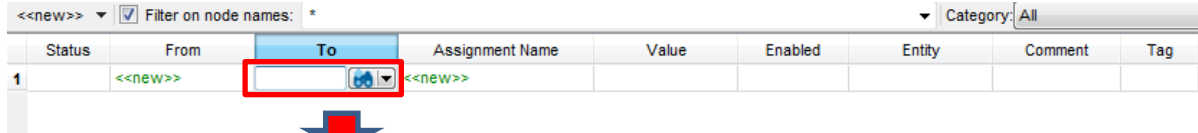


Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1	<<new>>	<<new>>	<<new>>					

2-3. オプションの設定方法

① オプションを設定したいノードを選択します。

To 欄をダブルクリックし、右端に表示された  ボタンをクリックします。Node Finder ダイアログ・ボックスが起動します。



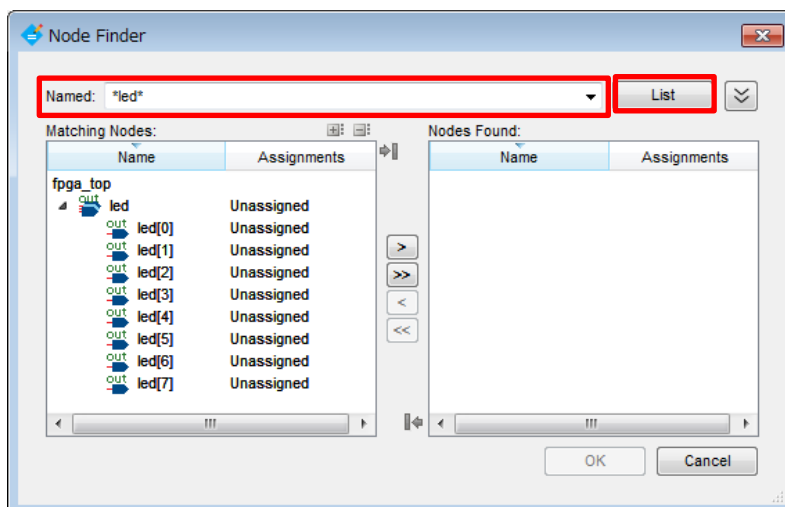
② Node Finder において、設定するピンや内部ノードやレジスタを検出しやすいように条件を入力します。

【補足① : Named 欄】


Named 欄に検出させたいピンや内部ノードやレジスタの名称の一部を入力して List ボタンをクリックすると、該当するピンや内部ノード、レジスタのみ表示されます。Named 欄にワイルドカード※を使用すると、Filter で選択した項目と AND 検索され、さらにノードを絞り込みます。

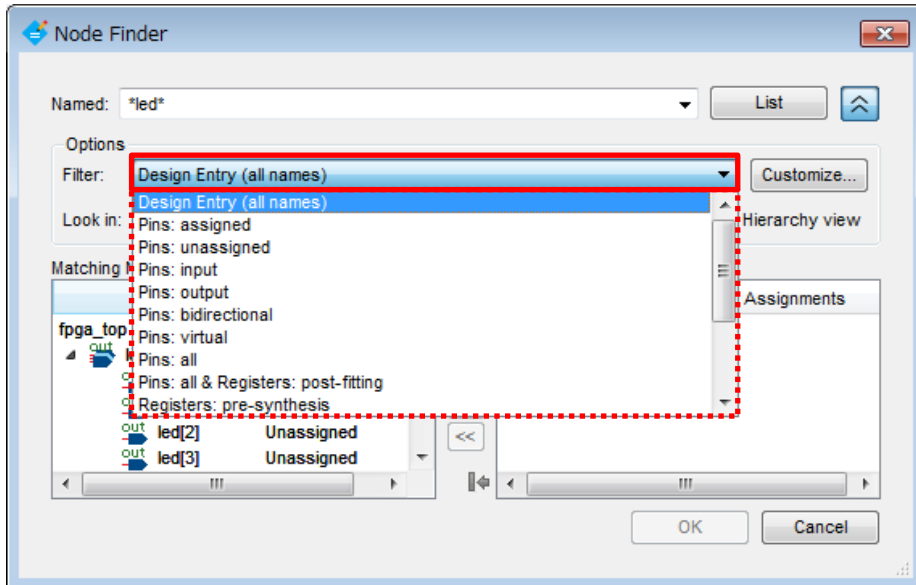
※ ワイルドカード : 「*」が任意の長さの任意の文字を意味し、「?」が任意の 1 文字を意味します。

「??」は 2 文字です。



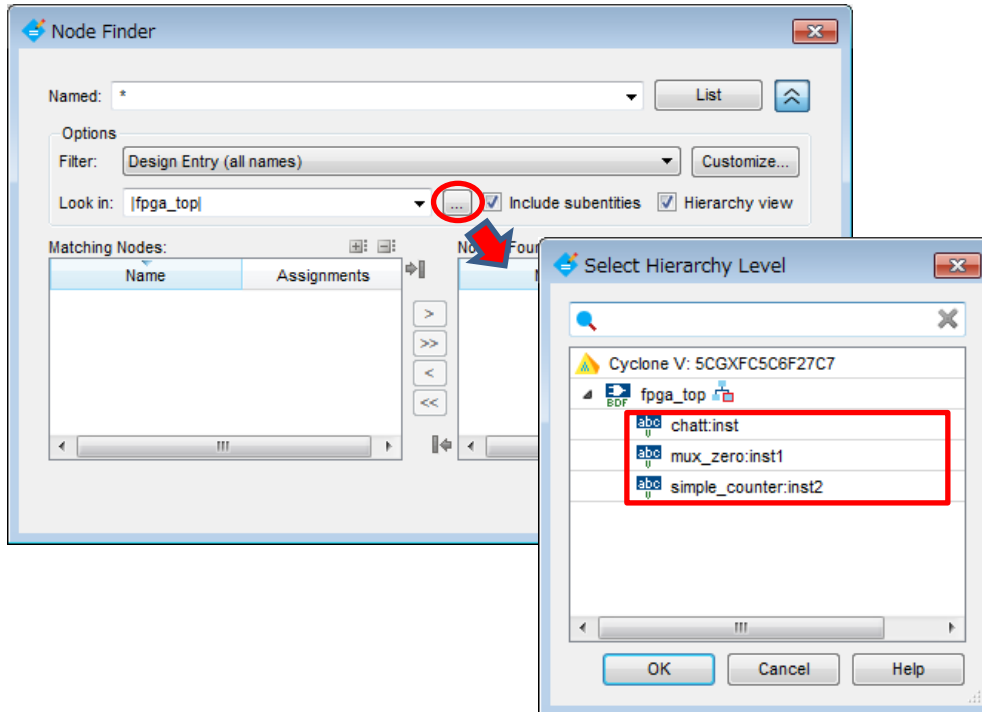
【補足② : Filter リスト(デフォルトの選択項目)】

 ボタンをクリックすると、さらに詳細な条件で検出できます。

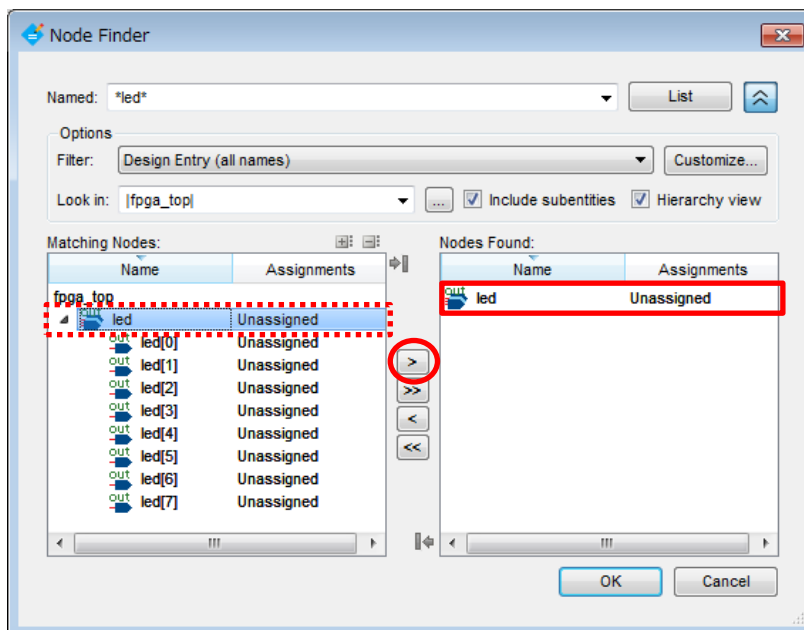


- ・ *Design Entry (all names)* - デザイン内にエントリされた全ノード名を検索します。
- ・ *Pins: assigned* - デザイン内のピン・アサインされているピン名を検索します。
- ・ *Pins: unassigned* - デザイン内のピン・アサインされていないピン名を検索します。
- ・ *Pins: input* - デザイン内の全入力ピン名を検索します。
- ・ *Pins: output* - デザイン内の全出力ピン名を検索します。
- ・ *Pins: bidirectional* - デザイン内の全双方向ピン名を検索します。
- ・ *Pins: virtual* - 全バーチャル・ピン名を検索します。
- ・ *Pins: all* - デザイン内の全ピン名を検索します。
- ・ *Pins: all & Registers: post-fitting* - デザイン内の全ピン名およびデザイン内のレジスタ名(配置配線後)を検索します。
- ・ *Registers: pre-synthesis* - デザイン内のレジスタ名(論理合成前)を検索します。
- ・ *Registers: post-fitting* - デザイン内のレジスタ名(配置配線後)を検索します。
- ・ *Post-synthesis* - 論理合成後、デザイン内の残された全ノードを検索します。
- ・ *Post-Compilation* - 論理合成・配置配線後のデザイン内の残された全ノード名を検索します。
- ・ *SignalTap II: pre-synthesis* - SignalTap[®] II で解析可能なネットリスト名(論理合成前)を検索します。
- ・ *SignalTap II: post-fitting* - SignalTap II で解析可能なネットリスト名(配置配線後)を検索します。
- ・ *SignalProbe* - SignalProbe[™] の可能なノード名(配置配線後)を検索します。

また、Look in はノードを検索するエンティティを示しています。検索するエンティティを限定する場合には、Look in 横の ... ボタンをクリックします。起動した Select Hierarchy Level ダイアログ・ボックスからエンティティを指定し、OK ボタンをクリックします。



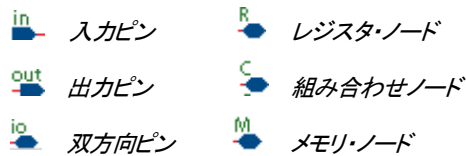
- ③ List ボタンをクリックし、Nodes Found(左枠)に検出されたノードから希望のノードを選びます。中央の矢印ボタン(>) をクリックして Selected Nodes(右枠)へ移行します(ノードを直接ダブルクリックしても移行可能)。Shift キーや Ctrl キーを活用し、複数のノードを一度に選択することもできます。





- ④ OK ボタンをクリックして登録完了です。

【補足③ : ピン・スタブ】

Node Finder に表示されるノードの左側にマーク (ピン・スタブ) がつきます。これらはそれぞれのノードの属性やタイプを表しています。

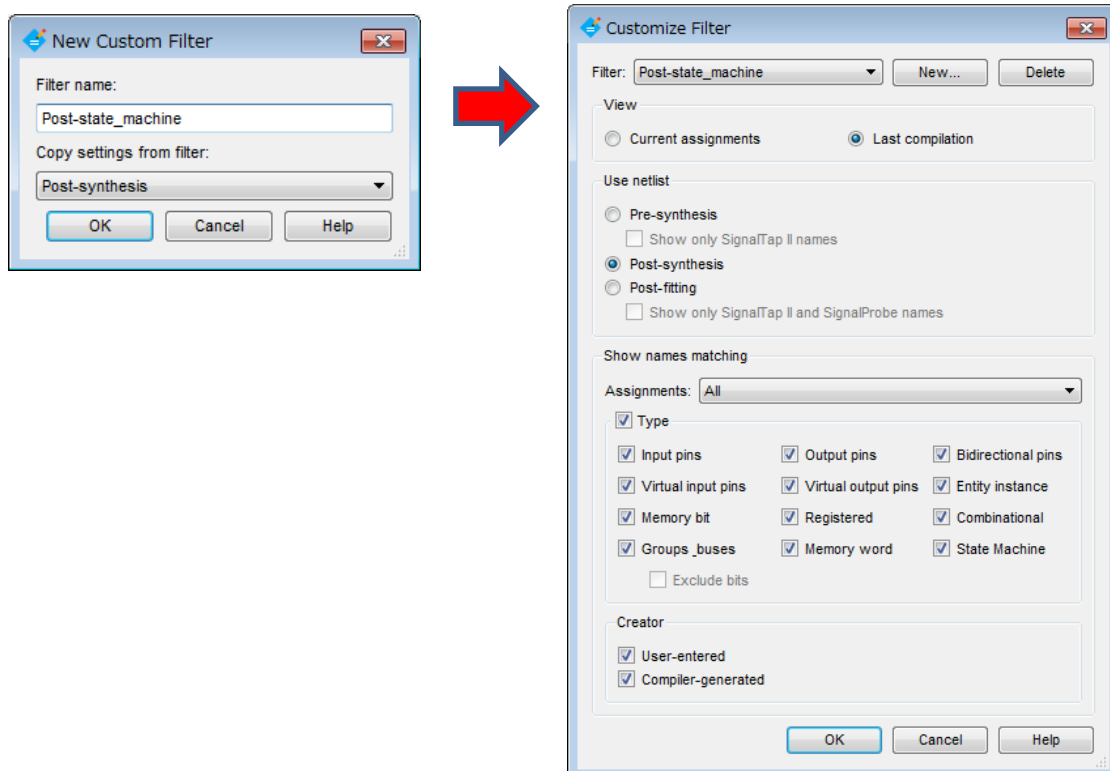


また、ピン・スタブが1つの場合 () は1ビット信号を表し、ピン・スタブが複数重なっている場合 () は多ビット (バス) 信号を表しています。

【補足④ : Filter のカスタマイズ】

Filter の条件をユーザ好みにカスタマイズすることができます。

- 1) Node Finder ウィンドウ内の *Customize* ボタンをクリックします。
- 2) *New* ボタンをクリックして、作成する Filter 名 (任意) をつけ、コピーする元の設定を選択します。
- 3) 条件となる内容を選択します。



- ⑤ 必要に応じて From 欄にも同様にピン名やノード名、レジスタ名を選択してください。制約によっては、From 欄と To 欄の両方選択するものがあります。

⑥ 設定したいオプションを選択します。

Assignment Name 欄をダブルクリックし、プルダウン・リストよりオプションを選択します。

Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1	✓		Location	PIN_P11	Yes			
2	✓		IO Standard	1.2 V	Yes	fpga_top		
3	!		Fast Input Register		Yes	fpga_top		
4	<<new>>	<<new>>	<<new>>	<<new>>				

- Fast Input Register (Accepts wildcards/groups)
- Fast Output Enable Register (Accepts wildcards/groups)
- Fast Output Register (Accepts wildcards/groups)
- Force Use of Synchronous Clear Signals (Accepts wildcards/groups)
- GXB Reserved Transmit Channel (Accepts wildcards/groups)
- Global Signal (Accepts wildcards/groups)
- HDL Initial Fan-out Limit (Accepts wildcards/groups)
- HPS_IO (Accepts wildcards/groups)

⑦ オプションの内容を設定します。

Value 欄をダブルクリックして、適切なオプションの内容を選択します。(オプションの内容により、プルダウン・リストから選択する場合と直接入力する場合があります。)

Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1	✓		Location	PIN_P11	Yes			
2	✓		IO Standard	1.2 V	Yes	fpga_top		
3	!		Fast Input Register		Yes	fpga_top		
4	<<new>>	<<new>>	<<new>>	<<new>>				

- Off
- On

⑧ 設定したオプションを有効・無効に設定できます。

Enabled 欄をダブルクリックして、オプションの内容を有効または無効に選択できます。

Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1	✓		Location	PIN_P11	Yes			
2	✓		IO Standard	1.2 V	Yes	fpga_top		
3	✓		Fast Input Register	On	Yes	fpga_top		
4	<<new>>	<<new>>	<<new>>	<<new>>				

- No
- Yes

設定項目が満たされると、Status 項が ✓ に変わります。満たされていない項がある場合は、“Missing ~” と表示されます。また、設定した内容に応じて色分けされ、状況の確認が行ないやすくなっています。

例) Status 項の色分け

- ・ 灰 : 無効にしたもの

Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1		in_button	Fast Input Register	On	No	fpga_top		
2	<<new>>	<<new>>	<<new>>					

- ・ 黒 : 適用

Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1		in_button	Fast Input Register	On	Yes	fpga_top		
2	<<new>>	<<new>>	<<new>>					

- ・ 黄 : 警告 (例えば未知のノード)

Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1		unknown_clk	Global Signal	Regional Clock	Yes	fpga_top		
2	<<new>>	<<new>>	<<new>>					

- ・ 濃い赤 : 未完成

Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1		in_button	Fast Input Register		Yes	fpga_top		
2	<<new>>	<<new>>	<<new>>					



- ・ 鮮やかな赤 : エラー / 不当な値

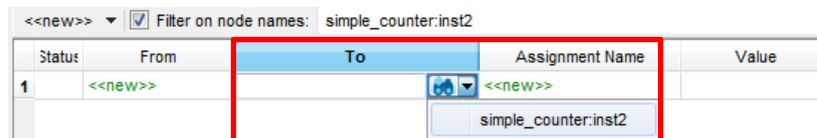
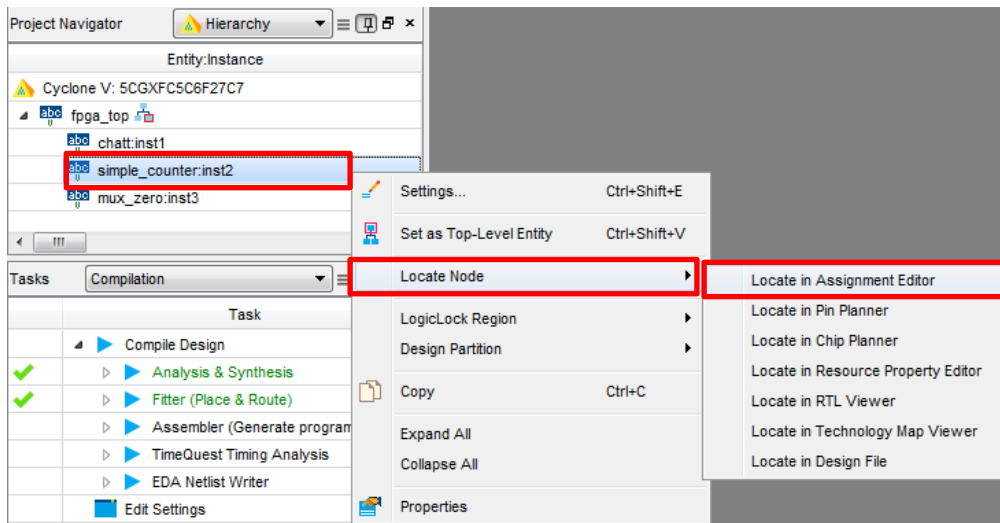
不当な値に設定した場合に、表示されます。

※ Value 欄のプルダウン・リストの項目は、使用デバイスにより異なります。

2-4. エンティティにオプションを設定する方法

2-3 節では、ピンやレジスタ、内部ノードにオプションを設定したいときの操作方法を説明しましたが、ある階層（エンティティ）に対しオプションを設定する場合には、以下の方法でエンティティを指定します。

- ① Project Navigator より、指定するエンティティを選択します。
- ② 右クリック ⇒ プルダウン・メニュー から、Locate ⇒ Locate in Assignment Editor を選択します。
- ③ New Assignment バーの To 欄をダブルクリックし、右端に表示された  ボタンの右側 () をクリックします。プルダウン・リストに表示された先ほど選択したエンティティ名を選択します。
- ④ その後の操作は、2-3 節と同様です。



2-5. Assignment Editor の便利機能

スプレッド・シート上において、任意のノードだけを表示させる方法 (Filter 機能) を紹介します。

- ① “Filter on node names” 欄に確認を行ないたいノード名を入力します。(デフォルトでは、「* : ワイルドカード」が入力されているため、全てのノードが表示されています。)

Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1	out	led[0]	Location	PIN_L7	Yes			
2	out	led[1]	Location	PIN_K6	Yes			
3	out	led[2]	Location	PIN_D8	Yes			
4	out	led[3]	Location	PIN_E9	Yes			
5	out	led[4]	Location	PIN_A5	Yes			
6	out	led[5]	Location	PIN_B6	Yes			
7	out	led[6]	Location	PIN_H8	Yes			
8	out	led[7]	Location	PIN_H9	Yes			
9	out	tp[0]	Location	PIN_E10	No			
10	out	tp[1]	Location	PIN_E11	No			
11	out	tp[2]	Location	PIN_C9	No			
12	out	tp[3]	Location	PIN_B9	No			
13		ledr0	Reserve Pin	As Outp... Ground	Yes			
14		ledr1	Reserve Pin	As Outp... Ground	Yes			
15		ledr2	Reserve Pin	As Outp... Ground	Yes			
16		ledr3	Reserve Pin	As Outp... Ground	Yes			
17		ledr4	Reserve Pin	As Outp... Ground	Yes			
18		ledr5	Reserve Pin	As Outp... Ground	Yes			
19		ledr6	Reserve Pin	As Outp... Ground	Yes			
20		ledr7	Reserve Pin	As Outp... Ground	Yes			

- ② ノード名を入力後、Enter キーを入力すると、設定をしたノードのみが表示される。

例) 名前が “led~” のノードのみ表示させる場合

Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1	out	led[0]	Location	PIN_L7	Yes			
2	out	led[1]	Location	PIN_K6	Yes			
3	out	led[2]	Location	PIN_D8	Yes			
4	out	led[3]	Location	PIN_E9	Yes			
5	out	led[4]	Location	PIN_A5	Yes			
6	out	led[5]	Location	PIN_B6	Yes			
7	out	led[6]	Location	PIN_H8	Yes			
8	out	led[7]	Location	PIN_H9	Yes			
9		ledr0	Reserve Pin	As Outp... Ground	Yes			
10		ledr1	Reserve Pin	As Outp... Ground	Yes			
11		ledr2	Reserve Pin	As Outp... Ground	Yes			
12		ledr3	Reserve Pin	As Outp... Ground	Yes			
13		ledr4	Reserve Pin	As Outp... Ground	Yes			
14		ledr5	Reserve Pin	As Outp... Ground	Yes			
15		ledr6	Reserve Pin	As Outp... Ground	Yes			
16		ledr7	Reserve Pin	As Outp... Ground	Yes			
17		ledr8	Reserve Pin	As Outp... Ground	Yes			
18		ledr9	Reserve Pin	As Outp... Ground	Yes			
19		ledr0	Location	PIN_F7	Yes			
20		ledr1	Location	PIN_F6	Yes			

3. 参考

3-1. よく使用されるオプション設定

※ よく使用されるオプションに関しては、本資料を入手したサイト内から以下の資料をご覧ください。

『Quartus Prime - よく使用するピン・オプションの設定方法』

3-2. オプションにおける Help の活用方法

オプションを設定するにあたりオプションの内容など詳細を知りたいときには、Quartus Prime 開発ソフトウェアのヘルプを活用してください。なお、Quartus Prime 開発ソフトウェア v15.1 のヘルプ機能は、Web ブラウザを使用して閲覧します。

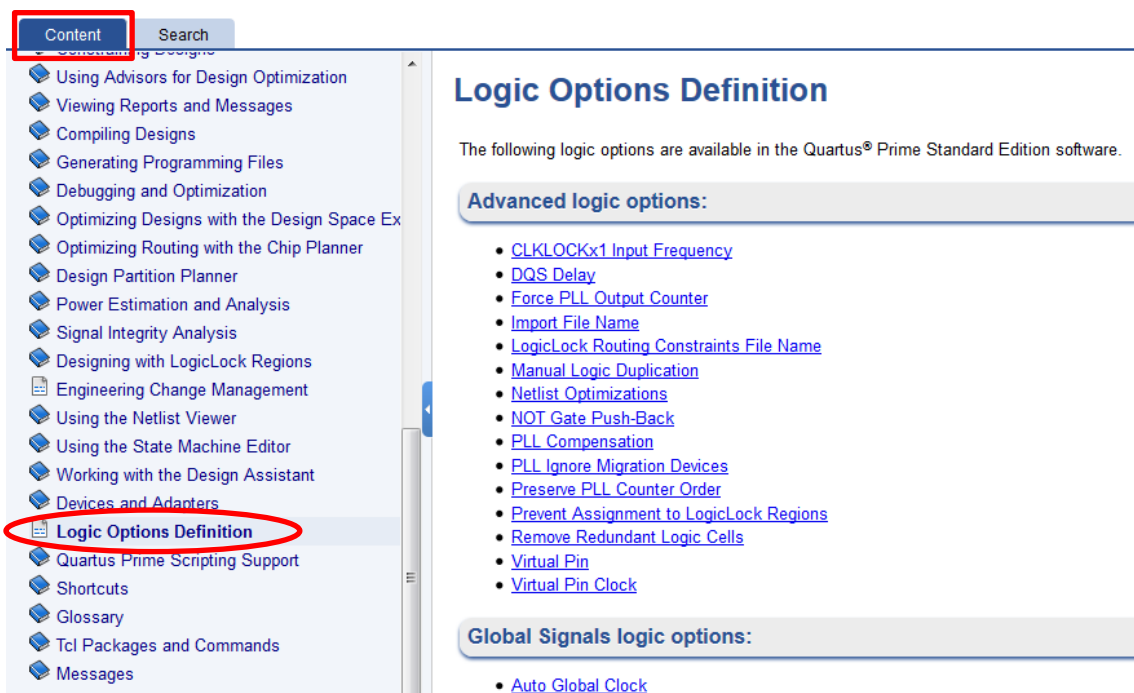
そのオプションがターゲット・デバイスに適したオプションであるか、指定するノードは何が適切なのか(入力ピン、出力ピン、レジスタなど)、また To 欄のみで良いのか、From 欄も必要であるかなどが確認できます。

キーワードにオプション名を入力するか、以下のようにオプションのカテゴリから検索し、確認してください。

◆ ロジック・オプション

ロジック・オプションの詳細を調べるには、Help メニュー ⇒ Help Topics で Web ブラウザが起動します。Contents タブを選択し、Contents タブ内にある Logic Option Definition を選択して、ダブルクリックします。表示された各カテゴリより目的のオプションを探し、クリックしてください。

Quartus Prime Help version 15.1



The screenshot shows the Quartus Prime Help interface. On the left, a navigation pane lists various topics, with 'Logic Options Definition' highlighted and circled in red. The main content area is titled 'Logic Options Definition' and contains the following text:

The following logic options are available in the Quartus® Prime Standard Edition software.

Advanced logic options:

- [CLKLOCKx1 Input Frequency](#)
- [DQS Delay](#)
- [Force PLL Output Counter](#)
- [Import File Name](#)
- [LogicLock Routing Constraints File Name](#)
- [Manual Logic Duplication](#)
- [Netlist Optimizations](#)
- [NOT Gate Push-Back](#)
- [PLL Compensation](#)
- [PLL Ignore Migration Devices](#)
- [Preserve PLL Counter Order](#)
- [Prevent Assignment to LogicLock Regions](#)
- [Remove Redundant Logic Cells](#)
- [Virtual Pin](#)
- [Virtual Pin Clock](#)

Global Signals logic options:

- [Auto Global Clock](#)

例) Auto Global Clock (Global Signal logic options) を検索した場合

リストの中から Global Signals logic options ⇒ Auto Global Clock を選択すると、以下の画面が表示されます。ここでは、オプションの説明を確認することができます。


Auto Global Clock logic option

A logic option that allows the Compiler to choose the signal that feeds the most clock inputs to registers as a global clock signal that is made available throughout the device on the global routing paths.

This option must be assigned to a design entity or it is ignored. If you want to prevent the Compiler from automatically selecting a particular signal as global clock, set the **Global Signal** option to **Off** on that signal. This option is available for all Altera devices.

```

Scripting Information
Keyword: auto_global_clock
Settings: on | off
Keyword: auto_global_clock_max
Settings: on | off
*default
    
```

 **Note:** For complete scripting syntax, refer to the Quartus Settings File Reference Manual.

改版履歴

Revision	年月	概要
1	2016年2月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>

株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。