

# Quartus Prime よく使用するピン・オプションの設定方法

ver.15.1

# Quartus Prime

## よく使用するピン・オプションの設定方法

### 目次

1. はじめに .....	3
2. 出力電流値の設定 <Current Strength> .....	4
3. 内部プルアップの設定 <Weak Pull-Up Resistor>.....	5
4. グローバルの設定 <Global Signal>.....	6
5. バス・ホールドの設定 <Enable Bus-Hold Circuitry> .....	8
6. PCI クランプ・ダイオードの設定 <PCI I/O> .....	9
7. スルー・レート・コントロールの設定 <Slow Slew Rate / Slew Rate> .....	10
7-1. Slow Slew Rate の設定.....	10
7-2. Slew Rate の設定.....	11
8. シュミット・トリガの設定 <Schmitt Trigger Input ~ I/O Standard>.....	13
9. IOE レジスタの設定 <Fast Input/Output/Output Enable Register>.....	14
10. 内部終端抵抗の設定 <On-Chip Termination>.....	16
10-1. Output Termination の設定.....	16
10-2. Input Termination の設定 .....	17
11. 仮想ピンの設定 <Virtual Pin>.....	19
Appendix : カスタマイズ・コラム .....	21
改版履歴 .....	22

## 1. はじめに

あるピンや内部信号に対して個別に特定の機能を付加させるときには、Quartus<sup>®</sup> Prime 開発ソフトウェアの Assignment Editor や Pin Planner を使用してピン・オプションを設定します。この資料では、よく使用するピン・オプションの概要を簡単に説明し、個別に設定する方法を紹介しています。

※ Assignment Editor や Pin Planner の詳細は、本資料を入手したサイト内から以下の資料をご覧ください。

『Quartus Prime はじめてガイド - ピン・アサインの方法』

『Quartus Prime - 制約の方法 (Assignment Editor)』

この資料で紹介しているオプション内容は、以下のとおりです。また、< > 内は Quartus Prime 開発ソフトウェアのオプション名です。

- ・ 出力電流値の設定 <Current Strength>
- ・ 内部プルアップ抵抗の設定 <Weak Pull-Up Resistor>
- ・ グローバルの設定 <Global Signal>
- ・ バス・ホールドの設定 <Enable Bus-Hold Circuitry>
- ・ PCI クランプ・ダイオードの設定 <PCI I/O>
- ・ スルー・レート・コントロールの設定 <Slow Slew Rate / Slew Rate>
- ・ シュミット・トリガの設定 <Schmitt Trigger Input ~ I/O Standard>
- ・ IOE レジスタの設定 <Fast Input Register / Fast Output Register / Fast Output Enable Register>
- ・ 内部終端抵抗の設定 <Output Termination / Input Termination>
- ・ 仮想ピンの設定 <Virtual Pin>

なおこの資料では、プロジェクト内の完成しているデザインに対して、Analysis & Elaboration(または Analysis & Synthesis、コンパイル)が実行されていることを前提に、操作方法を説明しています。

## 2. 出力電流値の設定 <Current Strength>

出力ピンと双方向ピンの電流値を設定するオプションです。設定可能な電流値については、使用するデバイス・ファミリや I/O 規格により異なります。指定しない場合のデフォルト値についても同様に異なりますので、各デバイスのハンドブックをご確認ください。

※ 出力に対する *Series On-Chip Termination (内部終端抵抗の設定)* との併用はできません。

<<サポート・デバイス>>

Stratix® V、Stratix IV、Arria® 10、Arria V、Arria II、Cyclone® V、Cyclone IV、MAX® 10、MAX V、MAX II

※ Quartus Prime 15.1 でサポートしているすべてのデバイス

### 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Current Strength” カラムのマスをダブルクリックして、プルダウン・リストから希望の電流値を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Current Strength
in button	Input	PIN_P11	3B	1.2 V	8mA (default)
in clock_50	Input	PIN_R20	5B	3.3-V LVTTTL	16mA (default)
in clr	Input	PIN_P12	3B	1.2 V	8mA (default)
out led[7]	Output	PIN_H9	8A	2.5 V	8mA
out led[6]	Output	PIN_H8	8A	2.5 V	4mA
out led[5]	Output	PIN_B6	8A	2.5 V	8mA
out led[4]	Output	PIN_A5	8A	2.5 V	12mA
out led[3]	Output	PIN_E9	8A	2.5 V	12mA (default)
out led[2]	Output	PIN_D8	8A	2.5 V	16mA
out led[1]	Output	PIN_K6	8A	2.5 V	Maximum Current
out led[0]	Output	PIN_L7	8A	2.5 V	Minimum Current

### 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例: Output Pins) ⇒ Current Strength 欄に指定した電流値が表示されていれば良好です。

Name	Pin #	I/O Bank	I/O Standard	Current Strength	X coordinate
led[0]	L7	8A	2.5 V	8mA	10
led[1]	K6	8A	2.5 V	8mA	10
led[2]	D8	8A	2.5 V	8mA	10
led[3]	E9	8A	2.5 V	8mA	10
led[4]	A5	8A	2.5 V	8mA	21
led[5]	B6	8A	2.5 V	8mA	21
led[6]	H8	8A	2.5 V	8mA	19
led[7]	H9	8A	2.5 V	8mA	19
ledr0	F7	8A	2.5 V	Default	14
ledr1	F6	8A	2.5 V	Default	15

### 3. 内部プルアップの設定 <Weak Pull-Up Resistor>

I/O ピンに内部プルアップ抵抗を付加するオプションです。このオプションは、ユーザ・モード中のみ有効です。

※ *Enable Bus-Hold Circuitry (バス・ホールドの設定)*との併用はできません。

<<サポート・デバイス>>

Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10、MAX V、MAX II

※ Quartus Prime 15.1 でサポートしているすべてのデバイス

#### 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Weak Pull-Up Resistor”カラムのマスをダブルクリックして、プルダウン・リストから“On”を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Weak Pull-Up Resistor
in_button	Input	PIN_P11	3B	1.2 V	On
in_clock_50	Input	PIN_R20	5B	3.3-V LVTTTL	Off
in_clr	Input	PIN_P12	3B	1.2 V	On
out_led[7]	Output	PIN_H9	8A	2.5 V	Off
out_led[6]	Output	PIN_H8	8A	2.5 V	Off
out_led[5]	Output	PIN_B6	8A	2.5 V	Off
out_led[4]	Output	PIN_A5	8A	2.5 V	Off
out_led[3]	Output	PIN_E9	8A	2.5 V	Off
out_led[2]	Output	PIN_D8	8A	2.5 V	Off
out_led[1]	Output	PIN_K6	8A	2.5 V	Off
out_led[0]	Output	PIN_L7	8A	2.5 V	Off

#### 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Input Pins) ⇒ Weak Pull-Up 欄に“On”と表示されていれば良好です。

Table of Contents		Input Pins					
		Name	Pin #	I/O Bank	Weak Pull Up	X coordinate	
Resource Section	Resource Usage Summary	1	button	P11	3B	On	21
	Partition Statistics	2	clock_50	R20	5B	Off	68
	<b>Input Pins</b>	3	clr	P12	3B	Off	21
	Output Pins						
	I/O Bank Usage						

## 4. グローバルの設定 <Global Signal>

指定したピンをデバイス内部のグローバル・ラインに配置させるオプションです。(これを通称、内部グローバルと言います。)グローバル・ラインは、専用ピンからのドライブと内部信号からのドライブが適用できます。グローバル化された信号は、レジスタのクロック信号やクロック以外の制御信号、トライステートのアウトプット・イネーブル信号、メモリ制御信号として使用でき、制御信号のスキューを低減できます。また、Fan-Out が多くなりやすい制御信号をグローバル・ラインに配置させることにより、通常の配線領域をデータ信号などに優先的に活用できるため、パフォーマンス改善も期待できます。

グローバル信号の設定は、シングル・ポイントとポイント to ポイントで設定できます。また、デバイスによっては、クロック・ネットワーク構造に応じてグローバル・クロック以外にリージョナル・クロックやペリフェラル・クロックなどが選択できます。なお、グローバル・ラインの本数はデバイスにより異なりますので、各デバイスのハンドブックをご確認ください。

ピンをグローバル・ラインに配置するときは Pin Planner または Assignment Editor で指定できますが、内部信号をグローバル・ラインに配置するときは Assignment Editor で指定してください。

### <<サポート・デバイス>>

Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10、MAX V、MAX II

※ Quartus Prime 15.1 でサポートしているすべてのデバイス

### 設定手順

#### <Pin Planner で指定する方法>

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Global Signal”カラムのマスをダブルクリックして、プルダウン・リストから適用させたいグローバル・ラインを選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Global Signal	/eak
in button	Input	PIN_P11	3B	1.2 V	Regional Clock	On
in clock_50	Input	PIN_R20	5B	3.3-V LVTTTL	Regional Clock	
in clr	Input	PIN_P12	3B	1.2 V	Regional Clock	
out led[7]	Output	PIN_H9	8A	2.5 V	Dual-Regional Clock	
out led[6]	Output	PIN_H8	8A	2.5 V	Global Clock	
out led[5]	Output	PIN_B6	8A	2.5 V	Off	
out led[4]	Output	PIN_A5	8A	2.5 V	Periphery Clock	
out led[3]	Output	PIN_E9	8A	2.5 V	Regional Clock	
out led[2]	Output	PIN_D8	8A	2.5 V		
out led[1]	Output	PIN_K6	8A	2.5 V		
out led[0]	Output	PIN_L7	8A	2.5 V		

#### <Assignment Editor で指定する方法>

- ① Assignment Editor を起動します。(Assignments メニュー ⇒ Assignment Editor をクリック)

- ② 目的のノードを選択します。(推奨 : Node Finder<sup>※</sup> を使用して選出して下さい)
- ・ シングル・ポイントで設定する場合 : To 欄に設定したい信号を選出します。
  - ・ ポイント to ポイント : From 欄と To 欄にそれぞれ設定したい信号を選出します。

※ Node Finder の操作方法に関しては、本資料を入手したサイト内から以下の資料をご覧ください。

『Quartus Prime - 制約の方法 (Assignment Editor)』

- ③ Assignment Name 欄より、”Global Signal” を選択します。
- ④ Value 欄から、適用させたいグローバル・ラインを選択します。

Status	From	To	Assignment Name	Value	Enabled	Entity
4	✓	in clock_50	Location	PIN_R20	Yes	
5	✓	in clock_50	IO Standard	3.3-V LVTTTL	Yes	fpga_top
6	✓	in clock_50	Global Signal	Regional Clock	Yes	fpga_top
7	✓	in clr	Location	Dual-Regional Clock	Yes	
8	✓	in clr	IO Standard	Global Clock	Yes	fpga_top
9	✓	out led[0]	Location	Off	Yes	
10	✓	out led[0]	Current Strength	Regional Clock	Yes	fpga_top

### 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ Global & Other Fast Signals ⇒ Global Resource Used 欄に指定したグローバル・ラインの種類が表示されていれば良好です。

Table of Contents		Global & Other Fast Signals				
	Name	Location	Fan-Out	Global Resource Used	Global Line Name	
Resource Section						
Resource Usage Summary						
Partition Statistics						
Input Pins						
Output Pins						
IO Bank Usage						
All Package Pins						
Resource Utilization by Entity						
Delay Chain Summary						
Pad To Core Delay Chain Fanout						
Control Signals						
Global & Other Fast Signals						
Logic and Routing Section						
1	clock_50	PIN_R20	68	Regional Clock	RCLK56	

- または、Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ Control Signals ⇒ Global 欄に “yes” と表示されていれば良好です。

Table of Contents		Input Pins				
	Name	Pin #	IO Bank	Weak Pull Up	Global	
Resource Section						
Resource Usage Summary						
Partition Statistics						
Input Pins						
Output Pins						
IO Bank Usage						
1	button	P11	3B	On	no	
2	clock_50	R20	5B	Off	yes	
3	clr	P12	3B	Off	no	

## 5. バス・ホールドの設定 <Enable Bus-Hold Circuitry>

I/O ピンが最後にドライブした値を保持させるオプションです。そのピンがハイ・インピーダンス状態になることを防げるため、外部にプルアップまたはプルダウン抵抗などが不要になります。

※ *Weak Pull-Up (内部プルアップの設定)との併用はできません。*

<<サポート・デバイス>>

Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10、MAX V、MAX II

※ Quartus Prime 15.1 でサポートしているすべてのデバイス

### 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Enable Bus-Hold Circuitry” カラムのマスをダブルクリックして、プルダウン・リストから“On”を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Enable Bus-Hold Circuitry
in button	Input	PIN_P11	3B	1.2 V	
in clock_50	Input	PIN_R20	5B	3.3-V LVTTTL	
in clr	Input	PIN_P12	3B	1.2 V	
out led[7]	Output	PIN_H9	8A	2.5 V	On
out led[6]	Output	PIN_H8	8A	2.5 V	Off
out led[5]	Output	PIN_B6	8A	2.5 V	On
out led[4]	Output	PIN_A5	8A	2.5 V	On
out led[3]	Output	PIN_E9	8A	2.5 V	On
out led[2]	Output	PIN_D8	8A	2.5 V	On
out led[1]	Output	PIN_K6	8A	2.5 V	On
out led[0]	Output	PIN_L7	8A	2.5 V	On

### 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Output Pins) ⇒ Bus Hold 欄に“yes”と表示されていれば良好です。

Name	Pin #	I/O Bank	I/O Standard	Bus Hold
1 led[0]	L7	8A	2.5 V	yes
2 led[1]	K6	8A	2.5 V	yes
3 led[2]	D8	8A	2.5 V	yes
4 led[3]	E9	8A	2.5 V	yes
5 led[4]	A5	8A	2.5 V	yes
6 led[5]	B6	8A	2.5 V	yes
7 led[6]	H8	8A	2.5 V	yes
8 led[7]	H9	8A	2.5 V	yes
9 ledr0	F7	8A	2.5 V	no
10 ledr1	F6	8A	2.5 V	no
11 ledr2	G6	8A	2.5 V	no
12 ledr3	G7	8A	2.5 V	no
13 ledr4	J8	8A	2.5 V	no
14 ledr5	I7	8A	2.5 V	no

## 6. PCI クランプ・ダイオードの設定 <PCI I/O>

I/O ピンに対して Peripheral Component Interconnect (PCI) の互換性を付加するオプションです。また、外部デバイスとのインタフェースにおいて、I/O 出力ドライブ・バッファ用電源(VCCIO)よりも高電圧の入出力と接続するときにこのオプションが必要な場合があります。詳細は、各デバイスのハンドブックをご確認ください。

<<サポート・デバイス>>

Cyclone IV、MAX 10、MAX V(一部の型式のみ)、MAX II(一部の型式のみ)

### 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“PCI I/O”カラムのマスをダブルクリックして、プルダウン・リストから“On”を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	IO Bank	IO Standard	PCI I/O	able
in button	Input			2.5 V (default)		
in clock_50	Input			2.5 V (default)		
in clr	Input			2.5 V (default)		
out led[7]	Output	IOBANK_8	8	3.3-V LVTTTL	On	
out led[6]	Output	IOBANK_8	8	3.3-V LVTTTL	Off	
out led[5]	Output	IOBANK_8	8	3.3-V LVTTTL	On	
out led[4]	Output	IOBANK_8	8	3.3-V LVTTTL	On	
out led[3]	Output	IOBANK_8	8	3.3-V LVTTTL	On	
out led[2]	Output	IOBANK_8	8	3.3-V LVTTTL	On	
out led[1]	Output	IOBANK_8	8	3.3-V LVTTTL	On	
out led[0]	Output	IOBANK_8	8	3.3-V LVTTTL	On	

### 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Output Pins) ⇒ PCI I/O Enabled 欄に“yes”と表示されていれば良好です。

Name	Pin #	IO Bank	IO Standard	PCI I/O Enabled
led[0]	A4	8	3.3-V LVTTTL	yes
led[1]	A2	8	3.3-V LVTTTL	yes
led[2]	A8	8	3.3-V LVTTTL	yes
led[3]	A5	8	3.3-V LVTTTL	yes
led[4]	A6	8	3.3-V LVTTTL	yes
led[5]	B7	8	3.3-V LVTTTL	yes
led[6]	D12	8	3.3-V LVTTTL	yes
led[7]	A7	8	3.3-V LVTTTL	yes

## 7. スルー・レート・コントロールの設定 <Slow Slew Rate / Slew Rate>

### 7-1. Slow Slew Rate の設定

出力ピンと双方向ピンに対して、信号の立ち上がりおよび立ち下りの角度をなだらかにするオプションです。このオプションを設定するとオーバーシュートやアンダーシュート、同時スイッチング・ノイズを低減することができます。また、なだらかに信号を切り替えることにより遅延(Tco: クロック to アウトプット時間)が増加しますのでご注意ください。

<<サポート・デバイス>>

MAX V、MAX II

#### 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Slow Slew Rate”カラムのマスをクリックして、プルダウン・リストから“On”を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Slow Slew Rate
button	Input			3.3-V LVTTTL (default)	
clock_50	Input			3.3-V LVTTTL (default)	
clr	Input			3.3-V LVTTTL (default)	
led[7]	Output			3.3-V LVTTTL (default)	On
led[6]	Output			3.3-V LVTTTL (default)	Off
led[5]	Output			3.3-V LVTTTL (default)	On
led[4]	Output			3.3-V LVTTTL (default)	On
led[3]	Output			3.3-V LVTTTL (default)	On
led[2]	Output			3.3-V LVTTTL (default)	On
led[1]	Output			3.3-V LVTTTL (default)	On
led[0]	Output			3.3-V LVTTTL (default)	On

#### 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Output Pins) ⇒ Slow Slew Rate 欄に“yes”と表示されていれば良好です。

Name	Pin #	I/O Bank	I/O Standard	Slow Slew Rate
led[0]	T13	4	3.3-V LVTTTL	yes
led[1]	M15	3	3.3-V LVTTTL	yes
led[2]	J15	3	3.3-V LVTTTL	yes
led[3]	K14	3	3.3-V LVTTTL	yes
led[4]	R13	4	3.3-V LVTTTL	yes
led[5]	M12	4	3.3-V LVTTTL	yes
led[6]	L16	3	3.3-V LVTTTL	yes
led[7]	K12	3	3.3-V LVTTTL	yes
tp[0]	L11	3	3.3-V LVTTTL	no
tp[1]	K15	3	3.3-V LVTTTL	no
tp[2]	L15	3	3.3-V LVTTTL	no
tp[3]	L12	3	3.3-V LVTTTL	no

## 7-2. Slew Rate の設定

出力ピンと双方向ピンに対して、信号の立ち上がりおよび立ち下りの角度をなだらかにするオプションです。このオプションを設定するとオーバーシュートやアンダーシュート、同時スイッチング・ノイズを低減することができます。また、なだらかに信号を切り替えることにより遅延(Tco: クロック to アウトプット時間)が増加しますのでご注意ください。

<<サポート・デバイス>>

Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10

### 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Slew Rate”カラムのマスをダブルクリックして、プルダウン・リストから“On”を選択します。

- 設定値 : (遅い) 0、1、2、3 (速い)

※ 選択できる設定値はデバイスによって異なります。

- Stratix V : 0、1
- Stratix IV : 0、1、2、3
- Arria 10 : 0、1
- Arria V : 0、1
- Arria II GX/GT : 0、1
- Arria II GZ : 0、1、2、3
- Cyclone V : 0、1
- Cyclone IV : 0、1
- MAX 10 : 0、1、2

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Slew Rate	able
in_button	Input	PIN_P11	3B	1.2 V		
in_clock_50	Input	PIN_R20	5B	3.3-V LVTTTL		
in_clr	Input	PIN_P12	3B	1.2 V		
out_led[7]	Output	PIN_H9	8A	2.5 V	1 (default)	
out_led[6]	Output	PIN_H8	8A	2.5 V	0 (slowest)	
out_led[5]	Output	PIN_B6	8A	2.5 V	1 (default)	
out_led[4]	Output	PIN_A5	8A	2.5 V	1 (fastest)	
out_led[3]	Output	PIN_E9	8A	2.5 V	1 (default)	On
out_led[2]	Output	PIN_D8	8A	2.5 V	1 (default)	On
out_led[1]	Output	PIN_K6	8A	2.5 V	1 (default)	On
out_led[0]	Output	PIN_L7	8A	2.5 V	1 (default)	On

## 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Output Pins) ⇒ Slew Rate 欄に設定値が表示されていれば良好です。

Table of Contents		Output Pins				
	Name	Pin #	IO Bank	IO Standard	Slew Rate	
1	led[0]	L7	8A	2.5 V	1	
2	led[1]	K6	8A	2.5 V	1	
3	led[2]	D8	8A	2.5 V	1	
4	led[3]	E9	8A	2.5 V	1	
5	led[4]	A5	8A	2.5 V	1	
6	led[5]	B6	8A	2.5 V	1	
7	led[6]	H8	8A	2.5 V	1	
8	led[7]	H9	8A	2.5 V	1	
9	ledr0	F7	8A	2.5 V	1	
10	ledr1	F6	8A	2.5 V	1	
11	ledr2	G6	8A	2.5 V	1	
12	ledr3	G7	8A	2.5 V	1	

## 8. シュミット・トリガの設定 <Schmitt Trigger Input ~ I/O Standard>

入力ピンに対してシュミット・トリガを付加するオプションです。詳細は、各デバイスのハンドブックをご確認ください。

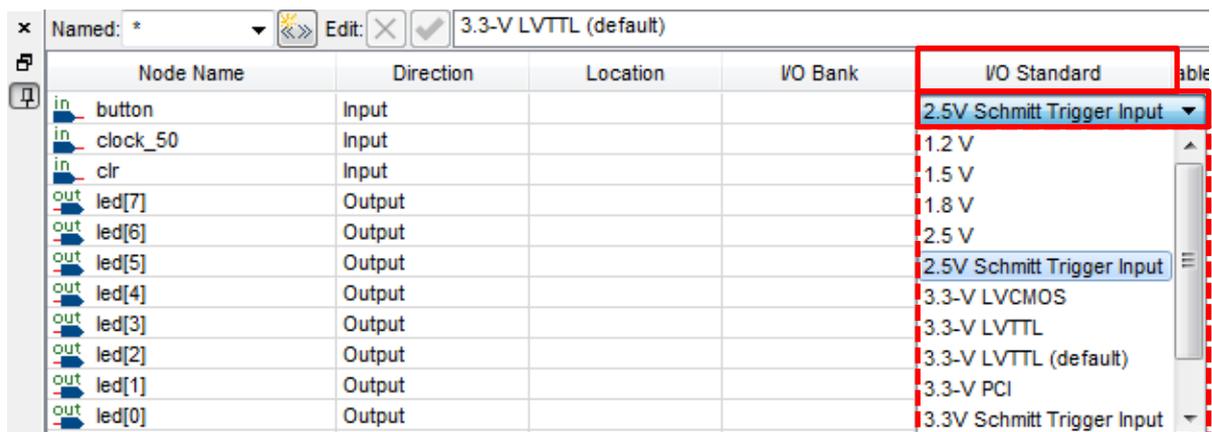
<<サポート・デバイス>>

MAX V、MAX II

### 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“I/O Standard”カラムのマスをダブルクリックして、プルダウン・リストから“2.5V Schmitt Trigger Input”または“3.3V Schmitt Trigger Input”を選択します。

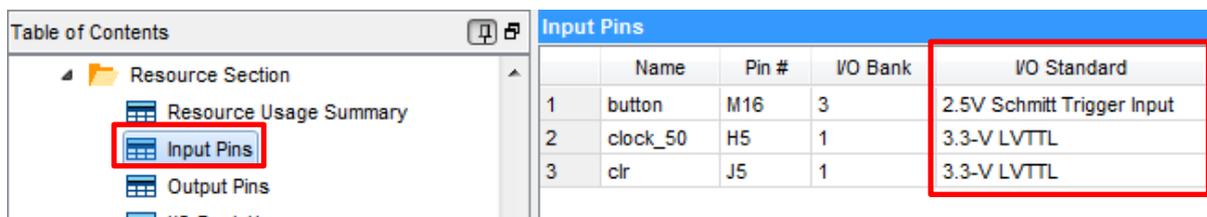
※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。



### 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ Input Pins ⇒ I/O Standard 欄に設定値が表示されていれば良好です。



## 9. IOE レジスタの設定 <Fast Input/Output/Output Enable Register>

I/O タイミング(セットアップ時間、クロック to アウトプット時間)を高速にするオプションです。このオプションにより、レジスタの配置をロジック・エレメント内のレジスタではなく I/O エレメント内のレジスタへマッピングさせることができ、さらに高速なタイミングを実現することができます。

I/O エレメント内のレジスタにフィッティングするには、デザインの構成として、ピンとレジスタが 1 対 1 の関係で、かつダイレクトに接続されている(つまり、ロジックを経由していない)こと(Fast Output Enable Register の場合にはトライステートのアウトプット・イネーブル信号にダイレクトに接続していること)が条件です。

このオプションは、I/O エレメントに配置させたいレジスタ、またはそのレジスタに直結する I/O ピンに対して設定します。(タイミングを高速化したい I/O ピンに対して設定してください。)ここでは、ピンに対して設定する方法を紹介します。

### <<サポート・デバイス>>

- Fast Input Register

Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10、MAX V、MAX II

※ Quartus Prime 15.1 でサポートしているすべてのデバイス

- Fast Output Register

Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10、MAX V、MAX II

※ Quartus Prime 15.1 でサポートしているすべてのデバイス

- Fast Output Enable Register

Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10、MAX V、MAX II

※ Quartus Prime 15.1 でサポートしているすべてのデバイス

### 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Fast Input Register”や“Fast Output Register”、“Fast Output Enable Register” カラムのマスをクリックして、プルダウン・リストから“On”を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Fast Input Register	Fast Output Register	Fast Output Enable Register
in button	Input			2.5 V (default)			
in clock_50	Input			2.5 V (default)			
in clr	Input			2.5 V (default)			
out led[7]	Output	PIN_H9	8A	2.5 V		On	
out led[6]	Output	PIN_H8	8A	2.5 V		On	
out led[5]	Output	PIN_B6	8A	2.5 V		On	
out led[4]	Output	PIN_A5	8A	2.5 V		On	
out led[3]	Output	PIN_E9	8A	2.5 V		On	
out led[2]	Output	PIN_C8	8A	2.5 V		On	
out led[1]	Output	PIN_D6	8A	2.5 V		On	
out led[0]	Output	PIN_L7	8A	2.5 V		On	

## 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例: Output Pins) ⇒ Output Register(または Input Pins ⇒ Input Register、Output Pins ⇒ Output Enable Register)に “yes” と表示されていれば良好です。

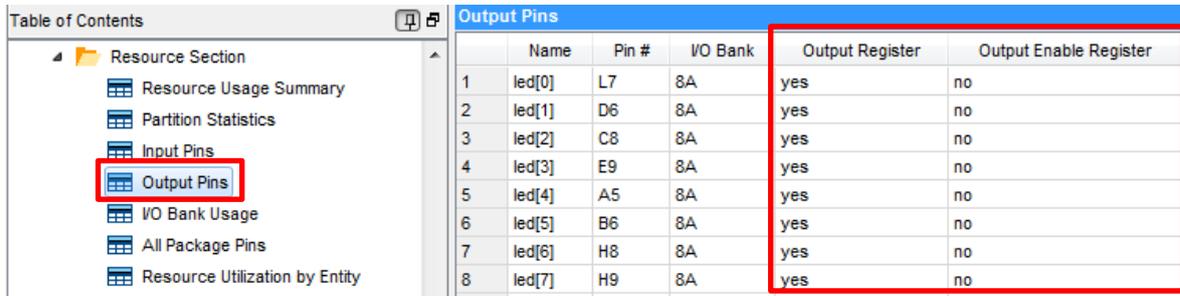


Table of Contents				Output Pins	
Resource Section				Output Register	Output Enable Register
Resource Usage Summary					
Partition Statistics					
Input Pins					
<b>Output Pins</b>					
I/O Bank Usage					
All Package Pins					
Resource Utilization by Entity					
Name	Pin #	I/O Bank	Output Register	Output Enable Register	
1 led[0]	L7	8A	yes	no	
2 led[1]	D6	8A	yes	no	
3 led[2]	C8	8A	yes	no	
4 led[3]	E9	8A	yes	no	
5 led[4]	A5	8A	yes	no	
6 led[5]	B6	8A	yes	no	
7 led[6]	H8	8A	yes	no	
8 led[7]	H9	8A	yes	no	

## 10. 内部終端抵抗の設定 <On-Chip Termination>

### 10-1. Output Termination の設定

出力ピンと入出力ピンに対して、内部終端抵抗（On-Chip Termination）を付加できるオプションです。内部終端抵抗を使用することで、インピーダンス・マッチングによりシグナル・インテグリティを向上させ、プリント基板(PCB) デザインを簡素化することができます。

- ※ 内部終端抵抗の特性や基板上での処理などデバイス・ファミリにより異なりますので、各デバイス・ファミリのハンドブックをご覧ください。
- ※ Series Termination に設定した場合、Current Strength (出力電流値の設定)との併用はできません。
- ※ 双方向ピンに対して Input Termination と併用する場合は、ALTIobuf のダイナミック・ターミネーション・コントロール機能が必要です。

#### <<サポート・デバイス>>

Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10

#### 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Output Termination” カラムのマスをクリックして、プルダウン・リストから希望の設定項目を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Output Termination	Input Termination	Fast
button	Input	PIN_P11	3B	1.2 V			On
clock_50	Input	PIN_R20	5B	3.3-V LVTTTL			
clr	Input	PIN_P12	3B	1.2-V HSTL Class I		Parallel 50 Ohm with Calibration	On
led[7]	Output	PIN_H9	8A	2.5 V	Series 50 Ohm with Calibration		
led[6]	Output	PIN_H8	8A	2.5 V	Series 25 Ohm without Calibration		
led[5]	Output	PIN_B6	8A	2.5 V	Series 34 Ohm with Calibration		
led[4]	Output	PIN_A5	8A	2.5 V	Series 34 Ohm without Calibration		
led[3]	Output	PIN_E9	8A	2.5 V	Series 40 Ohm		
led[2]	Output	PIN_D8	8A	2.5 V	Series 40 Ohm with Calibration		
led[1]	Output	PIN_K6	8A	2.5 V	Series 40 Ohm without Calibration		
led[0]	Output	PIN_L7	8A	2.5 V	Series 48 Ohm with Calibration		
tp[3]	Output	PIN_B9	7A	2.5 V	Series 48 Ohm without Calibration		
tp[2]	Output	PIN_C9	7A	2.5 V	Series 50 Ohm		
tn[11]	Output	PIN_F11	7A	2.5 V	Series 50 Ohm with Calibration		

## 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Output Pins) ⇒ Termination 欄に設定値が表示されていれば良好です。

Table of Contents		Output Pins					
		Name	Pin #	IO Bank	IO Standard	Termination	
Resource Section	Resource Usage Summary	1	led[0]	L7	8A	2.5 V	Series 50 Ohm with Calibration
	Partition Statistics	2	led[1]	K6	8A	2.5 V	Series 50 Ohm with Calibration
	Input Pins	3	led[2]	D8	8A	2.5 V	Series 50 Ohm with Calibration
	<b>Output Pins</b>	4	led[3]	E9	8A	2.5 V	Series 50 Ohm with Calibration
	IO Bank Usage	5	led[4]	A5	8A	2.5 V	Series 50 Ohm with Calibration
	All Package Pins	6	led[5]	B6	8A	2.5 V	Series 50 Ohm with Calibration
	Resource Utilization by Entity	7	led[6]	H8	8A	2.5 V	Series 50 Ohm with Calibration
		8	led[7]	H9	8A	2.5 V	Series 50 Ohm with Calibration

## 10-2. Input Termination の設定

入力ピンと入出力ピンに対して、内部終端抵抗 (On-Chip Termination) を付加できるオプションです。内部終端抵抗を使用することで、インピーダンス・マッチングによりシグナル・インテグリティを向上させ、プリント基板 (PCB) デザインを簡素化することができます。

- ※ 内部終端抵抗の特性や基板上での処理などデバイス・ファミリーにより異なりますので、各デバイス・ファミリーのハンドブックをご覧ください。
- ※ 双方向ピンに対して Output Termination と併用する場合は、ALTIobuf のダイナミック・ターミネーション・コントロール機能が必要です。

<<サポート・デバイス>>

Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV

## 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Input Termination” カラムのマスをクリックして、プルダウン・リストから希望の設定項目を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Output Termination	Input Termination	Fast I/O
button	Input	PIN_P11	3B	1.2 V			On
clock_50	Input	PIN_R20	5B	3.3-V LVTTTL			
clr	Input	PIN_P12	3B	1.2-V HSTL Class I		Parallel 50 Ohm with Calibration	
led[7]	Output	PIN_H9	8A	2.5 V	Series 50 Ohm with Calibration		
led[6]	Output	PIN_H8	8A	2.5 V	Series 50 Ohm with Calibration		
led[5]	Output	PIN_B6	8A	2.5 V	Series 50 Ohm with Calibration		
led[4]	Output	PIN_A5	8A	2.5 V	Series 50 Ohm with Calibration		
led[3]	Output	PIN_E9	8A	2.5 V	Series 50 Ohm with Calibration		
led[2]	Output	PIN_D8	8A	2.5 V	Series 50 Ohm with Calibration		
led[1]	Output	PIN_K6	8A	2.5 V	Series 50 Ohm with Calibration		
led[0]	Output	PIN_L7	8A	2.5 V	Series 50 Ohm with Calibration		
tp[3]	Output	PIN_B9	7A	2.5 V			
tp[2]	Output	PIN_C9	7A	2.5 V			

## 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例: Input Pins) ⇒ Termination 欄に設定値が表示されていれば良好です。

Table of Contents		Input Pins					
Resource Section		Name	Pin #	I/O Bank	I/O Standard	Termination	
Resource Usage Summary		1	button	P11	3B	1.2 V	Off
Partition Statistics		2	clock_50	R20	5B	3.3-V LVTTTL	Off
<b>Input Pins</b>		3	clr	P12	3B	1.2-V HSTL Class I	Parallel 50 Ohm with Calibration
Output Pins		4	term..._pad	D12	7A	2.5 V	Off
		5	term..._pad	AE11	4A	1.2 V	Off

## 11. 仮想ピンの設定 <Virtual Pin>

下位階層デザインの入力ピンと出力ピンを仮想ピンとして扱うオプションです。

例えば設計フローとして、下位階層デザインごとにコンパイルしデザインを組み上げ取る方法を取った場合、ある下位モジュールのポート本数がターゲット・デバイスのピン数を超過してしまうとコンパイル・エラーになります。そのような場合に、下位階層の I/O ポートを仮想ピンとして指定することで回避することができます。仮想ピンに指定された I/O ポートは、ターゲット・デバイスに応じ LCELL(デバイスのアーキテクチャにより ALM)にマッピングされます。

このオプションは、インクリメンタル・コンパイルや LogicLock など下位階層モジュールごとに最適化していくコンパイル手法に有効です。

なお、Virtual Pin に設定された下位階層モジュールのポートが上位階層のポートと接続された場合、Quartus II コンパイラはこのオプションを無視し、自動的にノードとして処理して接続します。

### <<サポート・デバイス>>

Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10、MAX V、MAX II

※ Quartus Prime 15.1 でサポートしているすべてのデバイス

### 設定手順

- ① Assignment Editor を起動します。(Assignments メニュー ⇒ Assignment Editor をクリック)
  - ② To 欄に設定したいピン名を選択します。(推奨 : Node Finder<sup>※</sup> を使用して選出して下さい)
- ※ Node Finder の操作方法に関しては、本資料を入手したサイト内から以下の資料をご覧ください。

『Quartus Prime - 制約の方法 (Assignment Editor)』

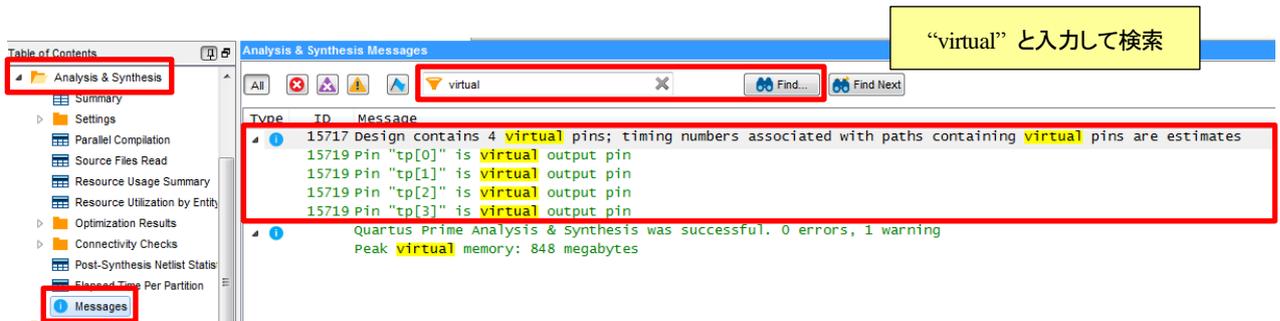
- ③ Assignment Name 欄より、“Virtual Pin” を選択します。
- ④ Value 欄から “On” を選択します。

Status	From	To	Assignment Name	Value	Enabled
5	✓	 tp	Virtual Pin	On	Yes
6	✓	 ledr9	Reserve Pin	Off	Yes
7	✓	 ledr9	Location	On	Yes

## 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

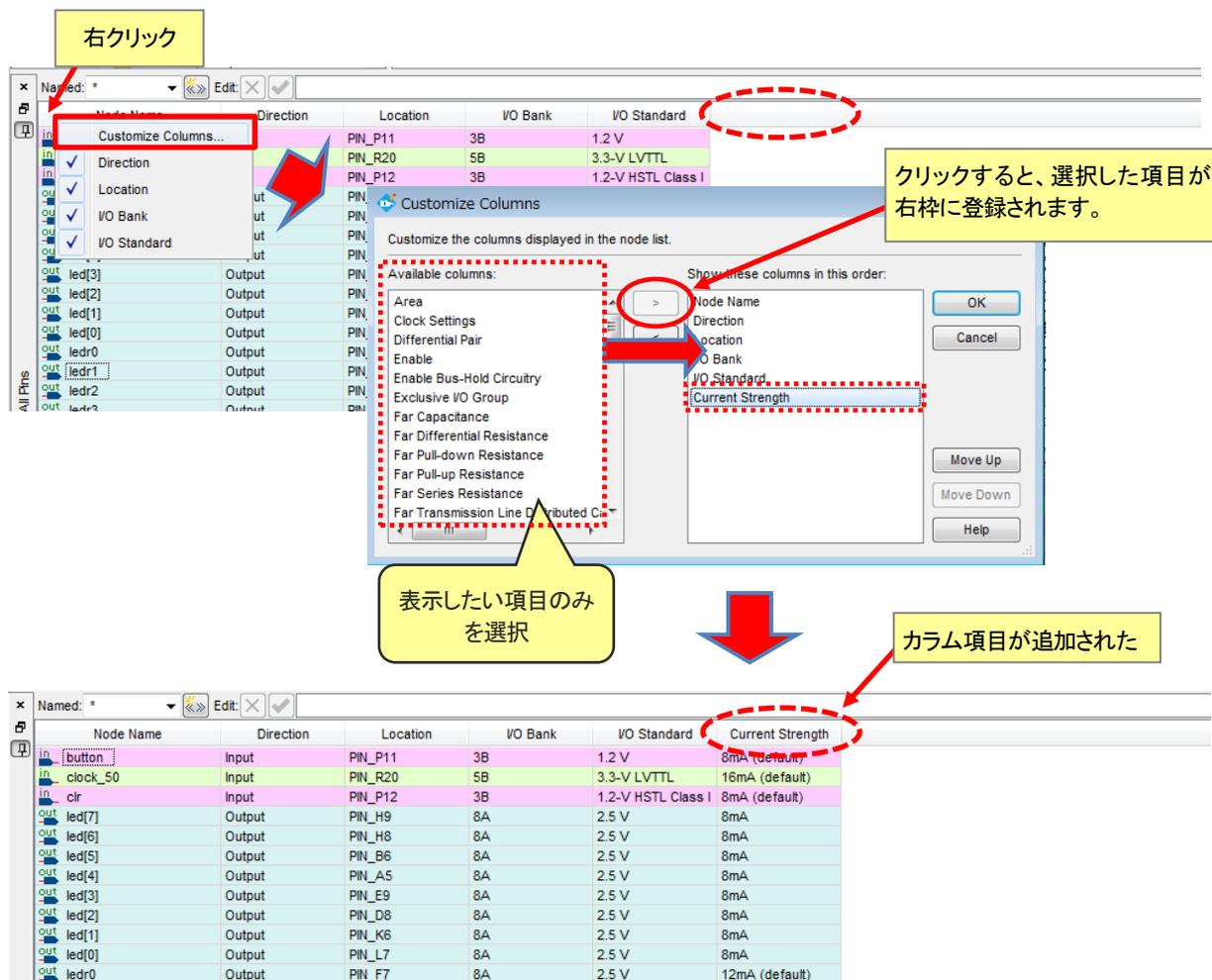
- Compilation Report ⇒ Analysis & Synthesis ⇒ Messages で “virtual” と入力して検索し、設定したピンが表示されていれば良好です。



## Appendix: カスタマイズ・カラム

Pin Planner の All Pin List のカラム項目を追加したい場合には、カラム項目あたりを右クリック ⇒ Customize Columns により追加ができます。

Customize Columns ダイアログ・ボックスの “Available columns” (左枠) から設定したいカラムを選択し、 をクリックします。“Show these columns in this order” (右枠) に登録されたことを確認して、OK ボタンをクリックします。



**右クリック**

クリックすると、選択した項目が右枠に登録されます。

表示したい項目のみを選択

カラム項目が追加された

Node Name	Direction	Location	I/O Bank	I/O Standard	Current Strength
button	Input	PIN_P11	3B	1.2 V	8mA (default)
clock_50	Input	PIN_R20	5B	3.3-V LVTTTL	16mA (default)
clr	Input	PIN_P12	3B	1.2-V HSTL Class I	8mA (default)
led[7]	Output	PIN_H9	8A	2.5 V	8mA
led[6]	Output	PIN_H8	8A	2.5 V	8mA
led[5]	Output	PIN_B6	8A	2.5 V	8mA
led[4]	Output	PIN_A5	8A	2.5 V	8mA
led[3]	Output	PIN_E9	8A	2.5 V	8mA
led[2]	Output	PIN_D8	8A	2.5 V	8mA
led[1]	Output	PIN_K6	8A	2.5 V	8mA
led[0]	Output	PIN_L7	8A	2.5 V	8mA
ledr0	Output	PIN_F7	8A	2.5 V	12mA (default)

## 改版履歴

Revision	年月	概要
1	2016年2月	初版

### 免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>

株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。