

Quartus Prime はじめてガイド ピン・アサインの方法

ver.15.1



2016年2月 Rev.1

ELSENA,Inc.





Quartus Prime はじめてガイド

ピン・アサインの方法

<u>目次</u>

1.	はじめ	DIE
2.	事前作	乍業
	2-1.	デバイスの選択4
	2-2.	データベースの構築
3.	ユ—+	ザ I/O ピンのアサイン方法
4.	未使月	月ユーザ I∕O ピンの属性設定方法10
5.	コンパ	パイル後の確認11
6.	Live I	/O Checking13
7.	I/O As	ssignment Analysis
8.	その他	セの機能15
	8-1.	Back-Annotate Assignments
	8-2.	CSV ファイル
	8-2-	-1.CSV ファイルのエクスポート16
	8-2-	-2. ピン制約情報の編集16
	8-2-	-3. CSV ファイルのインポート17
	8-3.	Show Fitter Placement
	8-4.	Pad View ウィンドウ19
改胤	反履歴.	

1. <u>はじめに</u>

この「Quartus Prime はじめてガイド」シリーズは、Quartus® Prime 開発ソフトウェアを初めてご利用になるユーザ向けの資料です。



この資料は、Quartus Prime 開発ソフトウェアにおけるデバイスのピン・アサイン設定に関して説明しています。

主に、ユーザ回路のピンを Pin Planner を用いて、ターゲット・デバイスのピン番号に割り当てる(アサインする) 方法を紹介します。また、ピンの I/O 規格の設定方法や未使用ユーザ I/O ピンの属性を個々のピンに設定する 方法(個別設定)も案内しています。

その他、コンパイル・レポートの確認方法や便利な機能も紹介します。ピン・アサインを行う際にご覧ください。



2. <u>事前作業</u>

2-1. デバイスの選択

ピンをアサインするためには、ターゲット・デバイスを決定する必要があります。デバイスの型式を設定していない場合は、以下の作業を行ってください。(既に型式を指定している場合は、この作業は不要です。)

- ① Assignments $\prec = \neg \rightarrow$ Device を選択します。
- ② Family リストより、指定するデバイス・ファミリ名を選択します。
- ③ Target device 内において、"Specific device selected in 'Available devices' list"を選択します。
- ④ Available devices の一覧から、型式を選択して OK ボタンをクリックします。

Select the family and You can install ad	device you want to	target for con マミリの選	npilation. Sectors comman Rich your ta	パッケ- d を設け rg 型式が	ージやピン数、ス ると、"Available 限定され選択し	、ピード・グレードに条件 devices"に表示される やすくなります。						
Device family				Show in 'Ava	ailable devices' list							
Femily: Ovelage)				Deckerer	FROM							
ramily. Cyclone	(E/G//G1/5//SE/S1)		Pac <u>k</u> age.	FBGA	•						
Devices: All			-	Pin <u>c</u> ount:	672	•						
				Core Speed	grade: 7_H6	•						
l arget device				Name filter								
Auto device se	elected by the Fitter			wame niter:								
Specific device	e selected in 'Availab	le devices' list	t	Show ad	lvanced devices							
O Other: n/a Device and Pin Options Available devices:												
Name	Core Voltage	ALMs	Total I/Os	GPIOs	GXB Channel PM	MA GXB Channel PCS						
5CGXBC5C6F27C7	1.1V	29080	364	336	6	6						
5CGXBC7D6F27C7	1.1V	56480	378	336	9	9						
5CGXBC9D6F27C7	1.1V	113560	378	336	9	9						
	1.1V	18860	364	336	6	6						
5CGXFC4C6F27C7		40000	264	226	6	0						
5CGXFC4C6F27C7	4.41/					-						
5CGXFC4C6F27C7 5CGXFC4C6F27C7 5CGXFC5C6F27C7	1.1V	29080	364	336	6	6						
5CGXFC4C6F27C7 5CGXFC4C6F27I7 5CGXFC5C6F27C7 5CGXFC5C6F27I7	1.4V 1.1V 1.1V	29080 29080	364 364	336 336	6	6 6						
5CGXFC4C6F27C7 5CGXFC4C6F27C7 5CGXFC5C6F27C7 5CGXFC5C6F27I7 5CGXFC7D6F27C7	1.1V 1.1V 1.1V 1.1V	29080 29080 56480	364 364 378	336 336 #II-H	6 6 の選択	6 = = = = = = = = = = = = = = = = = = =						
5CGXFC4C6F27C7 5CGXFC4C6F27I7 5CGXFC5C6F27C7 5CGXFC5C6F27I7 5CGXFC7D6F27C7 5CGXFC7D6F27I7	1.1V 1.1V 1.1V 1.1V 1.1V 1.1V	29080 29080 56480 56480	364 364 378 378	336 336 型式	6 。 の選択	6 = = = = = = = = = = = = = = = = = = =						
5CGXFC4C6F27C7 5CGXFC4C6F27C7 5CGXFC5C6F27C7 5CGXFC5C6F2717 5CGXFC7D6F27C7 5CGXFC7D6F2717 5CGXFC9D6F27C7	1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V	29080 29080 56480 56480 113560	364 364 378 378 378 378	336 336 型式 336	6 5 の選択 9	6 6 9 9 9 9 9 9						
5CGXFC4C6F27C7 5CGXFC4C6F27C7 5CGXFC5C6F27C7 5CGXFC5C6F27C7 5CGXFC7D6F27C7 5CGXFC7D6F2717 5CGXFC9D6F27C7 5CGXFC9D6F2717	1.4V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V	29080 29080 56480 56480 113560 113560	364 364 378 378 378 378 378 378	336 338 型式 336 336 336	6 5 の選択 9 9	6 6 9 9 9 9 9 9 9 7 7 7 7 7 7 7 7 7 7 7						
SCGXFC4C6F27C7 SCGXFC5C6F27C7 SCGXFC5C6F27C7 SCGXFC7D6F27C7 SCGXFC7D6F27C7 SCGXFC9D6F27C7 SCGXFC9D6F27C7 SCGXFC9D6F27C7 SCGXFC9D6F27C7 4	1.4V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V	29080 29080 56480 56480 113560 113560	364 364 378 378 378 378 378	336 338 型式 336 336 336	6 の選択 9 9	6 9 9 9 9 9 9 9 9						

2-2. データベースの構築

ピンをアサインする前にデザイン情報を作成しておくと、Pin Planner の All Pins リスト上に自動的にピン名が表示されるので、とても便利です。以下の何れかの操作を実行してください。(実行時間が短いので、<u>推奨は Start</u> Analysis & Elaboration です。また、すでに実行済みの場合は、この作業は不要です。)

-	Processing $\forall = = = \Rightarrow$ Start \Rightarrow Start Analysis & Elaboration	(お勧め度:高)
-	Processing $\checkmark = = = \Rightarrow$ Start \Rightarrow Start Analysis & Synthesis	(お勧め度:中)
-	Processing $\forall = = = \rightarrow$ Start Compilation	(お勧め度:低)

3. <u>ユーザ I/O ピンのアサイン方法</u>

\Lambda ALTIMA

Pin Planner を用いてデザイン内のピンを目的のピン番号へアサインする方法を紹介します。同時に、アサインしたピンの I/O Standard の設定方法も紹介します。なお、この操作は「第2章 事前作業」を実行していることを前提にしています。

- ① Pin Planner を起動します。以下の何れかの方法で起動してください。
 - Assignments メニュー ⇒ Pin Planner を選択
 - ツールバーの 🍯 ボタンをクリック



※ Groups リストが表示されていない場合は、View メニュー ⇒ Groups List にチェックを入れると表示されます。

【補足①: パッケージ・ビューの表示設定】

シンボルの説明

Pin Legend

× . Symbol Pin Type User I/O Ξ



<u>差動ピンのペア表示</u>

View $\not\prec = = = \Rightarrow$ *Show* \Rightarrow *Show Differential Pin Pair Connections*

ツールバーの 🧵 ボタンをクリック



- ② ピンを目的の番号へアサインします。1 ピンずつ設定する方法とグループ単位で設定する方法があります。
 - ◆ <u>1 ピンずつ設定する方法</u>

All Pins リストからピン名を選択し、ドラッグ & ドロップでパッケージ・ビュー上の配置したいピンまで移動させます。



Node Name	Direction	Location	VO Bank	VO Standard	Reserved	Current Strength	
in_ button	Input			2.5 V (default)		12mA (default)	
Lock_50	Input			2.5 V (default)		12mA (default)	
in_ clr	Input			2.5 V (default)		12mA (default)	
out led[7]	Output			2.5 V (default)		12mA (default)	
out ledi61	Output			2.5 V (default)	12mA (defa		
out led[5]	Output	PIN_A5	8A	2.5 V (default)		12mA (default)	
led[4]	Output			2.5.V (defeult)		12mA (default)	
eut led[3]	Output アサイ	ンされた情報が	All Pins リストにも	し反映される り		12mA (default)	
out led[2]	Output			z. o v (uerau lt)		12mA (default)	
out led[1]	Output			2.5 V (default)		12mA (default)	

その他、All Pins リストのスプレッド・シートの Location 項をダブルクリックし、プルダウン・リストから選択する方法でも設定可能です。(番号を直接タイプすることでも設定可能です。)

Node Name	Direction	Location	VO Bank	VO Standard	Reserved	Current	Strength						
in_ button	Input			2.5 V (default) 12mA									
in_ clock_50	Input		Location 項をダブルクリック ⇒ プルダウン・リストから選択										
in_ clr	Input												
out led[7]	Output			みたは パン ボロナオサム パン だ									
out led[6]	Output			こ ノ 留 方 ど 但 按 グ	イビング		fault)						
out led[5]	Output												
out led[4]	Output	IODANK BOL											
out led[3]	Output	IOBANK_B1L											
out led[2]	Output	PIN_A5	IOBANK_8A	Column I/O	DIFFIO_TX_T42p, I	DIFFOUT_T4	2p, DQ6T						
out led[1]	Output	PIN_A7	IOBANK 8A Column VO FPLL TL CLKOUTO, FPLL T										
•		PIN_A8	IOBANK_7A	Column I/O	DIFFIO_TX_T24p, I	DIFFOUT_T2	4p, DQ3T						
		001 40	100 4 11/2 7 4	O alterna IVO			4-						

Assign Right Assign One

Back-Annotate

Early Pin Planning

Ctrl+Z

Ctrl+Y

Ctrl+X

Ctrl+C

Ctrl+V

Ctrl+A Ctrl+F

Del

F3

グループ単位で設定する方法

バス信号は自動でグループ化されます。Groups リストからアサインしたいピンを複数選択し、ドラッ グ & ドロップでパッケージ・ビュー上の配置したいピン番号まで移動させます。



- ※ メンバーに登録された順番(上から)で、アサインされます。そのピンのアサインが 完了すると、次のメンバーのピン名がカーソルに表示されます。メンバーの一番下 のピン名のアサインが完了するまで、連続でアサインすることができます。
- ③ I/O Standard を設定します。デフォルトでデバイスのすべてのユーザ I/O に設定した I/O Standard (I/O Standard の全体設定)が表示されています。変更がある場合は、グループ・リスト、または All Pins リスト の I/O Standard 欄をダブルクリックし、プルダウン・リストより選択します。

Node Name	Direction	Location	VO Bank	VO Standard	Reserved	Current Strength
out led[7]	Output	PIN_A7	8A	2.5 V (default)		12mA (default)
out led[6]	Output	PIN_B6	8A	2.5 V (default)		12mA (default)
out led[5]	Output	PIN_A5	8A	2.5 V (default)	•	12mA (default)
out led[4]	Output	PIN_B7	8A	3.0-V PCI-X	.	12mA (default)
out led[3]	Output	PIN_C7	8A	3.3-V I VCMOS		12mA (default)
out led[2]	Output	PIN_D7	8A	3.3-V LVTTL		12mA (default)
out led[1]	Output	PIN_D6	8A	Differential 1.2-V HS	TL Class I	12mA (default)
eut led[0]	Output	PIN_E6	8A	Differential 1.2-V HS	TL Class II 遺	12mA (default)
out tp[3]	Output			Differential 1.2-V HS	UL	12mA (default)
out tp[2]	Output			Differential 1.5-V HS	TL Class I	12mA (default)

上記②~③の操作を繰り返して他のピンのアサインを行っていきます。

※ I/O Standard の全体設定は、Device & Pin Options ダイアログ・ボックス内 Voltage タブで行います。操作方法に関しては、 本資料を入手したサイト内から以下の資料をご覧ください。

『Ouartus Prime はじめてガイド - デバイス・オプションの設定方法』

- ④ コンパイルを実行します。何れかの操作で実行してください。
 - Processing メニュー ⇒ Start Compilation を選択
 - ▶ ボタンをクリック
 - ※ コンパイル実行することなくピンの適合性を確認する場合は、『第6章 Live I/O Checking』や『第7章 I/O Assignment Analysis』をご覧ください。

【補足② : ピン・オプション】

デザイン内のピン・オプションを設定する場合は、Pin Planner の All Pins リスト上で設定することができま す。Assignment Editor でも設定できますが、Pin Planner で設定することを推奨しています。

※ ピン・オプションの設定や Assignment Editor を使用した制約の方法に関しては、本資料を入手したサイト内から以下の資料をご覧ください。

『Quartus Prime - よく使用するピン・オプションの設定方法』

『Quartus Prime - 制約の方法(Assignment Editor)』

例)Current Strength (出力電流値)を Pin Planner で設定する場合

All Pins リスト内において、オプションを設定するピンの Current Strength 項をダブルクリックします。以下のように、表示されたプルダウン・リストから出力電流値を選択します。(この設定は、Assignment Editor に反映されます。)

Node Name	Direction	Location	VO Bank	VO Standard	Reserved	Current Strength	Slew Rate
out led[7]	Output	PIN_A7	8A	2.5 V (default)		12mA (default)	1 (default)
eut led[6]	Output	PIN_B6	8A	2.5 V (default)		12mA (default)	1 (default)
eut led[5]	Output	PIN_A5	8A	2.5 V (default)		12mA (default)	🛨 lefault)
eut led[4]	Output	PIN_B7	8A	2.5 V (default)		4mA	lefault)
out led[3]	Output	PIN_C7	8A	2.5 V (default)		8mA	efault)
eut led[2]	Output	PIN_D7	8A	2.5 V (default)		12mA	efault)
out led[1]	Output	PIN_D6	8A	2.5 V (default)		12mA (default)	lefault)
out led[0]	Output	PIN_E6	8A	2.5 V (default)		16mA	lefault)

なお、カラムを追加したい場合は、All Pins リスト内において、マウスで右クリックして、表示させたいカラムにチェックを 入れます。

または、All Pins リスト内において、マウスで右クリック ⇒ Customize Columns を選択し、Customize Columns ダイアロ グ・ボックスの "Available columns" (左枠)から追加したいカラムを選択し、 > をクリックします。 "Show these columns in this order" (右枠)に登録されたことを確認後、OK をクリックします。



4. <u>未使用ユーザ I/O ピンの属性設定方法</u>

🛆 ALTIMA

基板上で周辺のデバイスと FPGA や CPLD のピンを接続する場合、未使用のユーザ I/O ピンに対して基板の環境に応じた属性を設定(リザーブ・ピン設定)しなければなりません。そのような場合、デザイン上にリザーブ・ ピンを作らずに、Quartus Prime 開発ソフトウェアのオプション設定だけで未使用 I/O ピンの属性を設定することが可能です。

操作は、デバイスの該当するピン全てに設定する "全体設定"と、特定のピンに対して個々に設定する "個別 設定"があります。まず全体設定を行った後、それとは異なる属性を希望するいくつかのピンに対し個別設定で変 更することをお勧めします。なお、全体設定と個別設定では、個別設定が優先されます。

※ リザーブ・ピン(未使用ユーザ I/O ピンの属性指定)の全体設定に関しては、本資料を入手したサイト内から以下の資料を ご覧ください。

『Quartus Prime はじめてガイド - デバイス・オプションの設定方法』

個別設定の方法は、以下のとおりです。

- ① Assignments メニュー \Rightarrow Pin Planner を選択します。
- ② All Pins リスト内の Node Name 欄の <<new node>> をダブルクリックし、リザーブ・ピン用に任意の名前 を付けます。(デザイン上に存在しない名前にしてください。)
- ドラッグ & ドロップでパッケージ・ビュー上の目的のピン番号まで移動、または Location 欄のプルダウン・リストにてピン番号を選択します。
- ④ I/O 規格に変更がある場合は、I/O Standard 欄をダブルクリックし、プルダウン・リストより選択します。(アサ インするバンクの VCCIO により、変更が必要な場合があります。)
- ⑤ Reserved 欄をダブルクリックし、プルダウン・リストより、属性を選択します。(デバイスにより設定項目が変わります。)
 - As SignalProbe output : SignalProbe 用の出力ピンとして予約されます。
 - ・ As bidirectional : ピンは双方向ピンとして予約されます。
 - ・ As input tri-stated : ピンは入力ピンとして予約され、トライ・ステート処理されます。
 - As output driving ground : ピンは出力ピンとして予約され、GND(Low)を出力します。
 - ・ As output driving an unspecified signal : ピンは出力ピンとして予約され、未定義の値を出力します。
 - ・ As output driving VCC : ピンは出力ピンとして予約され、VCC(High)を出力します。

個別設定を行うリザーブ・ピンが複数ある場合には、上記の操作を繰り返してリザーブ・ピンの個別設定を 行います。

⑥ 設定終了後、コンパイルを実行します。

	Node Name	Direction	Location	VO Bank	VO Standard	Reserved	Durrent Strength	Slew Rate
out	to[0]	Output			2.5 V (default)		12mA (default)	<u>1 (</u> default)
Ø	reserved_pin	Unknown	PIN_J7	8A	2.5 V (default)			•
out	led[7]	Output	PIN_A7	8A	2.5 V (default)			(default)
out	led[6]	Output	PIN_B6	8A	2.5 V (default)	As SignalProbe out	put	(default)
out	led[5]	Output	PIN_A5	8A	2.5 V (default)	As bidirectional		(default)
out	led[4]	Output	PIN_B7	8A	2.5 V (default)	As input tri-stated		(default)
out	led[3]	Output	PIN_C7	8A	2.5 V (default)	As output driving V	сс	(default)
out	led[2]	Output	PIN_D7	8A	2.5 V (default)	As output driving ar	n unspecified signal	(default)
out	led[1]	Output	PIN_D6	8A	2.5 V (default)	As output driving gr	round	(default)
out	led[0]	Output	PIN F6	84	2.5 V (default)	••••••	12hd (default)	(default)

5. コンパイル後の確認

コンパイル(配置配線)後のピン・アサインの確認は、コンパイル・レポートで確認できます。確認方法は、<u>すべて</u> のピン情報を確認する方法とデザイン上に存在するピンだけを確認する方法の 2 通りがあります。

◆ すべてのピン情報を確認する方法

- ① コンパイルを完了させます。
- ② Processing メニュー ⇒ Compilation Report を選択します。(コンパイル終了後に、自動で起動します。)
- ③ Fitter レポート・ディレクトリ ⇒ Pin-Out Fie より確認します。(テキスト・ベースで表示)

Con	pilation Report - fpga_top
Table of Contents	Pin-Out File
Flow Summary Flow Settings Flow Non-Default Global Settings Flow Elapsed Time	Quartus Prime Version 15.1.0 Build 185 10/21/2015 SJ Standard Edition CHIP "fpga_top" ASSIGNED TO AN: 5CGXFC5C6F27C7 Pin Name/Usage : Location : Dir. : I/O Standard : Voltage : I/O Bank : User Assignment
Flow OS Summary Flow Log Analysis & Synthesis	MSEL2 : A2 : : : 9A : DNU : A3 : : : : DNU : A4 : : : : led[5] : A5 : output : 2.5 V : : 8A : Y
Summary Settings Parallel Compilation	CONF_DONE : A6 : : : : : : : : : : : : : 9A : led[7] : A7 : output : 2.5 V : : : : 8A : Y RESERVED_INPUT_WITH_WEAK_PULLUP : A8 : : : : : : : : : : : : : : : : : : :
VO Assignment Warnings Netlist Optimizations Ignored Assignments	RESERVED_INPUT_WITH_WEAK_PULLUP : A11 :
Incremental Compilation Section Pin-Out File Resource Section	GND : A15 : gnd : <th:< th=""> : <th:< td=""></th:<></th:<>
VO Rules Section Device Options Operating Settings and Conditions	RESERVED_INPUT_WITH_WEAK_PULLUP : A19 :
Estimated Delay Added for Hold Timing	RESERVED INPUT WITH WEAK PULLUP : A23 : : : 7A : RESERVED INPUT WITH WEAK PULLUP : A23 : : : 7A :

または、Fitter レポート・ディレクトリ \Rightarrow Resource Section \Rightarrow All Package Pins より確認します。(スプレッド・シートで表示)

\	Com	pilation Re	eport - fpga	_top		×								
Table of Contents	₽	All Package Pins												
Analysis & Synthesis	*		Location	Pad Number	VO Bank	Pin Name/Usage	Dir.	VO Standard	Voltage	VO Type				
4 Fitter		1 A	2	396	9A	^MSEL2								
E Summary		2 A	.3			DNU								
Settings		3 A	4			DNU								
		4 A	.5	344	8A	led[5]	output	2.5 V		Column I/O				
Parallel Compliation		5 A	6	392	9A	^CONF_DONE								
VO Assignment Warnings		6 A	7	348	8A	led[7]	output	2.5 V		Column I/O				
Netlist Optimizations		7 A	8	308	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O				
Ignored Assignments		8 A	.9	310	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column VO				
Incremental Compilation Section		9 A	10		7A	VCCI07A	power		2.5V					
Pin-Out File		10 A	.11	322	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O				
Resource Section		11 A	12	332	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column VO				
Resource Usage Summary		12 A	13	330	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O				
Partition Statistics		13 A	14	300	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O				
		14 A	15			GND	gnd							
input Pins		15 A	16	294	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O				
Output Pins		16 A	17	292	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column VO				
1/O Back Usage		17 A	18	290	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O				
All Package Pins		18 A	19	288	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column VO				
Resource offization by Entity		19 A	20		7A	VCCI07A	power		2.5V					
Delay Chain Summary	=	20 A	21	274	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column VO				

- ◆ <u>デザイン上に存在するピンだけを確認する方法</u>
 - ① コンパイルを完了させます。
 - ② Processing メニュー ⇒ Compilation Report を選択します。(コンパイル終了後に、自動で起動します。)
 - ③ Fitter レポート・ディレクトリ ⇒ Resource Section ⇒ Input Pins / Output Pins / Bidir Pins から確認で きます。

\	Com	pilatior	n Report - fp	ga_top			×			
Table of Contents	₽₽	Outp	ut Pins							
Analysis & Synthesis			Name	Pin #	VO Bank	X coordinate	Y coordinate	Z coordinate	Output Register	Output Enable Register
4 🣂 Fitter		1	led[0]	E6	8A	18	61	51	no	no
Summary		2	led[1]	D6	8A	18	61	34	no	no
Settings		3	led[2]	D7	8A	17	61	74	no	no
Parallel Compilation		4	led[3]	C7	8A	17	61	91	no	no
		5	led[4]	B7	8A	19	61	51	no	no
		6	led[5]	A5	8A	21	61	34	no	no
Netlist Optimizations		7	led[6]	B6	8A	21	61	51	no	no
Ignored Assignments	8		led[7]	A7	8A	19	61	34	no	no
Incremental Compilation Section		9	tp[0]	L9	8A	18	61	17	no	no
Pin-Out File		10	tp[1]	M9	8A	18	61	0	no	no
Resource Section		11	tp[2]	H9	8A	19	61	17	no	no
Resource Usage Summary		12						0	no	no
Bartition Statistics			Input I	Pins : ,	人力ビン					
			Outpu	t Pins ·	出カピン	,				
mput Pins			Duipu	· · · · ·						
Cutput Pins			Bidir I	Pins : 🗸	人出力ヒン					
E VO Bank Usage			× デ	ザイン	に存在な	い項目は省	略			
All Package Pins										

【補足③: ピン・オプションの確認方法】

ピン・オプション (補足②参照)の適用結果は、コンパイル・レポートより確認することができます。 Compilation Report \Rightarrow Fitter \Rightarrow Resource Section \Rightarrow Input Pins / Output Pins / Bidir Pins のレポート内の各 項をご覧ください。

例) Current Strength (出力電流値)の適用性を確認する

Compilation Report \Rightarrow Fitter \Rightarrow Resource Section \Rightarrow Output Pins または Bidir Pins を選択し、レポート内の各ピンに対 する Current Strength 項より確認できます。

Compilation Report - fpga_top																		
Table of Contents	₽₽	Outp	ut Pins															
Analysis & Synthesis	-		Name	Pin #	VO Bank	oordir	oordir	oordir	ut Rej	nable	:w Ra	O Ena	en Dr	Primi	JS Ho	ak Pul	VO Standard	Current Strength
⊿ 📂 Fitter		1	led[0]	E6	8A	18	61	51	no	no	1	no	no	no	no	Off	2.5 V	Default
E Summary		2	led[1]	D6	8A	18	61	34	no	no	1	no	no	no	no	Off	2.5 V	Default
Settings		3	led[2]	D7	8A	17	61	74	no	no	1	no	no	no	no	Off	2.5 V	Default
Barallel Compilation		4	led[3]	C7	8A	17	61	91	no	no	1	no	no	no	no	Off	2.5 V	Default
		5	led[4]	B7	8A	19	61	51	no	no	1	no	no	no	no	Off	2.5 V	Default
		6	led[5]	A5	8A	21	61	34	no	no	1	no	no	no	по	Off	2.5 V	Default
Netlist Optimizations		7	led[6]	B6	8A	21	61	51	no	no	1	no	no	no	no	Off	2.5 V	Default
Ignored Assignments		8	led[7]	A7	8A	19	61	34	no	no	1	no	no	no	no	Off	2.5 V	Default
Incremental Compilation Section		9	tp[0]	L9	8A	18	61	17	no	no	1	no	no	no	по	Off	2.5 V	Default
Pin-Out File		10	tp[1]	M9	8A	18	61	0	no	no	1	no	no	no	no	Off	2.5 V	Default
Resource Section		11	tp[2]	H9	8A	19	61	17	по	no	1	no	no	no	по	Off	2.5 V	Default
Resource Usage Summary		12	tp[3]	H8	8A	19	61	0	no	no	1	no	no	no	no	Off	2.5 V	Default
Partition Statistics																		
Output Pins																		

6. Live I/O Checking

※ Live I/O Checking 機能は、Stratix® IV と Arria® II、Cyclone® IV、MAX® 10、MAX V、MAX II デバイスで サポートしています。

この機能は、ユーザがアサインした I/O ピンの配置がアルテラ FPGA や CPLD のピン・ガイドライン・ルール に適合しているかどうかを、ピン制約を設定したと同時に Pin Planner 上で簡易チェックします。例えば電圧の異な るピンが同一バンクに混在していた場合や、差動信号とシングル信号の位置関係(パッドの間隔)など、I/O ルー ルに則ってアサインされているかをフル・コンパイルすることなく(但し、事前に Analysis & Synthesis の実行は必 須)確認できるため、I/O 規格を多く使用するユーザには有効的な機能です。もし、適さないアサインがあった場合 には、リアル・タイムにエラー・メッセージやワーニング・メッセージを表示します。メッセージは Pin Planner の Message ウィンドウ、Quartus Prime 開発ソフトウェアの Message ウィンドウにそれぞれ表示されます。

なお、Live I/O Checking 実行後は、最終的な I/O 適合検証機能である I/O Assignment Analysis を実行する必要があります。操作は『第 7 章 I/O Assignment Analysis』をご参照ください。

Live I/O Checking の操作は以下のとおりです。

① Processing $\vee = = = \to \text{Start} \Rightarrow \text{Start Analysis & Synthesis を実行します}$.

※ すでに実行している場合には、この操作は不要です。

- ② Assignments メニュー ⇒ Pin Planner を選択します。
- ③ View メニュー ⇒ Live I/O Check Status Window を表示させます。
- ④ ウィンドウ内の Turn On Live I/O Check ボタン、または Pin Planner 内ツールバーの Enable Live I/O Check

ボタン 📽 をクリックし、ピン・アサインのチェックを実行します。



- ⑤ ユーザ I/O ピンのアサイン(番号の割り当て、I/O 規格の設定)や未使用ユーザ I/O ピンの属性などの設定 を行います。I/O ルールに違反していなければ、上右図のように "Live I/O check passed" と表示されます。
- ⑥ I/O ルールに違反していた場合には、Live I/O Check Status ウィンドウにエラーまたはワーニング・メッセージ 数が表示され、Pin Planner(または Quartus Prime 開発ソフトウェア)の Message ウィンドウに内容が表示され ます。(問題を回避するためにメッセージを確認し、ピンのレイアウトや I/O 規格などを変更する必要がありま

e VO Check Status	×	туре	ID	Message									
		8	169026	o Pin led[0] with	I/0	standard	assignment	2.5 V i	s incompatible	with 1	I/O ba	ink 8
erforming live VO check provides preliminary V	O pin	8	169026	5 Pin led[1] with	I/0	standard	assignment	2.5 V i	s incompatible	with 1	I/O ba	ink 8
arification. Run the Filler for complete vo pin		8	169026	iPin led[2] with	I/0	standard	assignment	2.5 V i	s incompatible	with 1	I/O ba	ink 8
			169026	iPin led[3] with	I/0	standard	assignment	2.5 V i	s incompatible	with 1	I/O ba	ink 8
etailed message information appears in the Me	essages	ă	169026	iPin led[4] with	I/0	standard	assignment	2.5 V i	s incompatible	with 3	I/O ba	ink 8
indow.		ä	169026	i Pin led[5	- l with	1/0	standard	assignment	2.5 V i	s incompatible	with 3	I/O ba	ink 8
9 error messages			169026	pin led[6	1 with	т/о	standard	assignment	25 V i	s incompatible	with -	T/0 ha	ink 8
0 warning messages			169026	pin led[7] with	T/0	standard	assignment	2 5 V i	s incompatible	with 1	T/O ha	ink 8
Live VO check failed		8	168002	Live I/O	check	faile	ed	assignment	2.5 4 1	5 meonpacture	aren 1	2,0 00	

7. <u>I/O Assignment Analysis</u>

Live I/O Checking でエラーがなくなったら、最終的な I/O の検証を行います。この機能は、フル・コンパイルを 実行することなく、全ユーザ I/O ピンの制約に対する適合性をチェックします。I/O Assignment Analysis は Live I/O Checking よりも多くの内容をチェックするため、Live I/O Checking の検証後に実行することを推奨します。ま た、最終的にはコンパイルを実行してください。

基本使用フローは以下のとおりです。

① 事前に Live I/O Checking において、ピン・アサインの適合性を確認しておきます。

② Processing メニュー \Rightarrow Start \Rightarrow Start I/O Assignment Analysis を実行します。

		artition Merge letlist Viewers Jesion Assistant (Po	st-Mapping)				4	灸証結 :	果のレ	ポートが	出力されます	•	
×	▷ ▶ ₩	O Assignment Analy	rsis										
	Fitter	(Place & Route)		_									
	Asse	mbler (Generate pro	gramming fil										
	Time	ງuest Timing Analysi	is										
	D 🕨 EDA	Netlist Writer		-									
•	III		•										
×	Type TD	Message											
8	169236 16923 16923 16923 16923 16923 16923 16923 16923 16923 16923 16923 16923 16923 16923 16923 1692 16923 16923 1692 1692 169 1692 169 169 169 169 169 169 169 169 169 169 169 169 169 169 169 169 169 169 169 16	Can't place :	I/O pin	1ed[0]	in assigned	location	IOBANK_8	made by	y User	Location	Constraints	source	
₽	» 😮 169236	Can't place :	I/O pin	led[1]	in assigned	location	IOBANK_8	made by	y User	Location	Constraints	source	
	169236	Can't place :	I/O pin	1ed[21 -	in assigned	location	TORANK 8	made by	Lison	Location	Constraints	source	
=					in abbrightea	rocación	TODAMC_0	made b	y user	LOCALION	consci annes	Source	
=		can't place :	I/O pin	1ed[3]	in assigned	location	IOBANK_8	made by	y User	Location	Constraints	source	
=	▷ 3 169236 ▷ 3 169236	Can't place : Can't place :	I/O pin I/O pin	1ed[3] 1ed[4]	in assigned in assigned	location location	IOBANK_8 IOBANK_8	made by made by	y User y User	Location Location	Constraints Constraints	source	
-	 > (2) 169236 > (3) 169236 > (3) 169236 > (3) 169236 	Can't place : Can't place : Can't place :	I/O pin I/O pin I/O pin	1ed[3] 1ed[4] 1ed[5]	in assigned in assigned in assigned	location location location	IOBANK_8 IOBANK_8 IOBANK_8	made by made by made by made by	y User y User y User	Location Location Location	Constraints Constraints Constraints	source source source	
=	 169236 169236 169236 169236 169236 	Can't place : Can't place : Can't place : Can't place :	I/O pin I/O pin I/O pin I/O pin I/O pin	1ed[3] 1ed[4] 1ed[5] 1ed[6]	in assigned in assigned in assigned in assigned	location location location location	IOBANK_8 IOBANK_8 IOBANK_8 IOBANK_8	made by made by made by made by made by	y User y User y User y User y User	Location Location Location Location	Constraints Constraints Constraints Constraints	source source source source	

エラーやクリティカル・ワーニングがなければ、ピン制約は適合しています。もしエラーが発生した場合は、メッセ ージを確認し、ピンのレイアウトや I/O 規格などを変更する必要があります。メッセージは Pin Planner(または Quartus Prime 開発ソフトウェア)のメッセージ・ウィンドウに表示されます。

8. その他の機能

8-1. Back-Annotate Assignments

ユーザが最初からピン・アサインせずコンパイルを実行した場合、Quartus Prime 開発ソフトウェアのコンパイラ は自動的にピンの配置を決定します。そのピン配置結果をユーザのピン制約に反映させることが可能です。その 場合は Back-Annotate Assignments 機能を活用します。これは、コンパイル後のセルやピンの配置結果を Quartus Prime 開発ソフトウェアの設定ファイル(.qsf ファイル)へ反映させる機能です。

操作方法は以下のとおりです。

- ① コンパイルを実行し、ピンを自動で配置させます。
 - Processing メニュー ⇒ Start Compilation または ▶ ボタンをクリック
- コンパイル後のピン配置情報を Quartus Prime 開発ソフトウェアの設定ファイル(.qsf ファイル)へ反映させます。
 - Assignments $\checkmark = = = \Rightarrow$ Back-Annotate Assignments
- ③ Pin & device assignments にラジオ・ボタンを設定し、OK ボタンをクリックします。

Back-Annotate Assignments
Back annotation type: Default Assignments to back-annotate Pin & device assignment Resource Allocation assi Global Signal
OK Cancel Help

- ④ Assignments メニュー ⇒ Pin Planner を選択します。デザイン内のピンが Quartus Prime 開発ソフトウェアの コンパイラにより自動的に配置されていることが確認できます。
- ⑤ ピン番号または I/O 規格において、変更したい内容の修正を行います。
- ⑥ 修正した内容を適応させるため、Live I/O Checking と I/O Assignment Analysis、コンパイルを実行します。

8-2. CSV ファイル

Quartus Prime 開発ソフトウェアのピン制約は、CSV(カンマ区切り)ファイルに対応しています。Pin Planner の情報をエクスポートしたり、あらかじめ作成しておいた CSV ファイルをインポートしたりすることができます。CSV ファイルをインポートする場合は、カラム見出しのロウは決められた表記でなければならないため、Pin Planner 上から一度 CSV ファイルをエクスポートして雛形を作成し、それにアサイン情報を入力(編集)した後に、再びインポートすることを推奨しています。(表記ルールに反すると、Quartus Prime 開発ソフトウェアが内容を認識しません。)

ここでは、ピン・アサインにおいて CSV ファイルを活用するときの推奨の手順を紹介します。

※ この操作でピンをアサインする場合には、「第 2 章 事前作業」を行う必要があります。

8-2-1. CSV ファイルのエクスポート

Pin Planner から CSV ファイルを出力します。

- ① Assignments メニュー ⇒ Pin Planner を選択します。
- ② File メニュー ⇒ Export より、出力するディレクトリ先と保存するファイル名を指定し、Export ボタンをクリ ックします。この時、拡張子が .csv であることを確認します。

8-2-2. ピン制約情報の編集

Pin Planner から CSV ファイルを出力します。

① Microsoft[®] 社の Excel などを活用し、保存した CSV ファイルを開きます。

То	Direction	Location	I/O Bank	I/O Standard	Reserved Current Strength
altera_reserved_tck	Input				
altera_reserved_tdi	Input				カラム見出し
altera_reserved_tdo	Output				
altera_reserved_tms	Input				
clk_in_one	Input	PIN_R20	5B	1.2-V HSUL	
leds[7]	Output	PIN_H9	8A	2.5 V	
leds[6]	Output	PIN_H8	8A		
leds[5]	Output	PIN_B6	8A		
leds[4]	Output	PIN_A5	8A		
leds[3]	Output	PIN_E9	8A		
leds[2]	Output	PIN_D8	8A		
leds[1]	Output	PIN_K6	8A		
[o]	Output	PIN_L7	8A		
「イン上のピン	Input	PIN_AB24	5A		
SPAM AI17J	Output	PIN M24	6A		

② CSV ファイルにおいて、必要な箇所にのみ情報を編集します。それ以外は空欄にします

- ◆ ピン番号を変更する場合は、Location 欄のピン番号を編集します。記述は以下のとおりです。
 記述 : PIN_番号
 記述例 : PIN_E2
- ♦ I/O Standard を変更する場合は、I/O Standard 欄の規格名を編集します。記述は以下の通りです
 記述例 : SSTL-2 Class II
- ※ 各規格の記述名は、Assignment Editor または Pin Planner の I/O Standard に表示される表記を参考にしてくださいするか、
 Help メニュー ⇒ Help Topics を選択すると Web ブラウザが起動するので、Search タブ内にキーワード "I/O standards" を
 入力して検索してください。

Quartus Prime Help version 15.1

18 de

Content Search			
1/O standards Search There is no page containing all the search terms. Partial results:	I/O standards De Standards that uniquely define th The following table lists the I/O st (.qsf) settings keyword for each l	finition e input and output (VCCIO) voltage, reference VREF voltage (if applicable andards that are available, and the device families that support them. The O standard.), and the ty ここに提示されている表記名で e table also あれば OK です
Results for: standards	I/O Standard	Device Family Support	QSF Keyword
VO standards Definition differential VO standards Definition Fitter I/O Reports	1.2-V	supported device (Stratix V, MAX 10, MAX V, Arria V series, and Cyclone V series) families	"1.2 V", "1.2V", "1.2-V"
Ine Fitter generates the following reports to summarize I/O and pin usage information if you specify one or more pin	1.2-V HSTL Class I and II	supported device (MAX 10, Arria series, Cyclone IV, Cyclone V, Stratix IV, and Stratix V) families	"1.2- V HSTL", "1.2- V HSTL Class I", "1.2- V HSTL Class II"
settings in the Settings dialog box. Reports all the pins and their I/O standards	1.2-V HSUL	supported device (MAX 10, Arria 10, Arria V, Cyclone V, and Stratix V) families	"1.2-V HSUL"
ALT_IOBUF_DIFF_Primitive The ALT_IOBUF_DIFF primitive allows you to name and connect positive and negative pins when a differential I/O	1.2-VPCML	supported device (Arria series, Cyclone IV GX, Stratix IV, and Stratix V) families	"1.2- V PCML"

③ アサイン情報を入力し終えたら、CSV ファイルを保存します。(ファイル・メニュー ⇒ 上書き保存)

8-2-3. CSV ファイルのインポート

Quartus Prime 開発ソフトウェアにて、編集した CSV ファイルをインポートします。

- ① Assignments メニュー \Rightarrow Import Assignment を選択します。
- Select File よりピン・アサイン情報を反映した い CSV ファイルを選択します。

🕥 Import Assignments

Specify the source and categories of assignments to import

- ③ OK ボタンをクリックします。
- ④ Pin Planner または Assignment Editor において設定が反映されていることを確認してください。
 - Assignments $\forall = = \Rightarrow$ Pin Planner, $\exists t \in A$ Assignments $\forall = = \Rightarrow$ Assignment Editor
- ⑤ 設定内容を適応させるため、コンパイルを実行します。
 - Processing $\prec = = = \Rightarrow$ Start Compilation

ブラウズ・ボタン

Categories...

Advanced...

Cancel Help

×

8-3. Show Fitter Placement

Show Fitter Placements では、Quartus Prime 開発ソフトウェアの Fitter が決めたピン配置を Pin Planner 上で 確認することができます。

① Show Fitter Placements を起動します。 Pin Planner 上の View メニュー \Rightarrow Show \Rightarrow Show Fitter Placements、

```
または、ツールバーにある 🎦 をクリックします。Show Fitter Placements を起動するためには、Live I/O
```

Checking を解除しなければなりません。

- ※ Live I/O Checking の詳細は、『第6章 Live I/O Checking』をご参照ください。
- ② パッケージ・ビューのピン表示が下記のように変化します。また左下に **第** が表示され、Fitter が配置したピンが緑色で表示されます。









8-4. Pad View ウィンドウ

Quartus Prime 開発ソフトウェアでは、デバイスの信号品質(シグナル・インテグリティ)の問題をあらかじめ防止す るために、ピン配置ルールにもとづき、ピン・アサインの妥当性を検証しています。(第 6 章 Live I/O Checking、第 7 章 I/O Assignment Analysis。)例えば、シングル・エンド信号(入力 / 出力)ピンと差動信号ピンのパッド・ロケー ション(間隔)には、"何パッド間隔を空けてアサインしなくてはならない"など制約があります。(パッドとは、デバイス のパッケージ・ピンが接続されているシリコン・ダイの接続部分のことです。)ユーザはピン番号を決める際、どのピン 番号がどのパッド・ロケーションに割り当てられているのか把握することが重要です。

Pin Planner には、パッド・ロケーション用のビューワがあります。ピン配置ルールに沿ってピン番号を決める時や I/O Assignment Analysis 機能などにより、レイアウトのエラーが発生したときなどにご利用ください。

※ ピン配置ルールについては、各デバイスや Quartus Prime 開発ソフトウェアのハンドブックをご参照ください。

操作方法は、以下のとおりです。

- ① Pin Planner を起動
- ② Pin Planner $\pm \sigma$ View $\star = = -$ Pad View





<u> 改版履歴</u>

Revision	年月	概要
1	2016年2月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社アルティマ ホームページ: http://www.altima.co.jp
 技術情報サイト EDISON: http://www.altima.jp/members/index.cfm
 株式会社エルセナ ホームページ: http://www.elsena.co.jp
 技術情報サイト ETS : http://www.elsena.co.jp/elspear/members/index.cfm
- 4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカ発行の英語版の資料もあわせてご利用ください。