

Quartus Prime はじめてガイド デバイス・オプションの設定方法

ver.15.1

Quartus Prime はじめてガイド

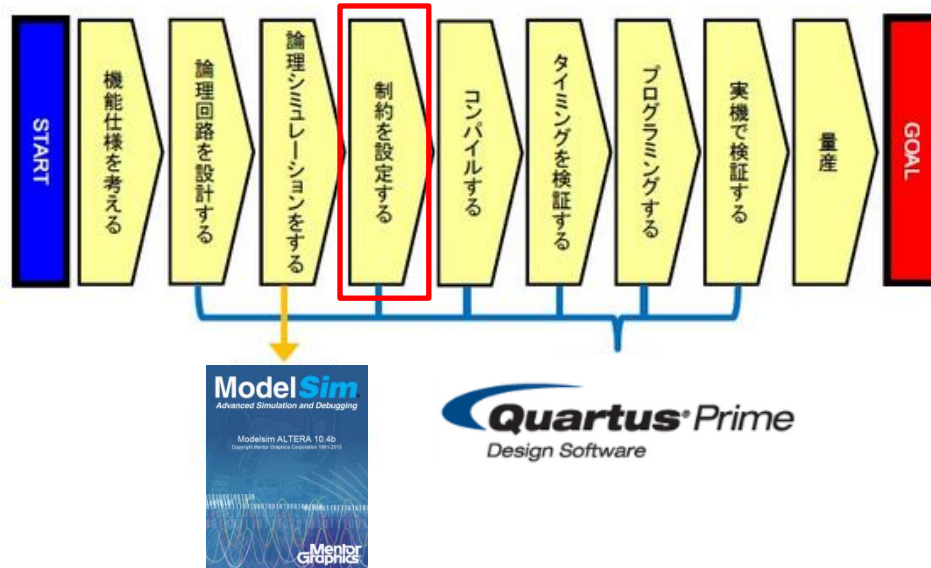
デバイス・オプションの設定方法

目次

1. はじめに	3
2. デバイス・オプションの設定	4
2-1. General ページ	5
2-2. Configuration ページ	9
2-3. Programming File ページ	11
2-4. Unused Pins ページ	12
2-5. Dual-Purpose Pins ページ	13
2-6. Capacitive Loading ページ	14
2-7. Board Trace Model ページ	15
2-8. I/O Timing ページ	16
2-9. Voltage ページ	17
2-10. Pin Placement ページ	18
2-11. Error Detection CRC ページ	19
2-12. CvP Settings ページ	21
2-13. Partial Reconfiguration ページ	22
改版履歴	23

1. はじめに

この「Quartus Prime はじめてガイド」シリーズは、Quartus® Prime 開発ソフトウェアを初めてご利用になるユーザー向けの資料です。



この資料は、Quartus Prime 開発ソフトウェアにおけるデバイスのオプション設定に関して説明しています。

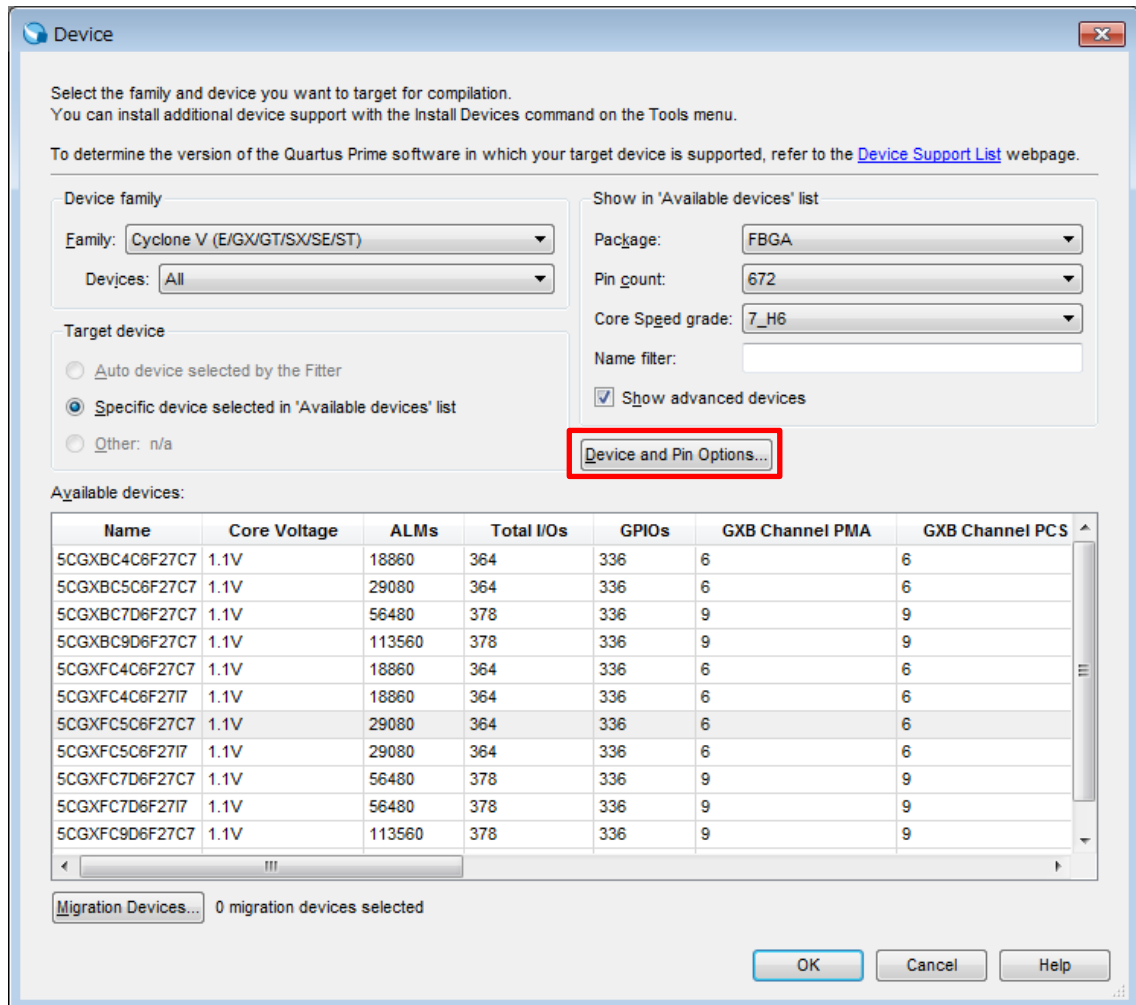
デバイスのオプション設定は Device and Pin Options ダイアログ・ボックスで行い、現在のプロジェクトで選択されているデバイスにおけるデバイス・オプションとピン・オプションの指定ができます。ここで設定した内容は、プロジェクト全体に対して有効です。また、コンフィギュレーション・モードやコンフィギュレーション・デバイスの選択もできます。

Quartus Prime 開発ソフトウェアでは、同デバイス・ファミリ内の同一ピン・パッケージにおいて Logic Element (LE) 数の小さいまたは大きいデバイスへの移行をしやすいデバイス・マイグレーションをサポートしています。デバイス・マイグレーションの詳細は、本資料を入手したサイト内から以下の資料をご覧ください。

『Quartus Prime - デバイス・マイグレーション』

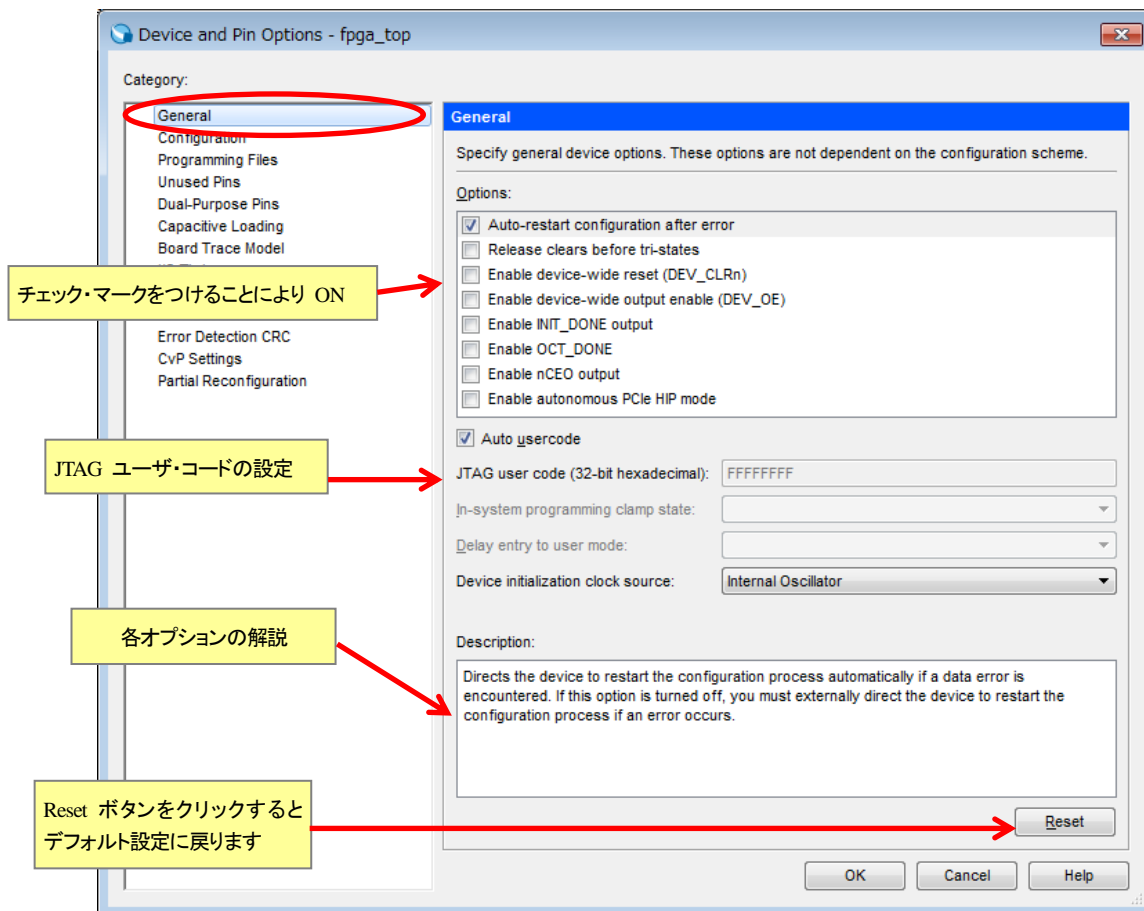
2. デバイス・オプションの設定

Assignments メニュー ⇒ Device ⇒ Device and Pin Options ボタンをクリックします。



2-1. General ページ

デバイス全般のオプションを設定できます。



各オプション(Options 内)の説明

◆ Auto-restart configuration after error

コンフィギュレーション中にデータ・エラーが発生した場合、コンフィギュレーションが異常終了します。この時に、自動的にコンフィギュレーション・プロセスを再起動させるように FPGA デバイスに指示するオプションです。(Passive Serial モードまたは Active Serial モード時のみ有効です。)

<対象デバイス: Stratix[®] V、Stratix IV、Arria[®] 10、Arria V、Arria II、Cyclone[®] V、Cyclone IV、MAX[®] 10>

◆ Release clears before tri-states

コンフィギュレーションが終了すると、FPGA デバイスはイニシャライズ・モード(デバイスの初期化)になります。コンフィギュレーション中は、ユーザ I/O ピン内部がトライ・ステート状態になり、ユーザ・モードに入る直前にトライ・ステートを解除します。このオプションが有効の場合、ユーザ I/O ピンのトライ・ステート状態を解除する前に、デバイス内のレジスタをクリアします。

<対象デバイス: Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10>

※ コンフィギュレーション中の I/O ピンの内部はトライ・ステートですが、デバイスの外部で観測できる I/O ピンの出力状態は、デバイスのシリーズにより異なります。(例: Cyclone IV デバイスは、コンフィギュレーション中に有効になるプルアップ・レジスタが内蔵されている。)

◆ Enable user-supplied start-up clock (CLKUSR)

コンフィギュレーション終了後のイニシャライズ(デバイスの初期化)に、外部クロックを用いるためのオプションです。外部クロックは、CLKUSR ピンから入力します。このオプションを無効にしている場合、CLKUSR ピンはユーザ I/O ピンとして使用できます。

<対象デバイス: Stratix IV、Arria II、Cyclone IV>

◆ Enable device-wide reset (DEV_CLRn)

DEV_CLRn ピンを有効にするオプションです。DEV_CLRn ピンに Low を入力すると、デバイス内のすべてのレジスタがリセットされます。このオプションを無効にしている場合、DEV_CLRn ピンはユーザ I/O ピンとして使用できます。

<対象デバイス: Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10、MAX V、MAX II>

※ 通常の論理回路で用いる非同期リセットとは異なり、デバイス内の全レジスタをリセットするための専用ピンです。

◆ Enable device-wide output enable (DEV_OE)

DEV_OE ピンを有効にするオプションです。DEV_OE ピンに Low を入力すると、ターゲット・デバイスの全 I/O ピンが Hi-Z 状態になります。このオプションを無効にしている場合、DEV_OE ピンはユーザ I/O ピンとして使用できます。

<対象デバイス: Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10、MAX V、MAX II>

◆ Enable INIT_DONE output

INIT_DONE ピン(オープン・ドレイン出力)を有効にするオプションです。このオプションを有効にして INIT_DONE ピンを外部でプルアップすると、コンフィギュレーション終了後のイニシャライズが完了してユーザ・モードに入った時に High をリリースします。プルアップの抵抗値などの情報は、各デバイスのピン接続ガイドラインを参照してください。このオプションを無効にしている場合、INIT_DONE ピンはユーザ I/O ピンとして使用できません。

<対象デバイス: Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV>

◆ Enable OCT_DONE

INIT_DONE 信号を On-Chip Termination (OCT) のキャリブレーションの状態によって制御させるオプションです。このオプションを有効にすると、INIT_DONE ピンはコンフィギュレーションの初期化が終わり、かつ OCT のキャリブレーションが完了した状態の時に High をリリース(外部でプルアップが必要)します。このオプションが無効の場合、INIT_DONE ピンは OCT_DONE 信号に関与しません。

<対象デバイス: Stratix V、Arria 10、Arria V、Arria II GX/GT、Cyclone V、Cyclone IV>

◆ Enable nCEO output

nCEO ピン(オープン・ドレイン出力)を有効にするオプションです。このオプションを有効にして nCEO ピンを外部でプルアップすると、コンフィギュレーション終了時に Low をリリースします。プルアップの抵抗値などの情報は、各デバイスのピン接続ガイドラインを参照してください。nCEO ピンはマルチ・デバイスのコンフィギュレーション構成の場合に使用し、後段のデバイスの nCE ピンに接続します。このオプションを無効にしている場合、nCEO ピンはユーザ I/O ピンとして使用できます。

<対象デバイス: Stratix V、Arria 10、Arria V、Cyclone V>

◆ Set unused TSD pins to GND

デバイス内の温度検知ダイオードを使用しない時にこのオプションを有効にすると、コンパイルで生成されるピン・アウト・ファイル (*.pin) にデバイス内の温度検知ダイオード用ピン (TEMPDIODEp/TEMPDIODEn ピン) は GND と設定されます。

<対象デバイス: Stratix V、Stratix IV、Arria 10、Arria V GZ>

◆ Enable autonomous PCIe HIP mode

ペリフェラリがコンフィギュレーションされて、かつコアのコンフィギュレーションが完了する前に、PCIe HIP をリリースするための設定です。このオプションは CvP モードが無効になっている時のみ有効にできます。

<対象デバイス: Stratix V、Arria 10、Arria V、Cyclone V>

◆ Enable the HPS early release of HPS IO

IOCSR (I/O Configuration Shift Register) プログラミング後、HPS 共有の I/O バンクをリリースします。

<対象デバイス: Arria 10>

◆ Enable nCONFIG, nSTATUS, and CONF_DONE pins

コンフィギュレーション用ピンである nCONFIG と nSTATUS、CONF_DONE ピンの設定です。このオプションを無効にすると、デバイスがユーザ・モードで動作している時に nCONFIG と nSTATUS、CONF_DONE ピンとしての機能が無効になり、ユーザ I/O ピンとして使用できます。但し、コンフィギュレーションやイニシャライズ中は nCONFIG や nSTATUS、CONF_DONE ピンとして機能し、ボード上でプルアップするなどコンフィギュレーション用ピンとしての処理が必要です。

<対象デバイス: MAX 10>

◆ Enable JTAG pin sharing

ユーザ・モード時の JTAG 用ピンの共有に関する設定です。この設定を無効にすることで、JTAGEN ピンはユーザ I/O として使用でき、JTAG 用ピン (TCK と TMS、TDI、TDO) は専用ピンとなります。この設定を有効にした場合、JTAGEN ピンを High にドライブすることで JTAG 用ピンは専用ピンとなります。

<対象デバイス: MAX 10>

◆ Enable CONFIG_SEL pin

ユーザ・モード時の CONFIG_SEL ピンの設定です。この設定を無効にすると、デバイスがユーザ・モードで動作している時や I/O ピンとして使用可能な時は、CONFIG_SEL ピンとしての機能が無効になります。

<対象デバイス: MAX 10>

◆ Security bit

CPLD デバイスにプログラミングしたデータを正常に Examine (CPLD に書き込まれているデータを吸い出し) することができないプログラミング・ファイル (*.pof ファイル) を生成させるオプションです。デザイン情報の保護として使用できます。なお、このオプションは、Programmer の Security Bit オプションと同等です。

<対象デバイス: MAX V、MAX II>

◆ In-system programming clamp state

JTAG でのプログラミング中の I/O ピンの状態を指定できるオプションです。

<対象デバイス: MAX 10、MAX V、MAX II>

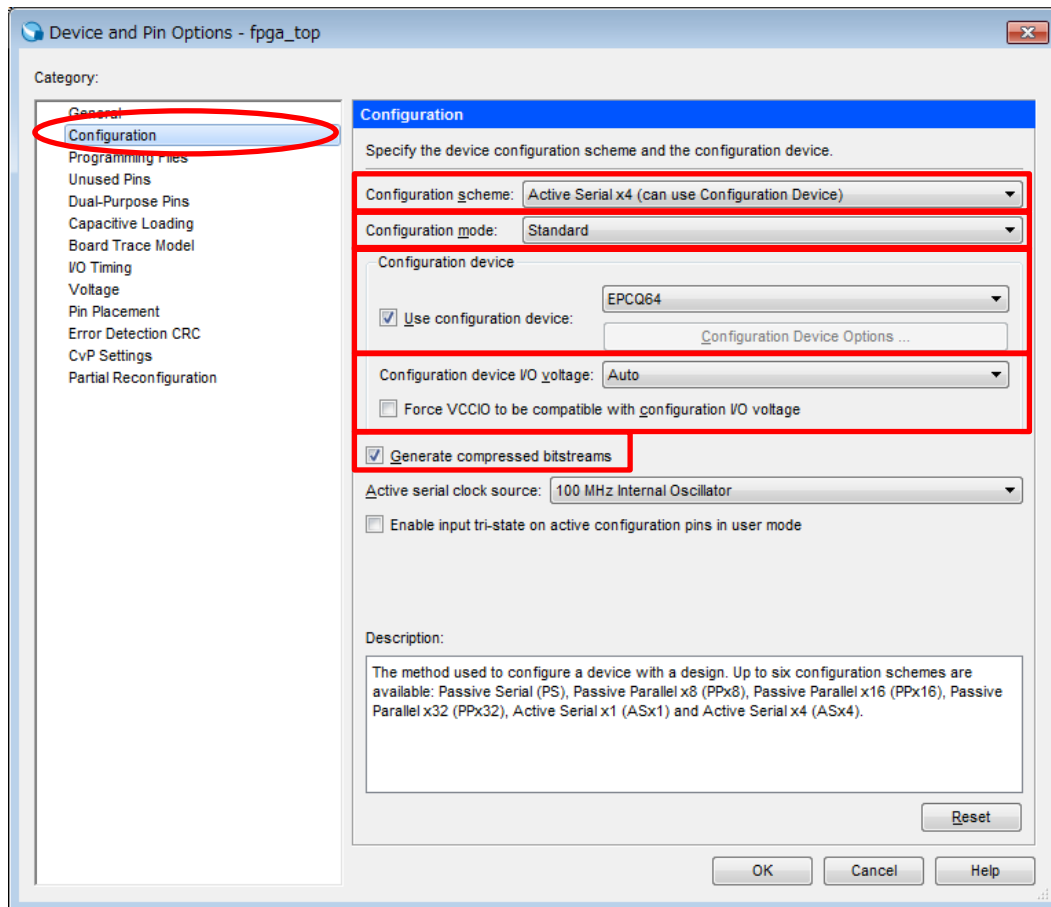
◆ Device initialization clock source

コンフィギュレーション終了後のイニシャライズを行う時のクロック・ソースを選択できるオプションです。

<対象デバイス: Stratix V、Arria 10、Arria V、Cyclone V>

2-2. Configuration ページ

コンフィギュレーションに関するオプションが設定できます。コンフィギュレーション・モードやコンフィギュレーション・デバイスなどが選択できます。(デバイス・ファミリーによって、選択項目が異なります。)



◆ Configuration scheme

コンフィギュレーション方法を選択します。

◆ Configuration mode

コンフィギュレーション・データのアップロード方法を選択します。

◆ Configuration device

使用するコンフィギュレーション・デバイスを選択します。アルテラのコンフィギュレーション・デバイスを使用する Configuration Scheme を選択している場合は、Use configuration device にチェックを入れて、使用するコンフィギュレーション・デバイスをプルダウン・リストから選択します。コンパイル終了後、ここで設定したコンフィギュレーション・デバイス用のプログラミング・ファイル(*.pof)が生成されます。

MAX 10 デバイスの場合は外部のコンフィギュレーション・デバイスを必要としませんが、Device Options で MAX 10 デバイス内部のコンフィギュレーション・フラッシュ・メモリ(CFM)からのコンフィギュレーションに関して設定できます。

● Power On Reset scheme

MAX 10 デバイスは、POR (Power On Reset) なしの Instant ON、それから POR ありの Fast POR と Slow POR から選択することができます。

※ MAX 10 デバイス向けの詳細設定の中の Power On Reset scheme は、Instant ON / Fast POR delay / Slow POR delay から選ぶことができます。しかし、MAX 10 デバイスの Fast POR delay と Slow POR delay で稀に正常にコンフィギュレーションできない事象が確認されています。アルテラは、Instant ON を選択することを推奨しています。詳細は、アルテラの各種ドキュメントやエラーシートなどを参照してください。

- Set I/O to weak pull-up prior usermode

この設定を有効にした場合はユーザ・モードまで I/O ピンをウィーク・プルアップにします。無効にした場合は入力のトライ・ステートとなります。

- ◆ Configuration device I/O voltage

コンフィギュレーション方式に応じて、コンフィギュレーション用の I/O 電圧を指定します。(コンフィギュレーション・デバイスの電圧に委ねられます。)

- ◆ Force VCCIO to be compatible with configuration I/O voltage

FPGA デバイスのコンフィギュレーション・ピンの電源 (VCCIO) を上記オプション (Configuration device I/O voltage) で指定した電位で使用する場合は有効、通常のユーザ I/O の VCCIO に委ねる場合は無効に設定します。

- ◆ Generate compressed bitstreams

コンフィギュレーション・データを圧縮するオプションです。圧縮されたデータは、コンフィギュレーション中に FPGA 内部で展開 (解凍) されます。圧縮したデータを FPGA へ転送するので、コンフィギュレーション時間を短縮することができます。

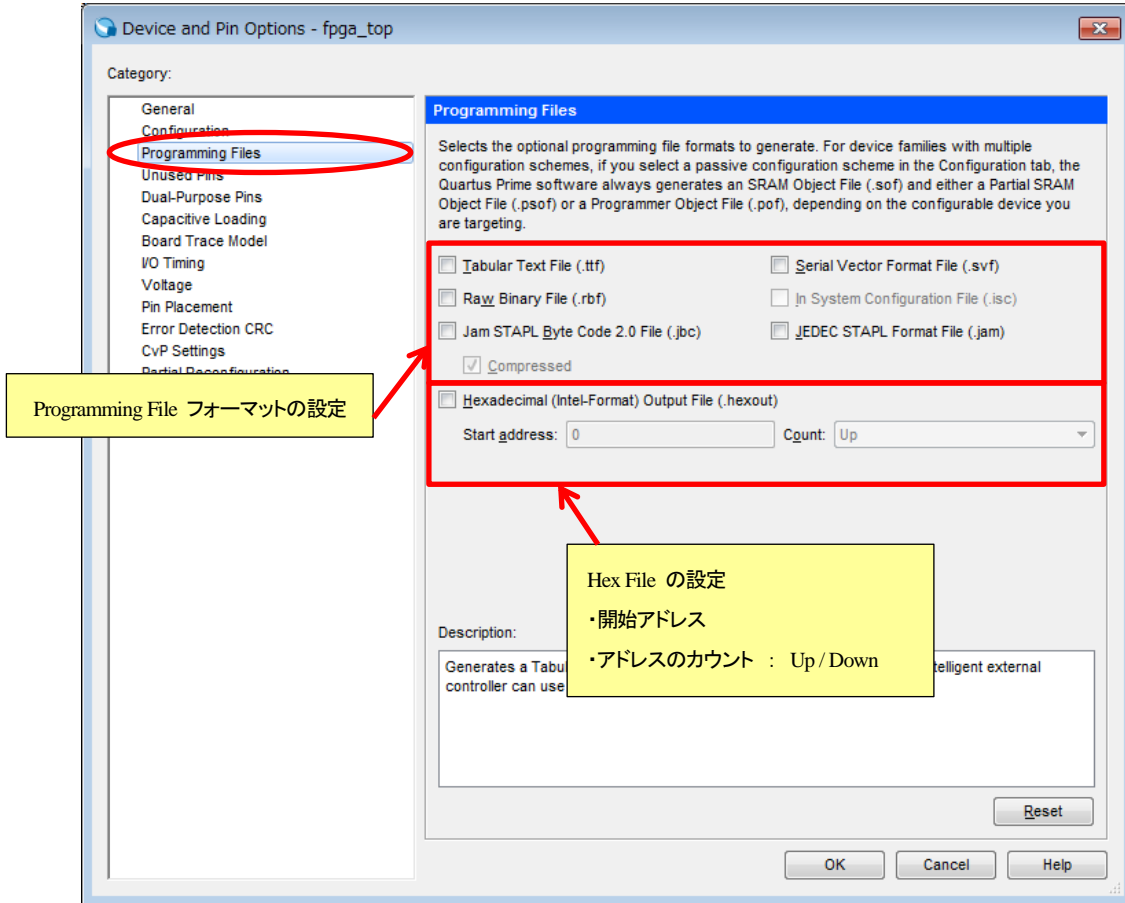
- ◆ Enable input tri-state on active configuration pins in user mode (when selected AS in configuration mode)

Active Serial コンフィギュレーション時、ユーザ・モード中にアクティブ・コンフィギュレーション・ピンの入力をトライ・ステートに制御します。

2-3. Programming File ページ

現在のプロジェクトにおけるプログラミング・ファイルのフォーマットを指定できます。

アルテラのコンフィギュレーション・デバイスをターゲットにしている場合は、この設定は不要です。(その場合には、Configuration ページで希望のコンフィギュレーション・デバイスや関連オプションを指定してください。)



2-4. Unused Pins ページ

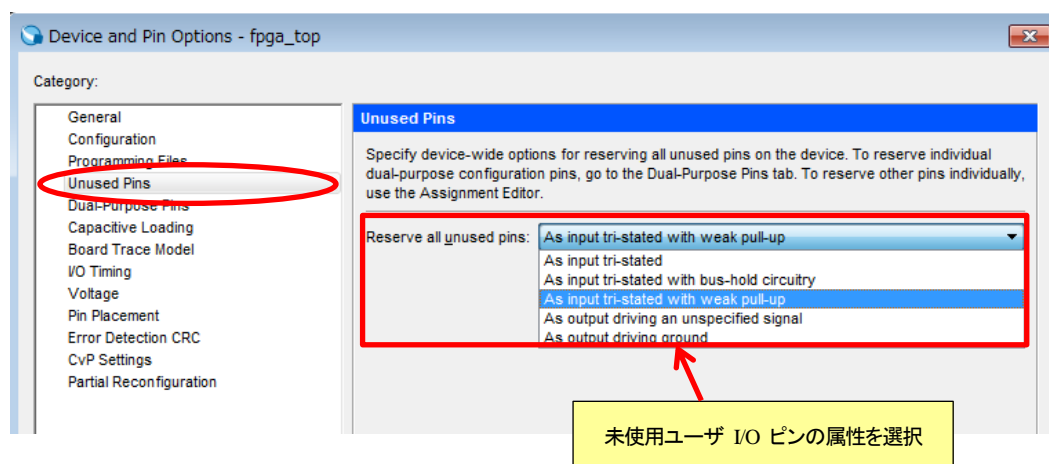
デバイス上のすべての未使用ユーザ I/O ピンを特定の目的ピンに予約することができます。(デバイスの全体設定)

“Reserve all unused pins” のプルダウン・リストから、設定したい属性を選択します。

設定のポイントとして、すべての未使用ユーザ I/O ピンに設定する項目のうち、一番多く設定する属性をこの Unused Pins ページで選択して、それ以外の属性にしたい未使用ユーザ I/O ピンには、Pin Planner を使用して個別設定を行います。全体設定と個別設定では、個別設定がコンパイル時に優先されます。

※ 未使用ユーザ I/O ピンの個別設定の方法は、本資料を入手したサイト内から以下の資料をご覧ください。

『Quartus Prime はじめてガイド – ピン・アサインの方法』



属性

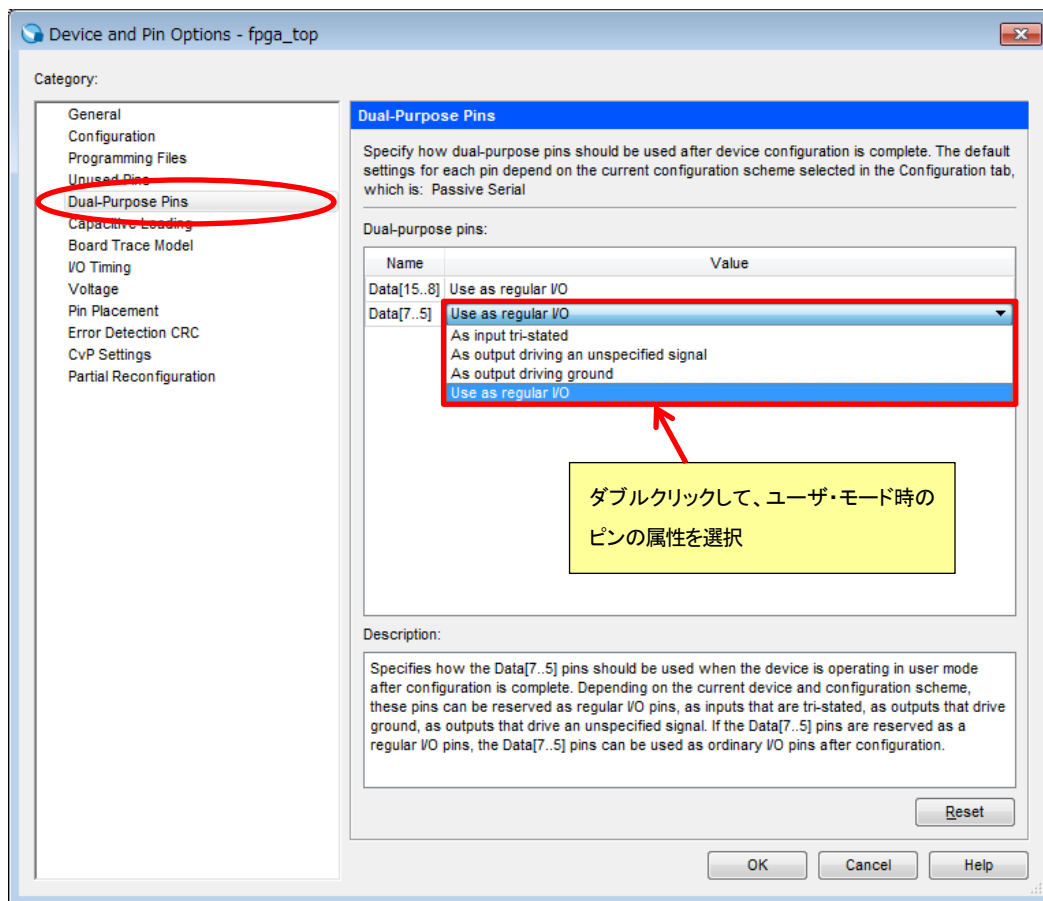
- As input tri-state : ピンは入力として予約されます。
- As input tri-state with bus-hold circuitry : ピンはバス・ホールド付きの入力として予約されます。
- As input tri-state with weak pull-up : ピンは内部ウィーク・プルアップ付きの入力として予約されます。
- As output driven an unspecified signal : ピンは出力として予約され、未定義の値を出力します。
- As output driven ground : ピンは出力として予約され、GND (Low) を出力します。

※ 応用活用法として、未使用のユーザ I/O ピンを *As output driven ground* に設定して、そのピンを基板上の GND に接続することで GND が強化され、基板のノイズ対策に利用できます。

2-5. Dual-Purpose Pins ページ

デバイスのコンフィギュレーションが完了した後に、コンフィギュレーション・ピンをどのように使用するかを指定できます。

Name 欄から設定したいコンフィギュレーション・ピンを選択して、Value 欄をダブルクリックしてプルダウン・リストから設定内容を選択します。ユーザ I/O ピンとして使用したい場合は、“Use as regular I/O” に設定してください。

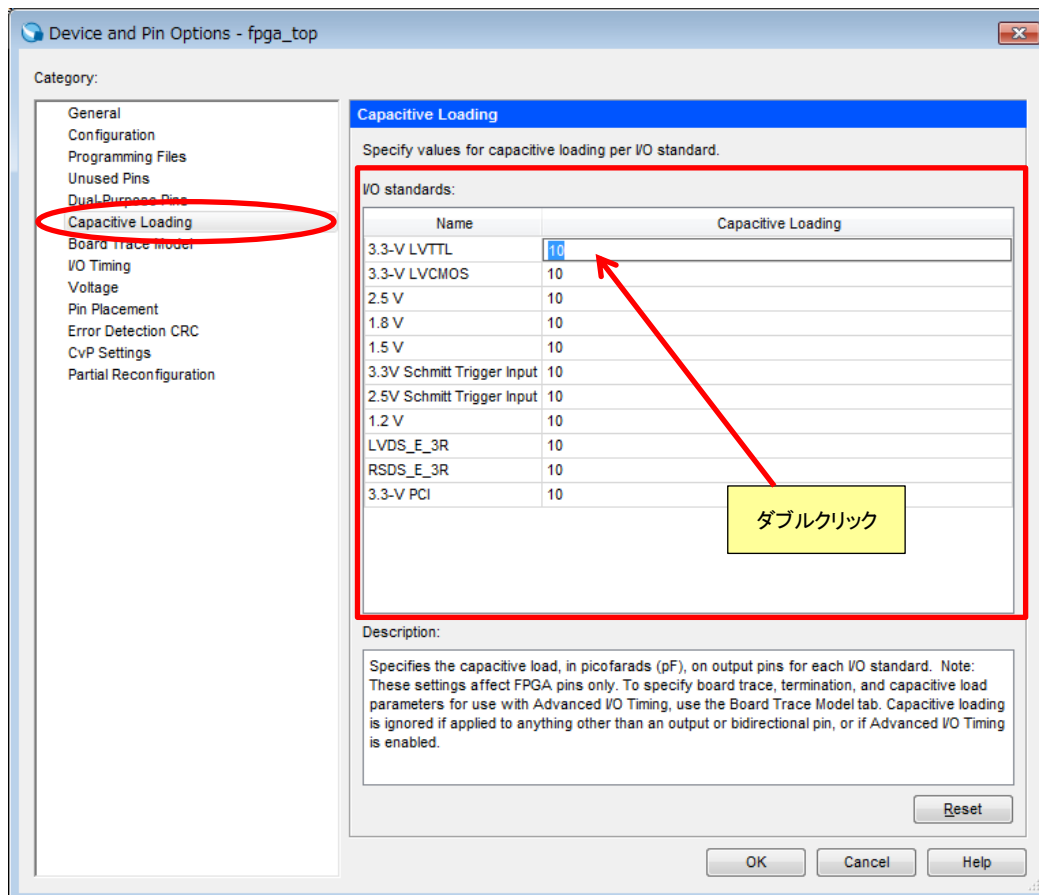


2-6. Capacitive Loading ページ

I/O 規格ごとに基板上的キャパシタンス値の情報を指定します。Capacitive Loading で設定した内容により、正確な T_{co} (クロック t_0 アウトプット)タイミング・モデルでタイミング検証が行うことができます。

設定したい I/O 規格を Name 欄から選択して、Capacitive Loading 欄をダブルクリックします。その後、設定値を入力してください。

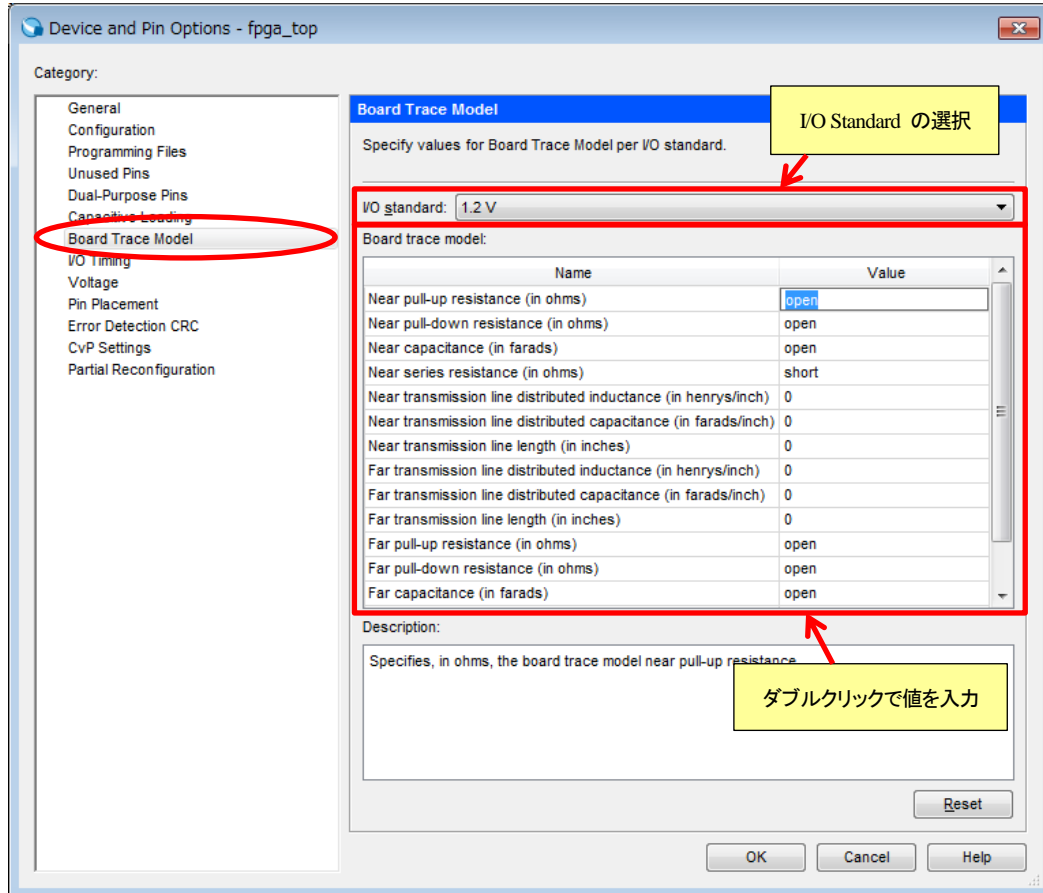
<対象デバイス: MAX V、MAX II>



2-7. Board Trace Model ページ

I/O 規格ごとの Board Trace Model の設定を行います。このオプションを設定すると、TimeQuest でのタイミング解析時にデバイス外部の接続状況を考慮した I/O タイミングで検証することができます。

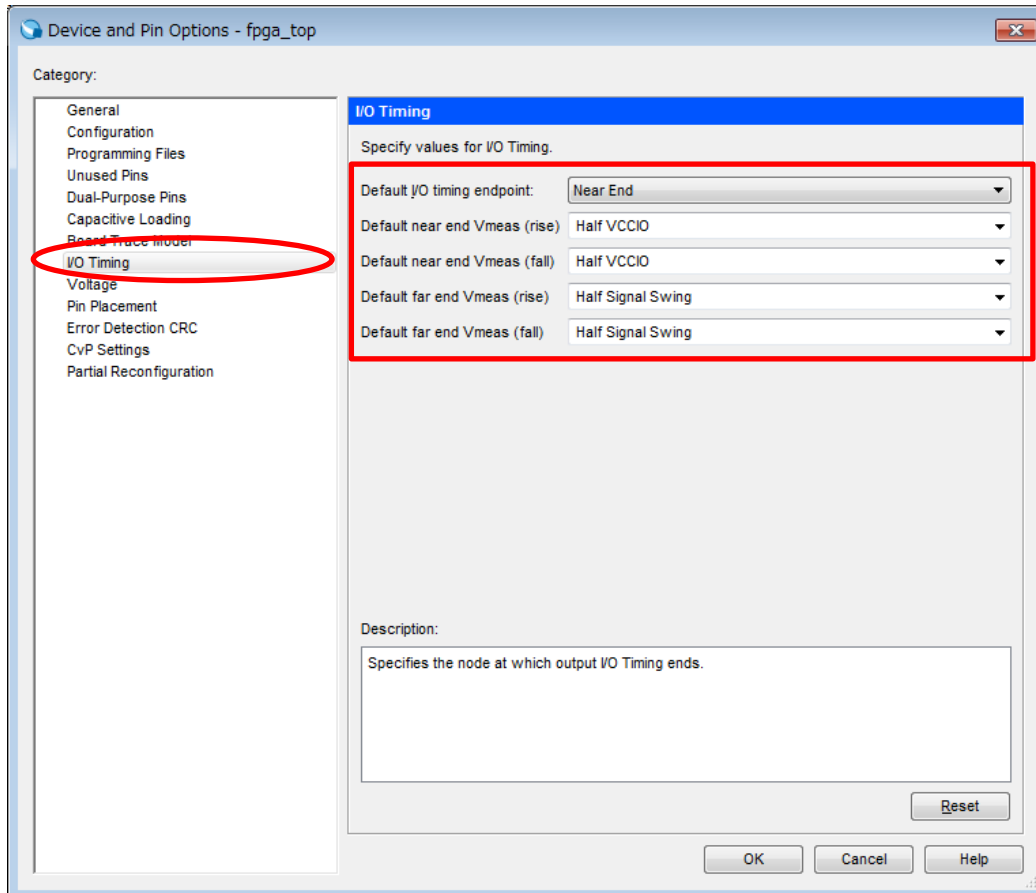
<対象デバイス: Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV>



2-8. I/O Timing ページ

配置配線時にボード・トレースの近端もしくは遠端のどちらを I/O タイミングの計算に用いるかを指定します。また、近端や遠端の立ち上がりと立ち下がり時それぞれにおける Quartus Prime 開発ソフトウェアのタイミング解析をどの時点で終了するかを指定できます。このオプションを設定すると、TimeQuest でより詳細なタイミング制約・解析を行うことができます。

<対象デバイス: Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10>



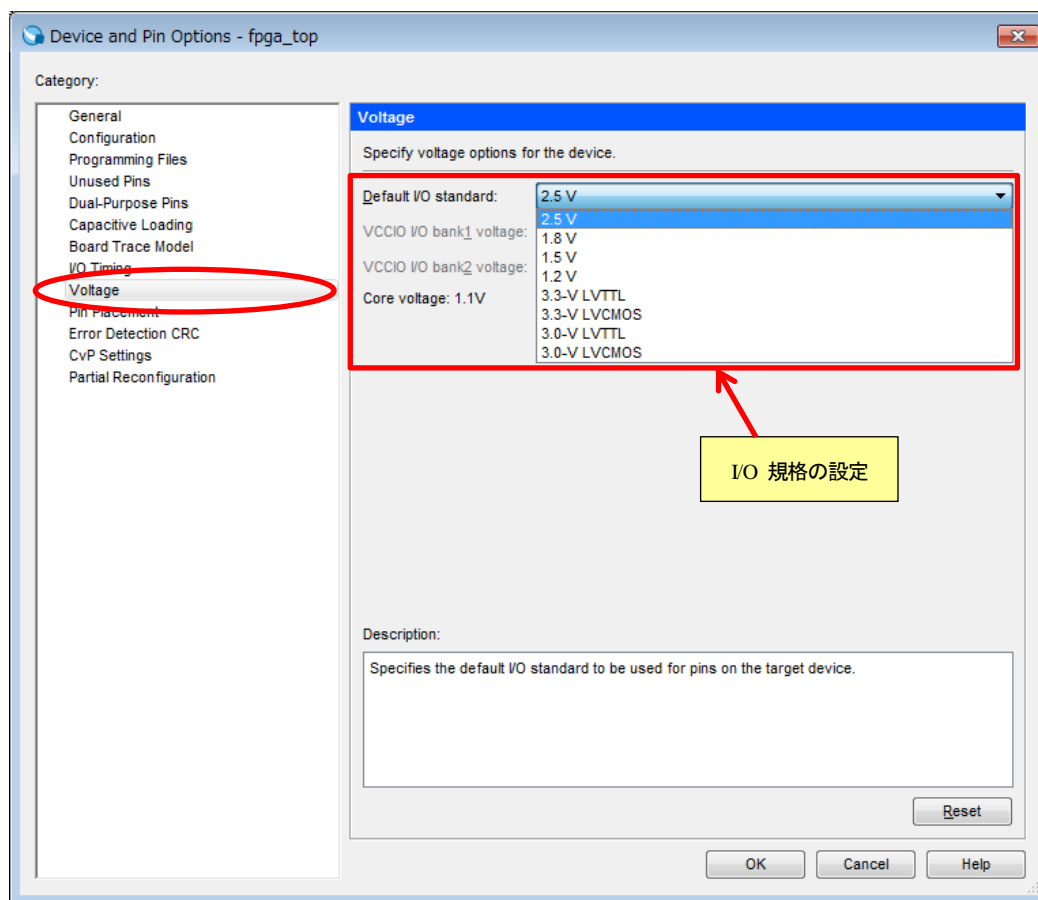
2-9. Voltage ページ

デバイス全体のユーザ I/O ピンにおける I/O 規格のデフォルト値を設定します。

設定のポイントとして、すべてのユーザ I/O ピンに設定する項目のうち、一番多く設定する I/O 規格を Voltage ページで設定して、それ以外の I/O 規格に設定したいユーザ I/O ピンには Pin Planner を使用して個別設定を行います。全体設定と個別設定では、個別設定がコンパイル時に優先されます。

※ 詳細は、本資料を入手したサイト内から以下の資料をご覧ください。

『Quartus Prime はじめてガイド – ピン・アサインの方法』



2-10. Pin Placement ページ

LVTTL/LVCMOS 入力ピンの電圧調整の設定や I/O ピンの電力制約値を設定できます。このオプションを設定すると、コンパイル時のピン・アサインのルールが変更されます。

◆ Allow voltage overdrive for LVTTL/LVCMOS input pins

このオプションを有効にすると、3.3V LVTTL/LVCMOS の入力ピンを 3.3V よりも低い電圧値の I/O バンク（つまり、VCCIO が 1.8V や 1.5V など）に配置することができます。

<対象デバイス： MAX V、MAX II>

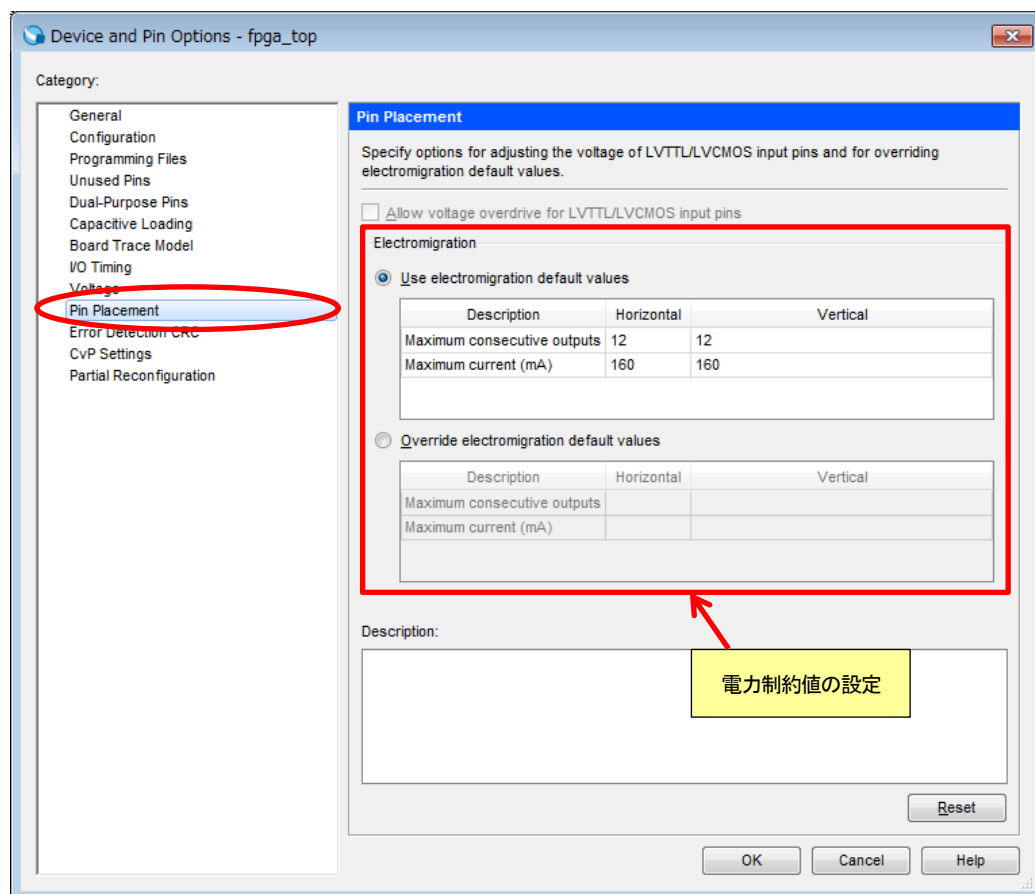
◆ Electromigration

電力制約について、デフォルト値を適用するか、ユーザが指定するかを選択できます。

“Maximum consecutive outputs” には、連続して配置可能な出力ピンと双方向ピン数の値を入力します。

“Maximum current (mA)” には、“Maximum consecutive outputs” で設定したピン数の合計の最大電流値を設定します。

<対象デバイス： Cyclone IV、MAX 10>



2-11. Error Detection CRC ページ

◆ Enable error detection CRC

ユーザ・モード中のエラー検知 (CRC) 回路の使用を有効にします。このオプションを有効にすると、CRC_ERROR ピン (デバイスの型番により、ピン番号が決まっています。) が有効になります。CRC エラーオプションを使用していない場合、CRC_ERROR ピンはユーザ I/O として使用できます。

※ CRC 機能の詳細は、アルテラの下記資料を参照してください。

『[AN357 : Error Detection and Recovery Using CRC in Altera FPGA Devices](#)』

◆ Enable open drain on CRC Error pin

CRC_ERROR ピンをオープン・ドレインにします。このオプションを有効にすると、CRC_ERROR ピンをプルアップする必要があります。

<対象デバイス: Stratix V、Arria 10、Arria V、Cyclone V>

◆ Enable initial scrubbing

Initial Scrub 機能を有効にします。このオプションを有効にすると、デバイスの動作中にエラーを訂正します。詳細は、サポートするデバイスのドキュメントを参照してください。

<対象デバイス: Stratix V、Arria 10、Arria V>

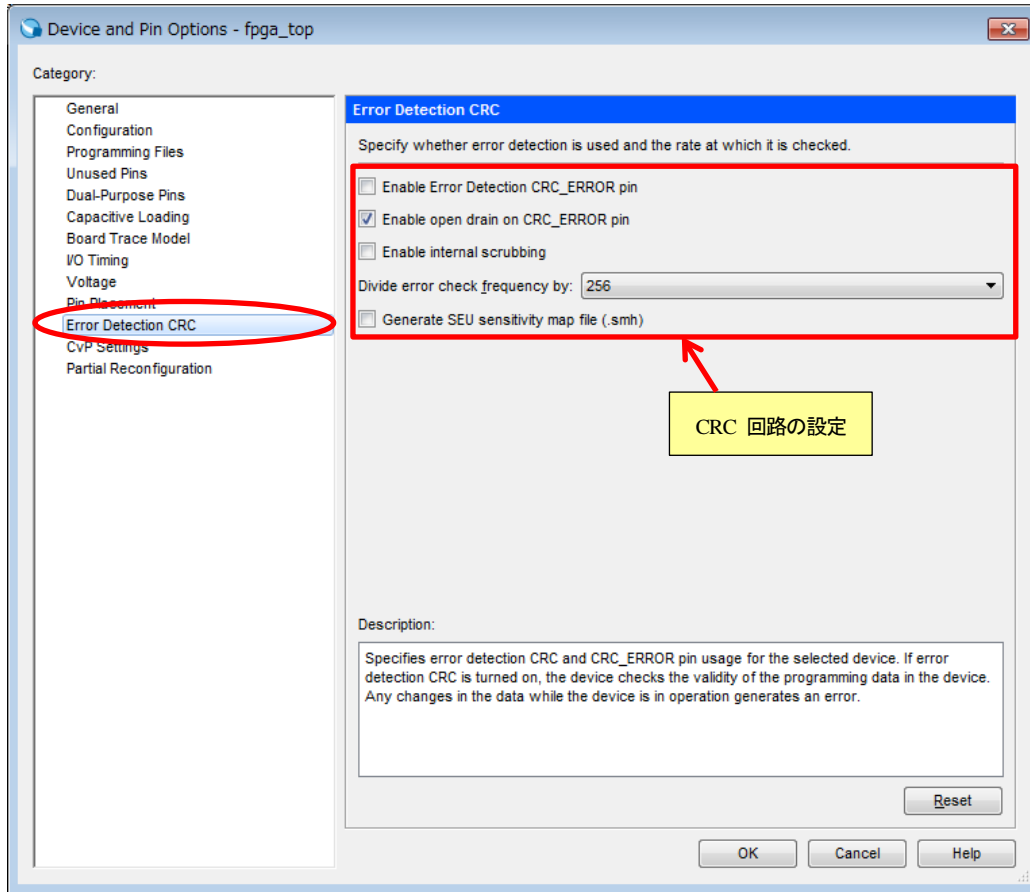
◆ Divide error check frequency by:

CRC 回路の内部周波数を設定します。詳細は、サポートするデバイスのドキュメントを参照してください。

<対象デバイス: Stratix V、Stratix IV、Arria 10、Arria V、Arria II、Cyclone V、Cyclone IV、MAX 10>

◆ Generate SEU sensitivity map file (.smh)

デザインのセンシティビティ・マップ・ファイルを生成するために SEU 検知コンパイラを有効にすることができます。このオプションを有効にすると、SMH ファイル (*.smh) が生成されます。



2-12. CvP Settings ページ

◆ Configuration via Protocol

Configuration via Protocol (CvP) のコンフィギュレーション・モードを指定します。

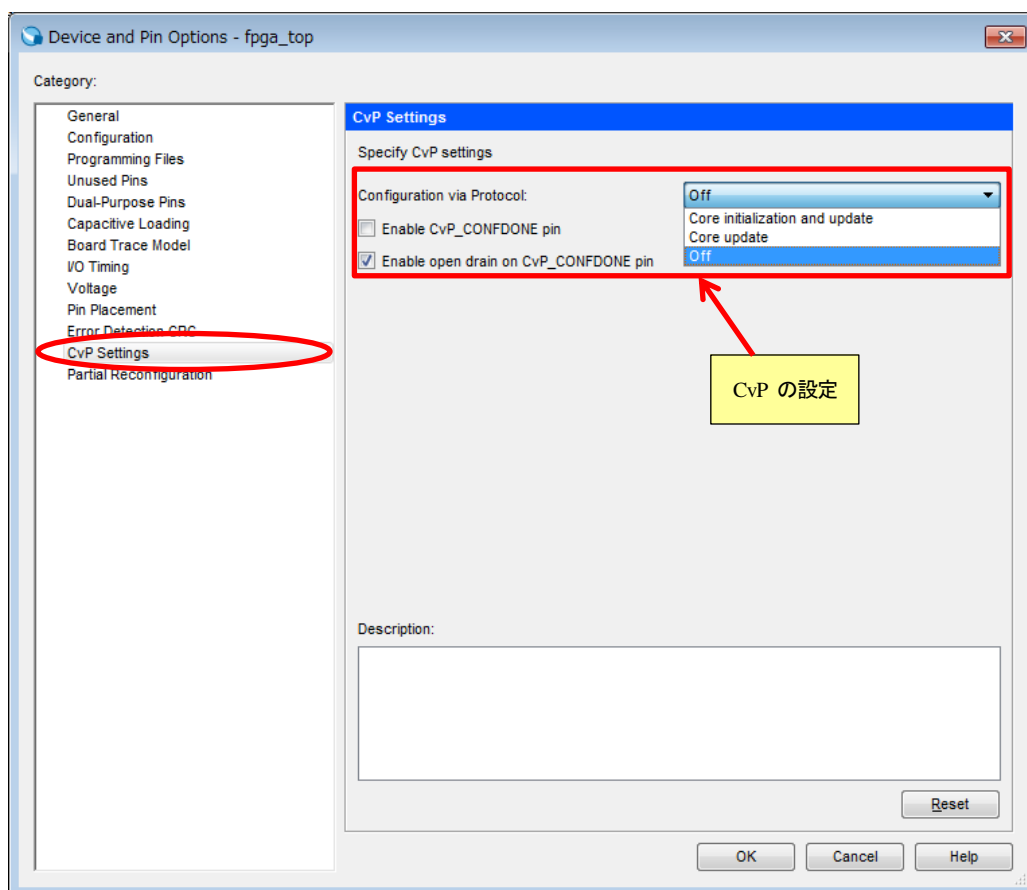
◆ Enable CvP_CONFDONE pin

このオプションを有効にすると、CvP_CONFDONE ピン(デバイスの型番により、ピン番号が決まっています。)が有効になります。CvP を使用していない場合、CvP_CONFDONE ピンはユーザ I/O として使用できます。

◆ Enable open drain on CvP_CONFDONE pin

CvP_CONFDONE ピンをオープン・ドレインにします。このオプションを有効にすると、CvP_CONFDONE ピンをプルアップする必要があります。

<対象デバイス: Stratix V、Arria 10、Arria V、Cyclone V>



2-13. Partial Reconfiguration ページ

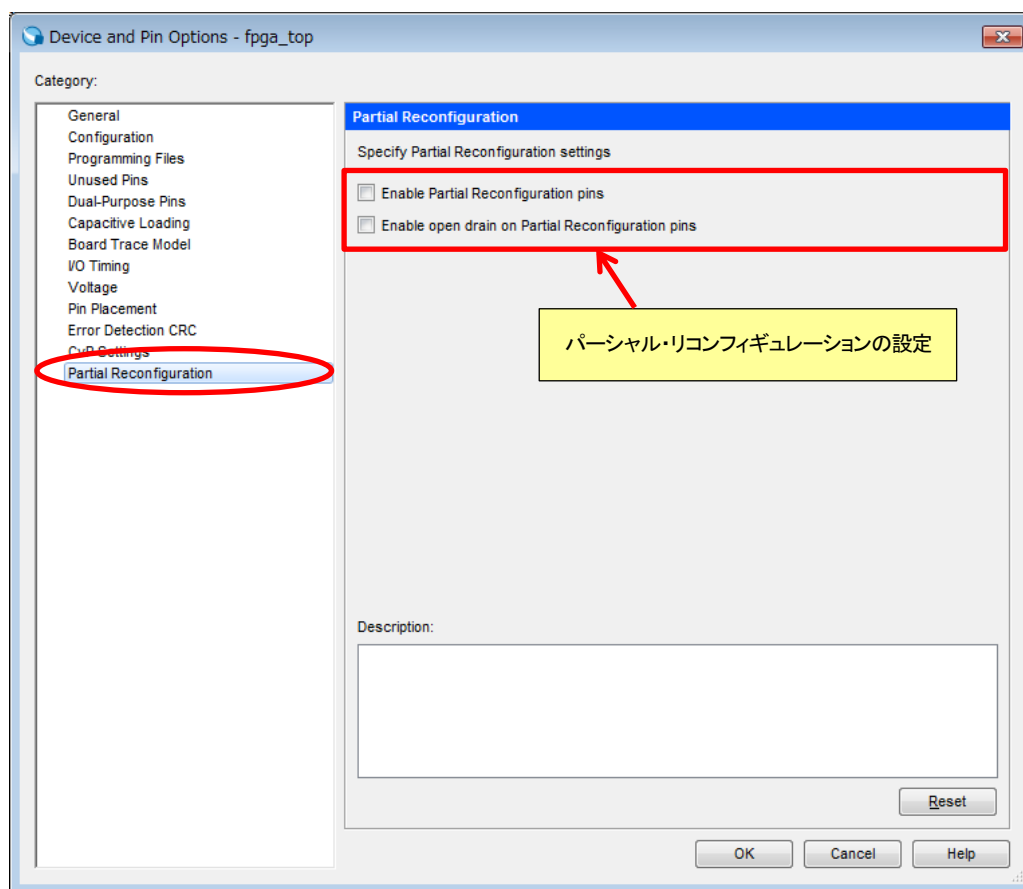
◆ Enable Partial Reconfiguration pins

このオプションを有効にすると、パーシャル・リコンフィギュレーション関連ピン (PR_REQUEST、PR_READY、PR_ERROR、PR_DONE、DCLK、DATA[15:0]) が有効になります。このオプションを無効にすると、PR_REQUEST と PR_READY、PR_ERROR、PR_DONE ピンはユーザ I/O として使用できます。(DCLK と DATA[15:0] ピンはコンフィギュレーション専用ピンまたは Dual-Purpose Pins ページの設定に依存します。)

◆ Enable open drain on Partial Reconfiguration pins

パーシャル・リコンフィギュレーション関連ピンのうち、PR_READY と PR_ERROR、PR_DONE ピンをオープン・ドレインにします。このオプションを有効にすると、これらのピンをプルアップする必要があります。

<対象デバイス: Stratix V、Arria 10、Arria V、Cyclone V>



改版履歴

Revision	年月	概要
1	2016年2月	初版
2	2016年2月	誤記訂正 ・ 「2-8 I/O Timing ページ」のサポート・デバイス
3	2016年5月	記述変更 ◆ 「2-1 General ページ」の Enable nCONFIG, nSTATUS, and CONF_DONE pins の記述変更 ・ 「2-2 Configuration ページ」の MAX 10 デバイスのエラッタ対応

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>

株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。