

# Quartus II はじめてガイド Device and Pin Options 設定方法

ver.14



2015年3月 Rev.1

ELSENA,Inc.





## Quartus II はじめてガイド

Device and Pin Options 設定方法

## <u>目次</u>

1. はじ	こめに
2. Dev	vice and Pin Options の起動4
3. Dev	vice and Pin Options の設定
3-1.	General $^{\sim}-\dot{\mathcal{V}}$
3-2.	Configuration $\sim - \vartheta$
3-3.	Programming File $^{\sim}-\overset{\sim}{\rightarrow}$
3-4.	Unused Pins ページ
3-5.	Dual-Purpose Pins $\sim - \dot{\mathcal{Y}}$
3-6.	Capacitive Loading $\sim - \vec{v}$
3-7.	Board Trace Model $\sim - \vec{v}$
3-8.	I/O Timing $\sim - \dot{\mathcal{Y}}$
3-9.	Voltage $\sim - \vartheta$
3-10.	Pin Placement $^{\sim}{\sim}$
3-11.	Error Detection CRC ページ
3-12.	CvP Settings $\sim - \mathcal{V}$
3-13.	Partial Reconfiguration $\sim - \vec{v}$
4. Mig	gration compatibility の設定
改版履歷	至

## 1. <u>はじめに</u>

この資料は、Quartus<sup>®</sup> II における Device and Pin Options の設定に関して説明しています。

Device and Pin Options ダイアログ・ボックスでは、現在のプロジェクトで選択されているデバイスにおけるデバ イス・オプションとピン・オプションの指定ができます。ここで設定した内容は、プロジェクト全体に対して有効です。 また、コンフィギュレーション・モードやコンフィギュレーション・デバイスの選択もできます。

その他、同デバイス・ファミリ内の同一ピン・パッケージにおいて Logic Element (LE) 数の小さいまたは大きい デバイスへの移行をしやすくするマイグレーション・デバイス設定についても紹介しています。

## 2. <u>Device and Pin Options の起動</u>

Device         Select the family and device support with the Install Devices command on the Tools menu.         To determine the version of the Quartus II software in which your target device is supported, refer to the Device Support List webpage.         Device family         Parking Cyclone V (E/GX/GT/SX/SE/ST)         Devices:         Devices:         All         Target device         Auto device selected by the Fitter         Specific device selected in 'Available devices' list         Other:       n/a         Second cevice selected in 'Available devices' list         Other:       n/a         Second cevice selected in 'Available devices' list         Other:       n/a         Second cevice selected in 'Available devices' list         Device and Pin Options         Occes Speed grade:         Auto devices         Second cevices         Se							
Device         Select the family and device support with the Install Devices command on the Tools menu.         To determine the version of the Quartus II software in which your target device is supported, refer to the Device Support List webpage.         Device family         Family:       Cyclone V (E/GX/GT/SX/SE/ST)         Devices:       All         Target device       Any         Other:       n/a         Other:       n/a         Other:       n/a         Secord Core Yoltage       ALM's         User I/Os       GXB Channel PMA         GXB Channel PMA       GXB Channel PCS         PLee       Secord Core Yoltage         ALM's       User I/Os         GXGFC4F6M11C6       1.1V         10860       149         4       1         ScGXFC4F6M11C6       1.1V         11V       18860         149       4         4       1         ScGXFC4F6M11C7       1.1V         11V       18860         149       4       1         ScGXFC4F6M11C7       1.1V         12860       149       4       1         ScGXFC4F6FM11C6       1.1V         149		ļ					
Severe Select the family and device you want to target for compilation. You can install additional device support with the Install Devices command on the Tools menu. To determine the version of the Quartus II software in which your target device is supported, refer to the <u>Device Support List</u> webpage. Device family Family: Cyclone V (E/GX/GT/SX/SE/ST) Devices: All Target device C Auto device selected by the Fitter © Specific device selected in 'Available devices' list © Other: n/a Available devices: Other: n/a Available devices: SCGXFC4FGM11C6 1.1V 18860 149 4 5 SCGXFC4FGM11C7 1.1V 18860 149 4 4 5 SCGXFC4FGM11C7 1.1V 18860 149 5 SCGXFC4FGM11C7 1.1V 18860 149 5 SCGXFC4FGM11C7 1.1V 18860 149 5 SCGXFC4FGM11C7 1.1V 18860 149 5 SCGXFC4FGM11C7 1.1V 18860 149 5 SCGXFC4FGM11C7 1.1V 18860 149 5 SCGXFC4FGM11C7 1.1V 2080 268 6 6 6 6 7 SCGXFC5CF27C7 1.1V 2080 268 6 6 6 6 7 SCGXFC4FGM1C7 1.1V 2080 268 6 6 6 7 SCGXFC5CF27C7 1.1V 2080 268 6 6 6 7 SCGXFC4FGM1C7 1.1V 2080 268 6 6 6 7 SCGXFC5CF27C7 1.1V 2080 268 6 6 6 7 SCGXFC5CF27C7 1.1V 2080 268 7 SCGXFC5CF27C7 1.1	Nevice						
Select the family and device you want to target for compilation.         You can install additional device support with the Install Devices command on the Tools menu.         To determine the version of the Quartus II software in which your target device is supported, refer to the Device Support List webpage.         Device family         Family:       Cyclone V (E/GX/GT/SX/SE/ST)         Devices:       All         Target device       Package:         Auto device selected by the Fitter       Specific device selected in 'Available devices' list         Other:       n/a         Valiable devices:       Inv         Specific device selected in 'Available devices' list       Specific device selected in 'Available devices' list         Other:       n/a         Valable devices:       Exception 11/V         Specific device selected in 'Available devices' list       Inv         Device and Pin Options       Device and Pin Options         Vallable devices:       Exception 11/V         Specific defemilic 1.1/V       18860         Specific defemilic 1.1/V       18860         149       4       1         Specific defemilic 1.1/V       18860       149         4       1       1         Specific defemilic 1.1/V       18860       149         <	pevice						
You can install additional device support with the Install Devices command on the Tools menu.         To determine the version of the Quartus II software in which your target device is supported, refer to the Device Support List webpage.         Devices family         Family:       Cyclone V (E/GX/GT/SX/SE/ST)         Devices:       All         Target device       Any         Core Speed grade:       Any         Core Speed grade:       Any         Mane       Core Voltage         Auto device selected in 'Available devices' list       Device and Pin Options         Vallable devices:       Device and Pin Options         Vallable devices:       1.1V         ScGXFC4FCM11C6       1.1V         1.1V       18860         149       4         4       1         ScGXFC4FGM11C6       1.1V         1.1V       18860         149       4         4       1         ScGXFC4F6M11C6       1.1V         1.1V       18860         149       4       1         ScGXFC4F6M11C7       1.1V       18860       149         5CGXFC4F6M11C8       1.1V       18860       149       4       1         ScGXFC4F6M11C8       <	Select the family and de	evice you want to ta	rget for comp	bilation.			
o determine the version of the Quartus II software in which your target device is supported, refer to the <u>Device Support List</u> webpage.         Device family         Family:       Cyclone V (E/GX/GT/SX/SE/ST)         Devices:       All         Target device       Any         C       Auto device selected by the Fitter         © Specific device selected in 'Available devices' list       Price and Pin Options         © Other:       n/a         Mame       Core Yoltage         ALMS       User I/OS       GXB Channel PMA         GXB Channel PMA       GXB Channel PMA         Pice and Pin Options         Valiable devices:       IV         10       SCGXFC4F011C6         1.1V       18860         149       4         1       SCGXFC4F6M11C7         1.1V       18860         149       4         1       SCGXFC4F6M11C1         1.1V       18860         149       4         1       SCGXFC4F6M11C1         1.1V       18860         149       4         15       SCGXFC4F6M11C8         1.1V       18860         149       4         15       SCGXFC4F	ou can install additiona	al device support wit	h the Install (	Devices command	l on the Tools menu.		
Device family       Family: Cyclone V (E/GX/GT/SX/SE/ST)         Perices:       All         Target device       Any         C       Auto device selected by the Fitter         C       Auto device selected in 'Available devices' list         C       Auto device selected in 'Available devices' list         C       Auto device selected in 'Available devices' list         C       Other: n/a         Name       Core Yoltage         ALMS       User I/Os         GXB Channel PMA       GXB Channel PCS         PCIE       ScGXFC4F011C6         SCGXFC4F6M11C6       1.1V         1.1V       18860         149       4         4       1         SCGXFC4F6M11C1       1.1V         1.1V       18860         149       4         4       1         SCGXFC4F7M11C8       1.1V         1.1V       18860         149       4         4       1         SCGXFC4F7M11C8       1.1V         1.1V       18860         149       4         4       1         SCGXFC4F7M11C8       1.1V         1.1V       29080 <th>o determine the versio</th> <th>on of the Quartus II</th> <th>software in w</th> <th>hich your target</th> <th>device is supported, ref</th> <th>er to the <u>Device Support List</u> v</th> <th>vebpage.</th>	o determine the versio	on of the Quartus II	software in w	hich your target	device is supported, ref	er to the <u>Device Support List</u> v	vebpage.
Family:       Cyclone V (E/GX/GT/SX/SE/ST) <ul> <li>Package:</li> <li>Any</li> <li>Pin count:</li> <li>Any</li> <li>Core Speed grade:</li> <li>Any</li> <li>Name filter:</li> <li>Specific devices selected in 'Available devices' list</li> <li>Other: n/a</li> <li>Device and Pin Options</li> </ul> <ul> <li>Wailable devices:</li> </ul> <ul> <li>SocgXFC4FC0110C8</li> <li>1.1V</li> <li>18860</li> <li>149</li> <li>4</li> <li>4</li> <li>1</li> <li>SocgXFC4F7M11C8</li> <li>1.1V</li> <li>18860</li> <li>4</li> <li>4</li> <li>4</li> <li>4<td>Device family</td><td></td><td></td><td></td><td>-Show in 'Available devic</td><td>es' list</td><td></td></li></ul>	Device family				-Show in 'Available devic	es' list	
Devices:       All       Image: Any       Image: Any         Target device       Core Speed grade:       Any       Name filter:         Image: Any       Name filter:       Image: Any       Name filter:         Image: Other:       n/a       Image: Any       Name filter:         Image: Other:       n/a       Image: Any       Name filter:         Image: Other:       Image: Other       Name       Image: Other         ScGXFC4C7U19C8       1.1V       18860       252       6       6       2         ScGXFC4C7U19C8       1.1V       18860       149       4       1       1         ScGXFC4F6M11C7       1.1V       18860       149       4       1       1         ScGXFC4FF6M11C7       1.1V       18860       149       4       1       1         ScGXFC4FF6M11C7       1.1V       18860       149       4       1       1         ScGXFC4F2M11C8       1.1V       18860       149       4       1       1         ScGXFC4F2M11C8       1.1V       29080       268       6       6       2       2         ScGXFC4F27M11C8       1.1V       29080       268       6       6       2 <t< td=""><td>Family: Cyclone V (B</td><td>E/GX/GT/SX/SE/ST)</td><td></td><td><b>_</b></td><td>Package: Ar</td><td>ער</td><td>-</td></t<>	Family: Cyclone V (B	E/GX/GT/SX/SE/ST)		<b>_</b>	Package: Ar	ער	-
Devices:       JATY       JATY         Target device       Core Speed grade:       Any       Name filter:         Core Speed grade:       Any       Name filter:       Name filter:         Image: Specific device selected by the Fitter       Image: Show advanced devices       Image: Show advanced devices         Image: Other:       n/a       Device and Pin Options       Image: Show advanced devices         Image: ScGXFC4C7U19C8       1.1V       18860       252       6       6       2         SCGXFC4C7U19C8       1.1V       18860       149       4       1       1         SCGXFC4F6M11C7       1.1V       18860       149       4       1       1         SCGXFC4F6M11C7       1.1V       18860       149       4       1       1         SCGXFC4F6M11C7       1.1V       18860       149       4       1       1         SCGXFC4F2M11C8       1.1V       18860       149       4       1       1         SCGXFC4F2701128       1.1V       29080       268       6       6       2       2         SCGXFC4F2701128       1.1V       29080       268       6       6       2       2         SCGXFC5C6F23C7       1.1	Daviana All				Dia anunhi 🗛		
Target device       Core Speed grade:       Any       Name         C Auto device selected by the Fitter       Name filter:       Name filter:         C Other: n/a       Device and Pin Options         walable devices:       Device and Pin Options         SCGXFC4C7U19C8       1.1V         18860       252         6       6         SCGXFC4F6M11C6       1.1V         18860       149         4       4         SCGXFC4F6M11C7       1.1V         18860       149         4       4         SCGXFC4F7M11C8       1.1V         18860       149         4       4         1       SCGXFC4F7M11C8         1.1V       18860         149       4         4       1         SCGXFC4F7M11C8       1.1V         1.1V       18860         2GGXFC4F7M11C8       1.1V         2GGXFC4F7M11C8       1.1V         2GGXFC4F7M11C8       1.1V         2GGXFC4F7M11C8       1.1V         2GGXFC4F7M11C8       1.1V         2GGXFC4F7M11C8       1.1V         2GGXFC4F7C5C6F23C7       1.1V         20800	Devices: JAII				Pin count: Ar	γ	<u> </u>
O       Auto device selected by the Fitter       Name filter:         Image: Specific device selected in 'Available devices' list       Image: Show advanced devices         Image: Other: n/e       Device and Pin Options         wailable devices:       Device and Pin Options         SCGXFC4C7U19C8       1.1V         18860       252         6       6         SCGXFC4F6M11C6       1.1V         18860       149         4       4         5CGXFC4F6M11C7       1.1V         18860       149         4       4         5CGXFC4F6M11C7       1.1V         18860       149         4       4         5CGXFC4F7M11C8       1.1V         1.1V       18860         149       4         4       1         5CGXFC4F6M11C7       1.1V         1.1V       18860         5CGXFC4F77M11C8       1.1V         1.1V       29080       268       6         5CGXFC5C6F23C7       1.1V       29080       268       6       2         5CGXFC5C6F23C7       1.1V       29080       268       6       2         5CGXFC5C6F23C7       1.1V	Target device				Core Speed grade: Ar	γ	•
Auto device selected by the Fitter         Specific device selected in 'Available devices' list         Other: n/a       Device and Pin Options         walable devices:       Device and Pin Options         SCGXFC4C7U19C8       1.1V       18860       252       6       6       2         SCGXFC4FC7U19C8       1.1V       18860       149       4       4       1         SCGXFC4F6M11C6       1.1V       18860       149       4       4       1         SCGXFC4F6M11C7       1.1V       18860       149       4       4       1         SCGXFC4FF0M11C7       1.1V       18860       149       4       4       1         SCGXFC4FF7M11C8       1.1V       18860       149       4       4       1         SCGXFC4FF7M11C8       1.1V       18860       149       4       4       1         SCGXFC4FF7M11C8       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       268 </td <td colspan="3"></td> <td></td> <td>Name filter:</td> <td></td> <td></td>					Name filter:		
Specific device selected in 'Available devices' list       Device and Pin Options         Wailable devices:       Device and Pin Options         Name       Core Voltage       ALMs       User I/Os       GXB Channel PMA       GXB Channel PCS       PCIe         SCGXFC4C7U19C8       1.1V       18860       252       6       6       2         SCGXFC4F6M11C6       1.1V       18860       149       4       1         SCGXFC4F6M11C7       1.1V       18860       149       4       1         SCGXFC4FF0M11C7       1.1V       18860       149       4       1         SCGXFC4FF0M11C8       1.1V       18860       149       4       1         SCGXFC4FF0M11C8       1.1V       18860       149       4       1         SCGXFC4FF7M11C8       1.1V       18860       149       4       1         SCGXFC5C6F23A7       1.1V       29080       268       6       6       2         SCGXFC5C6F23C6       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       268       6       6       2         SCGXFC5C6F23C6       1.1V       29080       268       6	C Auto device selec	ited by the Fitter			·		
Name         Core Voltage         ALMs         User I/Os         GX8 Channel PMA         GX8 Channel PCS         PCIe           SCGXFC4C7U19C8         1.1V         18860         252         6         6         2           SCGXFC4F6M11C6         1.1V         18860         149         4         4         1           SCGXFC4F6M11C7         1.1V         18860         149         4         4         1           SCGXFC4F6M1177         1.1V         18860         149         4         4         1           SCGXFC4F7M1178         1.1V         18860         149         4         4         1           SCGXFC5C6F23A7         1.1V         18860         149         4         4         1           SCGXFC5C6F23C6         1.1V         29080         268         6         6         2           SCGXFC5C6F23C7         1.1V         29080 <t< th=""><th><ul> <li>Specific device se</li> </ul></th><th>elected in 'Available c</th><th>levices' list</th><th></th><th>I▼ Show advanced de</th><th>VICES</th><th></th></t<>	<ul> <li>Specific device se</li> </ul>	elected in 'Available c	levices' list		I▼ Show advanced de	VICES	
Name         Core Voltage         ALMs         User I/Os         GXB Channel PMA         GXB Channel PCS         PCIe           SCGXFC4C7U19C8         1.1V         18860         252         6         6         2           SCGXFC4F6M11C6         1.1V         18860         149         4         4         1           SCGXFC4F6M11C7         1.1V         18860         149         4         4         1           SCGXFC4F6M1177         1.1V         18860         149         4         4         1           SCGXFC4F7M1178         1.1V         18860         149         4         4         1           SCGXFC5C6F23A7         1.1V         18860         149         4         4         1           SCGXFC5C6F23C6         1.1V         29080         268         6         6         2           SCGXFC5C6F23C7         1.1V         29080 <t< th=""><th>C Other: n/a</th><th></th><th></th><th></th><th></th><th></th><th></th></t<>	C Other: n/a						
Name         Core Yoltage         ALMs         User I/Os         GXB Channel PMA         GXB Channel PCS         PCIe           SCGXFC4C7U19C8         1.1V         18860         252         6         6         2           SCGXFC4F6M11C6         1.1V         18860         149         4         4         1           SCGXFC4F6M11C7         1.1V         18860         149         4         4         1           SCGXFC4F6M1177         1.1V         18860         149         4         4         1           SCGXFC4F7M1178         1.1V         18860         149         4         4         1           SCGXFC4F7M1178         1.1V         18860         149         4         4         1           SCGXFC5C6F23A7         1.1V         29080         268         6         6         2           SCGXFC5C6F23C7         1.1V         29080 <t< th=""><th>C calori nya</th><th></th><th></th><th></th><th>Device and Pin Options.</th><th></th><th></th></t<>	C calori nya				Device and Pin Options.		
Name         Core Voltage         ALMs         User I/os         GXB Channel PMA         GXB Channel PCA         PCIe           SCGXFC4C7U19C8         1.1V         18860         25         6         6         2           SCGXFC4F6M11C4         1.1V         18860         191         4         4         1           SCGXFC4F6M11C7         1.1V         18860         149         4         4         1           SCGXFC4F6M11C7         1.1V         18860         149         4         4         1           SCGXFC4F6M11C8         1.1V         18860         149         4         4         1           SCGXFC5C4F23M1         1.1V         18860         149         4         4         1           SCGXFC5C6F23A7         1.1V         29080         288         6         6         2           SCGXFC5C6F23C7         1.1V         29080         286         6         6         2           SCGXFC5C6F27C7         1.1V         29080         264         6         6         2           SCGXFC5C6F27C7         1.1V         29080         264         6         6         2           SCGXFC5C6F27C7         1.1V         29080 <td< th=""><th>Available devices:</th><th></th><th></th><th></th><th></th><th></th><th></th></td<>	Available devices:						
SCGXFC4C7U19C8       1.1V       18860       252       6       6       2         SCGXFC4F6M11C6       1.1V       18860       149       4       4       1         SCGXFC4F6M11C7       1.1V       18860       149       4       4       1         SCGXFC4F6M11C7       1.1V       18860       149       4       4       1         SCGXFC4F6M1117       1.1V       18860       149       4       4       1         SCGXFC4F7M11C8       1.1V       18860       149       4       4       1         SCGXFC4F7M11C8       1.1V       18860       149       4       4       1         SCGXFC5GF23A7       1.1V       29080       268       6       6       2         SCGXFC5GF23C6       1.1V       29080       268       6       6       2         SCGXFC5GF23C7       1.1V       29080       268       6       6       2         SCGXFC5GF23C7       1.1V       29080       364       6       6       2         SCGXFC5GF27C6       1.1V       29080       364       6       6       2         SCGXFC5GF27C7       1.1V       29080       364       6	Name	Core Voltage	ALMs	User I/Os	GXB Channel PM	IA GXB Channel PCS	PCIet
SCGXFC4F6M11C6       1.1V       18860       149       4       4       1         SCGXFC4F6M11C7       1.1V       18860       149       4       4       1         SCGXFC4F6M1117       1.1V       18860       149       4       4       1         SCGXFC4F6M1117       1.1V       18860       149       4       4       1         SCGXFC4F7M11C8       1.1V       18860       149       4       4       1         SCGXFC4F7M11C8       1.1V       18860       149       4       4       1         SCGXFC5GF23A7       1.1V       29080       268       6       6       2         SCGXFC5GF23C6       1.1V       29080       268       6       6       2         SCGXFC5GF23C7       1.1V       29080       268       6       6       2         SCGXFC5GF23C7       1.1V       29080       364       6       6       2         SCGXFC5GF27C6       1.1V       29080       364       6       6       2         SCGXFC5GF27C7       1.1V       29080       364       6       6       2         SCGXFC5GF26F27C7       1.1V       29080       364       6	5CGXFC4C7U19C8	1.1V	18860	252	6	6	2
SCGXFC4F6M11C7       1.1V       18860       149       4       4       1         SCGXFC4F6M11I7       1.1V       18860       149       4       4       1         SCGXFC4F6M11I7       1.1V       18860       149       4       4       1         SCGXFC4F6M1178       1.1V       18860       149       4       4       1         SCGXFC5C6F23A7       1.1V       29080       268       6       6       2         SCGXFC5C6F23C6       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       364       6       6       2         SCGXFC5C6F27C7       1.1V       29080       364       6       6       2         SCGXFC5C6F27C7       1.1V       29080       364       6       6       2         SCGXFC5C6F27C7       1.1V       29080       364       6 <td>5CGXFC4F6M11C6</td> <td>1.1V</td> <td>18860</td> <td>149</td> <td>4</td> <td>4</td> <td>1</td>	5CGXFC4F6M11C6	1.1V	18860	149	4	4	1
SCGXFC4F6M1117       1.1V       18860       149       4       4       1         SCGXFC4F7M11C8       1.1V       18860       149       4       4       1         SCGXFC4F7M11C8       1.1V       18860       149       4       4       1         SCGXFC5C6F23A7       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       364       6       6       2         SCGXFC5C6F27C7       1.1V       29080       364       6 <td>5CGXFC4F6M11C7</td> <td>1.1V</td> <td>18860</td> <td>149</td> <td>4</td> <td>4</td> <td>1</td>	5CGXFC4F6M11C7	1.1V	18860	149	4	4	1
SCGXFC4F7M11C8       1.1V       18860       149       4       4       1         SCGXFC5C6F23A7       1.1V       29080       268       6       6       2         SCGXFC5C6F23C6       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       268       6       6       2         SCGXFC5C6F23T7       1.1V       29080       268       6       6       2         SCGXFC5C6F27C7       1.1V       29080       364       6       6       2         SCGXFC5C6F27T       1.1V       29080       364       6       6       2	5CGXFC4F6M11I7	1.1V	18860	149	4	4	1
SCGXFC5C6F23A7       1.1V       29080       268       6       6       2         SCGXFC5C6F23C6       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       364       6       6       2         SCGXFC5C6F27C7       1.1V       29080       364       6       6       2	5CGXFC4F7M11C8	1.1V	18860	149	4	4	1
SCGXFC5C6F23C6       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       268       6       6       2         SCGXFC5C6F23C7       1.1V       29080       268       6       6       2         SCGXFC5C6F27C6       1.1V       29080       364       6       6       2         SCGXFC5C6F27C7       1.1V       29080       364       6       6       2         SCGXFC5C6F27C7       1.1V       29080       364       6       6       2	5CGXFC5C6F23A7	1.1V	29080	268	6	6	2
SCGXFCSC6F23C7       1.1V       29080       268       6       6       2         SCGXFCSC6F23T7       1.1V       29080       268       6       6       2         SCGXFCSC6F23T6       1.1V       29080       364       6       6       2         SCGXFCSC6F27C7       1.1V       29080       364       6       6       2         SCGXFCSC6F27C7       1.1V       29080       364       6       6       2         SCGXFCSC6F27T7       1.1V       29080       364       6       6       2         SCGXFCSC6F27T7       1.1V       29080       364       6       6       2	5CGXFC5C6F23C6	1.1V	29080	268	6	6	2
5CGXFC5C6F23I7       1.1V       29080       268       6       6       2         5CGXFC5C6F27C6       1.1V       29080       364       6       6       2         5CGXFC5C6F27C7       1.1V       29080       364       6       6       2         5CGXFC5C6F27C7       1.1V       29080       364       6       6       2         5CGXFC5C6F27C7       1.1V       29080       364       6       6       2	5CGXFC5C6F23C7	1.1V	29080	268	6	6	2
5CGXFC5C6F27C6 1.1V 29080 364 6 6 2 5CGXFC5C6F27C7 1.1V 29080 364 6 6 2 5CGXFC5C6F27T7 1.1V 29080 364 6 6 2 ↓ ↓		1.1V	29080	268	6	6	2
SCGXFC5C6F27C7 1.1V 29080 364 6 6 2 SCGXFC5C6F27T7 1.1V 29080 364 6 6 2 ◀	5CGXFC5C6F23I7	1.10	29080	364	6	6	2
5CGXEC5C6E2777 1 1¥ 29080 364 6 6 2	5CGXFC5C6F23I7 5CGXFC5C6F27C6	1.19	20090	364	6	6	2
	5CGXFC5C6F23I7 5CGXFC5C6F27C6 5CGXFC5C6F27C7	1.1V	29000				
	5CGXFC5C6F23I7 5CGXFC5C6F27C6 5CGXFC5C6F27C7 5CGXFC5C6F27I7	1.1V 1.1V 1.1V	29080	364	6	6	2
en en en la construction de la const	5CGXFC5C6F2317 5CGXFC5C6F27C6 5CGXFC5C6F27C7 5CGXFC5C6F2717	1.1V 1.1V 1.1V	29080	364	6	6	2



### 3. Device and Pin Options の設定

#### 3-1. General ページ

Service and Pin Options - nios2	basic_lab
Category:	
General	General
Programming Files	Specify general device options. These options are not dependent on the configuration scheme.
	Options:
Board Trace Model	Auto-restart configuration after error
I/O Timing	Release clears before tri-states
	Enable device-wide reset (DEV_CLRn)
ック・マークをつけることにより ON	Enable device-wide output enable (DEV_OE)
- artiarticoningaration	
	Auto usercode
JTAG ユーザ・コードの設定	JTAG user code (32-bit hexadecimal): FFFFFFF
	In-system programming clamp state:
	Belev entry to user moder
	Device initialization clock source: Internal Oscillator
タナプションの報告	Description:
各オノションの解読	
	Directs the device to restart the configuration process automatically if a data error is encountered. If this option is turned off, you must externally direct the device to restart the
	configuration process if an error occurs.
eset ボタンをクリックすると	
-フォルト設定に戻ります	

#### <u>各オプション(Options 内)の説明</u>

♦ Auto-restart configuration after error

コンフィギュレーション中にデータ・エラーが発生した場合、コンフィギュレーションが異常終了します。この時に、 自動的にコンフィギュレーション・プロセスを再起動させるように FPGA デバイスに指示するオプションです。 (Passive Serial モードまたは Active Serial モード時のみ有効です。)

<対象デバイス : Stratix<sup>®</sup> V、Stratix IV、Arria<sup>®</sup> V、Arria II、Cyclone<sup>®</sup> V、Cyclone IV>

Release clears before tri-states

コンフィギュレーションが終了すると、FPGA デバイスはイニシャライズ・モード(デバイスの初期化)になります。 コンフィギュレーション中は、ユーザ I/O ピン内部がトライ・ステート状態になり、ユーザ・モードに入る直前にトラ イ・ステートを解除します。このオプションが有効の場合、ユーザ I/O ピンのトライ・ステート状態を解除する前に、 デバイス内のレジスタをクリアします。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV>

※ コンフィギュレーション中の I/O ピンの内部はトライ・ステートですが、デバイスの外部で観測できる I/O ピンの出力状態は、 デバイスのシリーズにより異なります。(例: Cyclone IV デバイスは、コンフィギュレーション中に有効になるプルアップ・レジス タが内蔵されている。)



Enable user-supplied start-up clock (CLKUSR)

コンフィギュレーション終了後のデバイスの初期化に、外部クロックを用いて初期化を行うためのオプションです。 外部クロックは、CLKUSR ピンから入力します。このオプションを無効にしている場合、CLKUSR ピンはユーザ I/O ピンとして使用できます。

<対象デバイス : Stratix IV、Arria II、Cyclone IV>

• Enable device-wide reset (DEV\_CLRn)

DEV\_CLRn ピンを有効にするオプションです。DEV\_CLRn ピンに Low を入力すると、デバイス内のすべて のレジスタがリセットされます。このオプションを無効にしている場合、DEV\_CLRn ピンはユーザ I/O ピンとして 使用できます。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX<sup>®</sup> V、MAX II>

※ 通常の論理回路で用いる非同期リセットとは異なり、デバイス内の全レジスタをリセットするための専用ピンです。

• Enable device-wide output enable (DEV\_OE)

DEV\_OE ピンを有効にするオプションです。DEV\_OE ピンに Low を入力すると、ターゲット・デバイスの全 I/O ピンが Hi-Z 状態になります。このオプションを無効にしている場合、DEV\_OE ピンはユーザ I/O ピンとして 使用できます。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX V、MAX II>

• Enable INIT\_DONE output

INIT\_DONE ピン(オープン・ドレイン出力)を有効にするオプションです。このオプションを有効にして INIT\_DONE ピンを外部でプルアップすると、コンフィギュレーション終了後のイニシャライズが完了してユーザ・モ ードに入った時に High をリリースします。プルアップの抵抗値などの情報は、各デバイスのピン接続ガイドライン を参照してください。このオプションを無効にしている場合、INIT\_DONE ピンはユーザ I/O ピンとして使用できま す。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV>

Enable OCT\_DONE

INIT\_DONE 信号を On-Chip Termination (OCT) のキャリブレーションの状態によって制御させるオプションで す。このオプションを有効にすると、INIT\_DONE ピンはコンフィギュレーションの初期化が終わり、かつ OCT の キャリブレーションが完了した状態の時に High をリリース(外部でプルアップが必要)します。このオプションが無 効の場合、INIT\_DONE ピンは OCT\_DONE 信号に関与しません。

<対象デバイス : Stratix V、Arria V、Arria II GX/GT、Cyclone V、Cyclone IV>

Enable nCEO output

nCEO ピン(オープン・ドレイン出力)を有効にするオプションです。このオプションを有効にして nCEO ピンを外 部でプルアップすると、コンフィギュレーション終了時に Low をリリースします。プルアップの抵抗値などの情報は、 各デバイスのピン接続ガイドラインを参照してください。nCEO ピンはマルチ・デバイスのコンフィギュレーション構 成の場合に使用し、後段のデバイスの nCE ピンに接続します。このオプションを無効にしている場合、nCEO ピ ンはユーザ I/O ピンとして使用できます。

<対象デバイス : Stratix V、Arria V、Cyclone V>



• Set unused TSD pins to GND

デバイス内の温度検知ダイオードを使用しない時にこのオプションを有効にすると、コンパイルで生成されるピン・アウト・ファイル(\*.pin)にデバイス内の温度検知ダイオード用ピン(TEMPDIODEp/TEMPDIODEn ピン)は GND と設定されます。

<対象デバイス : Stratix V、Stratix IV、Arria V GZ>

• Enable autonomous PCIe HIP mode

ペリフェラリがコンフィギュレーションされて、かつコアのコンフィギュレーションが完了する前に、PCIe HIP をリリ ースするための設定です。このオプションは CvP モードが無効になっている時のみ有効にできます。

<対象デバイス : Stratix V、Arria V、Cyclone V>

• Security bit

CPLD デバイスにプログラミングしたデータを正常に Examine(CPLD に書き込まれているデータを吸い出し) することができないプログラミング・ファイル(\*.pof ファイル)を生成させるオプションです。デザイン情報の保護と して使用できます。なお、このオプションは、Programmer の Security Bit オプションと同等です。

<対象デバイス : MAX V、MAX II>

• In-system programming clamp state

JTAG でのプログラミング中の I/O ピンの状態を指定できるオプションです。

<対象デバイス : MAX V、MAX II>

• Device initialization clock source

コンフィギュレーション終了後のイニシャライズを行う時のクロック・ソースを選択できるオプションです。

<対象デバイス : Stratix V、Arria V、Cyclone V>



#### 3-2. Configuration ページ

コンフィギュレーションに関するオプションが設定できます。コンフィギュレーション・モードやコンフィギュレーショ ン・デバイスなどが選択できます。(デバイス・ファミリによって、選択項目が異なります。)

Configuration       Specify the device configuration scheme and the configuration device.         Programming Files       Configuration scheme: Active Serial x4 (can use Configuration Device)         Capacitive Loading       Configuration scheme: Active Serial x4 (can use Configuration Device)         Configuration mode:       Standard         I/O Timing       Configuration mode:       Standard         Voltage       Configuration device       EPCQ64         Error Detection CRC       CVP Settings       Configuration device:       Configuration Device Options         Partial Reconfiguration       Configuration device:       Configuration Device Options       Configuration device:         Image: Configuration       Configuration device:       Configuration Device Options       Configuration device:         Image: Configuration       Configuration device:       Configuration Device Options       Configuration device:         Image: Configuration       Configuration device:       Configuration Device Options       Configuration device:         Image: Configuration       Configuration device:       Configuration device:       Configuration Schemes and the configuration I/O voltage         Image: Configuration       Configuration device:       Image: Configuration device:       Configuration device:         Image: Configuration device:       Configuration device:	General	Configuration
Dual-Purpose Pins         Capacitive Loading         Board Trace Model         I/O Timing         Voltage         Pin Placement         Error Detection CRC         CVP Settings         Partial Reconfiguration         Description         Configuration device         I/O Timing         Voltage         Pin Placement         Error Detection CRC         CVP Settings         Partial Reconfiguration         Configuration device I/O voltage:         Auto         Force VCCIO to be compatible with configuration I/O voltage         Image: Configuration device I/O voltage:	Configuration Programming Files Upused Pipe	Specify the device configuration scheme and the configuration device.
Capacitive Loading       Configuration mode:       Standard         Board Trace Model       I/O Timing       Configuration device         Voltage       Pin Placement       EPCQ64         Error Detection CRC       Configuration device:       Configuration Device Options         CVP Settings       Configuration device I/O voltage:       Auto         Partial Reconfiguration       Configuration device I/O voltage:       Auto         © Generate compressed bitstreams       Active serial dock source:       100 MHz Internal Oscillator         © Enable input tri-state on active configuration pins in user mode       Description:         Description:       The method used to configure a device with a design. Up to six configuration schemes a available: Passive Serial (PS), Passive Parallel x8 (PPx8), Passive Parallel x16 (PPx16), F	Dual-Purpose Pins	Configuration scheme: Active Serial x4 (can use Configuration Device)
I/O Timing       Configuration device         Voltage       Pin Placement         Error Detection CRC       CVP Settings         Partial Reconfiguration       Configuration device:         Configuration device I/O voltage:       Auto         Partial Reconfiguration       Force VCCIO to be compatible with configuration I/O voltage         Image: Configuration device in the second device in the s	Capacitive Loading Board Trace Model	Configuration mode: Standard
votage       Pin Placement         Error Detection CRC       CVP Settings         Partial Reconfiguration       Configuration device:         Configuration Device Options       Configuration Device Options         Partial Reconfiguration       Configuration device:         Configuration device I/O voltage:       Auto         Force VCCIO to be compatible with configuration I/O voltage         Image: Configuration device:       100 MHz Internal Oscillator         Image: Configuration device:       100 MHz Internal Oscillator         Image: Configuration device:       Description:         The method used to configure a device with a design. Up to six configuration schemes a available: Passive Serial (PS), Passive Parallel x8 (PPx8), Passive Parallel x16 (PPx16), F         Parallel x32 (PPx32), Active Serial x1 (ASx1) and Active Serial x4 (ASx4).	I/O Timing	Configuration device
Error Detection CRC CvP Settings Partial Reconfiguration Use configuration device: Configuration Device Options Configuration device I/O voltage: Force VCCIO to be compatible with configuration I/O voltage Generate compressed bitstreams Active serial clock source: 100 MHz Internal Oscillator Enable input tri-state on active configuration pins in user mode Description: The method used to configure a device with a design. Up to six configuration schemes a vailable: Passive Serial (PS), Passive Parallel x8 (PPx8), Passive Parallel x16 (PPx16), F Parallel x32 (PPx32), Active Serial x1 (ASx1) and Active Serial x4 (ASx4).	Pin Placement	EPCQ64
Partial Reconfiguration       Configuration device I/O voltage: Auto <ul> <li>Force VCCIO to be compatible with configuration I/O voltage</li> <li>Generate compressed bitstreams</li> <li>Active serial clock source: 100 MHz Internal Oscillator</li> <li>Enable input tri-state on active configuration pins in user mode</li> </ul> Description:           The method used to configure a device with a design. Up to six configuration schemes a available: Passive Serial (PS), Passive Parallel x8 (PPx8), Passive Parallel x16 (PPx16), F	Error Detection CRC CvP Settings	Use configuration device: Configuration Device Options
<ul> <li>Force VCCIO to be compatible with configuration I/O voltage</li> <li>Generate compressed bitstreams</li> <li>Active serial dock source: 100 MHz Internal Oscillator</li> <li>Enable input tri-state on active configuration pins in user mode</li> <li>Description:</li> <li>The method used to configure a device with a design. Up to six configuration schemes a available: Passive Serial (PS), Passive Parallel x8 (PPx8), Passive Parallel x16 (PPx16), FParallel x32 (PPx32), Active Serial x1 (ASx1) and Active Serial x4 (ASx4).</li> </ul>	Partial Reconfiguration	Configuration device I/O voltage: Auto
Image: Construct Serial Construction         Image: Construct Serial Construction         Image: Construct Serial Construction         Image: Construction Construction         Image: Constructin         Image:		Force VCCIO to be compatible with configuration I/O voltage
Active serial dock source:       100 MHz Internal Oscillator            Enable input tri-state on active configuration pins in user mode             Description:            The method used to configure a device with a design. Up to six configuration schemes a available: Passive Serial (PS), Passive Parallel x8 (PPx8), Passive Parallel x16 (PPx16), F             Parallel x32 (PPx32), Active Serial x1 (ASx1) and Active Serial x4 (ASx4).		☑ Generate compressed bitstreams
<ul> <li>Enable input tri-state on active configuration pins in user mode</li> <li>Description:</li> <li>The method used to configure a device with a design. Up to six configuration schemes a available: Passive Serial (PS), Passive Parallel x8 (PPx8), Passive Parallel x16 (PPx16), F Parallel x32 (PPx32), Active Serial x1 (ASx1) and Active Serial x4 (ASx4).</li> </ul>		Active serial clock source: 100 MHz Internal Oscillator
Description: The method used to configure a device with a design. Up to six configuration schemes a available: Passive Serial (PS), Passive Parallel x8 (PPx8), Passive Parallel x16 (PPx16), F Parallel x32 (PPx32), Active Serial x1 (ASx1) and Active Serial x4 (ASx4).		Enable input tri-state on active configuration pins in user mode
The method used to configure a device with a design. Up to six configuration schemes a available: Passive Serial (PS), Passive Parallel x8 (PPx8), Passive Parallel x16 (PPx16), P Parallel x32 (PPx32), Active Serial x1 (ASx1) and Active Serial x4 (ASx4).		Description:
		The method used to configure a device with a design. Up to six configuration schemes are available: Passive Serial (PS), Passive Parallel x8 (PPx8), Passive Parallel x16 (PPx16), Passive Parallel x32 (PPx32), Active Serial x1 (ASx1) and Active Serial x4 (ASx4).

• Configuration scheme

コンフィギュレーション方法を選択します。

• Configuration mode

コンフィギュレーション・データのアップロード方法を選択します。

• Configuration device

使用するコンフィギュレーション・デバイスを選択します。アルテラのコンフィギュレーション・デバイスを使用する Configuration Scheme を選択している場合は、Use configuration device にチェックを入れて、使用するコンフィギュ レーション・デバイスをプルダウン・リストから選択します。コンパイル終了後、ここで設定したコンフィギュレーショ ン・デバイス用のプログラミング・ファイル(\*.pof)が生成されます。

• Configuration device I/O voltage

コンフィギュレーション方式に応じて、コンフィギュレーション用の I/O 電圧を指定します。(コンフィギュレーション・デバイスの電圧に委ねられます。)



• Force VCCIO to be compatible with configuration I/O voltage

FPGA デバイスのコンフィギュレーション・ピンの電源(VCCIO)を上記オプション(Configuration device I/O voltage)で指定した電位で使用する場合は有効、通常のユーザ I/O の VCCIO に委ねる場合は無効に設定します。

• Generate compressed bitstreams

コンフィギュレーション・データを圧縮するオプションです。圧縮されたデータは、コンフィギュレーション中に FPGA 内部で展開(解凍)されます。圧縮したデータを FPGA へ転送するので、コンフィギュレーション時間を短縮 することができます。

• Enable input tri-state on active configuration pins in user mode (when selected AS in configuration mode)

Active Serial コンフィギュレーション時、ユーザ・モード中にアクティブ・コンフィギュレーション・ピンの入力をトラ イ・ステートに制御します。



3-3. Programming File ページ

現在のプロジェクトにおけるプログラミング・ファイルのフォーマットを指定できます。

アルテラのコンフィギュレーション・デバイスをターゲットにしている場合は、この設定は不要です。(その場合には、Configurationページで希望のコンフィギュレーション・デバイスや関連オプションを指定してください。)

General	Programming Files	
Configuration Programming Files Unused Fins Dual-Purpose Pins Capacitive Loading Board Trace Model	Selects the optional programming file formats configuration schemes, if you select a passiv Quartus II software always generates an SR, File (.psof) or a Programmer Object File (.pof targeting.	to generate. For device families with multiple e configuration scheme in the Configuration tab, the AM Object File (.sof) and either a Partial SRAM Object ), depending on the configurable device you are
I/O Timing	🔲 Tabular Text File (.ttf)	🔲 Serial Vector Format File (.svf)
Pin Placement	🔲 Raw Binary File (.rbf)	In System Configuration File (.isc)
Error Detection CRC	Jam STAPL Byte Code 2.0 File (.jbc)	JEDEC STAPL Format File (.jam)
Partial Reconfiguration	✓ Compressed	
ogramming File フォーマットの設定	✓ Hexadecimal (Intel-Format) Output File (. Start address: 0	Count: Up
	Description: Specifies the cour as up or down. ・ アドレスのカウン	Output File (.hexout)



3-4. Unused Pins ページ

デバイス上のすべての未使用ユーザ I/O ピンを特定の目的ピンに予約することができます。(デバイスの全体 設定)

"Reserve all unused pins"のプルダウン・リストから、設定したい属性を選択します。

設定のポイントとして、すべての未使用ユーザ I/O ピンに設定する項目のうち、一番多く設定する属性をこの Unused Pins ページで選択して、それ以外の属性にしたい未使用ユーザ I/O ピンには、Pin Planner を使用して個 別設定を行います。全体設定と個別設定では、個別設定がコンパイル時に優先されます。

※ 未使用ユーザ I/O ピンの個別設定の方法は、本資料を入手された販売代理店の技術情報サイトにて公 開中の下記資料をご参照ください。



- As input tri-state with bus-hold circuitry : ピンはバス・ホールド付きの入力として予約されます。
- As input tri-state with weak pull-up : ピンは内部ウィーク・プルアップ付きの入力として予約されます。
- As output driven an unspecified signal : ピンは出力として予約され、未定義の値を出力します。
- As output driven ground : ピンは出力として予約され、GND (Low)を出力します。
  - ※ 応用活用法として、未使用のユーザ I/O ピンを As output driven ground に設定して、そのピンを基板上の GND に接続することで GND が強化され、基板のノイズ対策に利用できます。

属性



3-5. Dual-Purpose Pins ページ

デバイスのコンフィギュレーションが完了した後に、コンフィギュレーション・ピンをどのように使用するかを指定できます。

Name 欄から設定したいコンフィギュレーション・ピンを選択して、Value 欄をダブルクリックしてプルダウン・リストから設定内容を選択します。ユーザ I/O ピンとして使用したい場合は、"Use as regular I/O"に設定してください。

Oevice and Pin Options - example_to	p X
Category:	
General	Dual-Purpose Pins
Programming Files Unuesd Pins Dual-Purpose Pins	Specify how dual-purpose pins should be used after device configuration is complete. The default settings for each pin depend on the current configuration scheme selected in the Configuration tab, which is: Active Serial x4
Capacitive Loading Board Trace Model	Dual-purpose pins:
I/O Timing	Name Value
Voltage Pin Placement	Data[158] Use as regular I/O
Error Detection CRC CvP Settings Partial Reconfiguration	As input tri-stated As output driving an unspecified signal As output driving ground
	ダブルクリックして、ユーザ・モード時の ピンの属性を選択
	Description: Specifies how the Data[75] pins should be used when the device is operating in user mode after configuration is complete. Depending on the current device and configuration scheme, these pins can be reserved as regular I/O pins, as inputs that are tri-stated, as outputs that drive ground, as outputs that drive an unspecified signal. If the Data[75] pins are reserved as a regular I/O pins, the Data[75] pins can be used as ordinary I/O pins after configuration.
	Reset
	OK Cancel Help

#### 3-6. Capacitive Loading ページ

I/O 規格ごとに基板上のキャパシタンス値の情報を指定します。Capacitive Loading で設定した内容により、正確な Tco(クロック to アウトプット)タイミング・モデルでタイミング検証が行うことができます。

設定したい I/O 規格を Name 欄から選択して、Capacitive Loading 欄をダブルクリックします。その後、設定値を入力してください。

#### <対象デバイス : MAX V、MAX II>

General	Capacitive Loading		
Programming Files	Specify values for capacitive	e loading per I/O standard.	
Unused Pins Dual-Purpose Pins	I/O standards:		
Capacitive Loading	Name	c	apacitive Loading
I/O Timing Voltage Pin Placement Error Detection CRC CVP Settings Partial Reconfiguration	3.3-V LVTTL 3.3-V LVCMOS 2.5 V 1.8 V 1.5 V 3.3V Schmitt Trigger Input 2.5V Schmitt Trigger Input 1.2 V LVDS_E_3R RSDS_E_3R 3.3-V PCI	10 10 10 10 10 10 10 10 10 10	
	Description: Specifies the capacitive loa These settings affect FPG/ parameters for use with Ac loading is ignored if applied I/O Timing is enabled.	d, in picofarads (pF), on ou ,pins only. To specify boarc lvanced I/O Timing, use the to anything other than an (	ダブルクリック tput pins for each I/O standard. Note: I trace, termination, and capacitive load Board Trace Model tab. Capacitive output or bidirectional pin, or if Advanced Reset



#### 3-7. Board Trace Model ページ

I/O 規格ごとの Board Trace Model の設定を行います。このオプションを設定すると、TimeQuest でのタイミン グ解析時にデバイス外部の接続状況を考慮した I/O タイミングで検証することができます。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV>

ategory:			L
General	Board Trace Model	I/O Standard の選択	
Configuration Programming Files Unused Pins	Specify values for Board Trace Model per I/O standard.		]
Dual-Purpose Pins		<u>v</u>	_
Capacitive Loading	I/O standard: 1.2 V		•
Board Trace Model	Board trace model:		
I/O filling Veltage	Name Value		
Pin Placement	Norr pull up registrance (in shms)		
Error Detection CRC	Near pull-down registance (in ohms)	open	
CvP Settings	Near capacitance (in farado)	open	
Partial Reconfiguration	Near capacitance (in farads)	short	
	Near transmission line diatributed inductance (in benryg/inch)	0	
	Near transmission line distributed inductance (in ferrade/inch)	0	
	Near transmission line length (in inches)	0	Ξ
	Ear transmission line distributed inductance (in henrys/inch)	0	
	Ear transmission line distributed capacitance (in farade (inch)	0	
	East transmission line length (in inches)	0	
	Ear pull-up registance (in obms)	open	
	Ear pull-down resistance (in ohms)	open	
	Ear capacitance (in facade)	open	-
	Far capacitance (in faraus)	chart	
		short	-
	Description:	ĸ	
	Specifies, in ohms, the board trace model near pull-up resistants	nce. ブルクリックで値を入力 Reset	



3-8. I/O Timing ページ

配置配線時にボード・トレースの近端もしくは遠端のどちらを I/O タイミングの計算に用いるかを指定します。また、近端や遠端の立ち上がりと立ち下がり時それぞれにおける Quartus II のタイミング解析をどの時点で終了するかを指定できます。このオプションを設定すると、TimeQuest でより詳細なタイミング制約・解析を行うことができます。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV>

😽 Device and Pin Options - example_top	)		<b>— X</b>
Category:			
General	I/O Timing		
Configuration Programming Files	Specify values for I/O Timing.		
Unused Pins Dual-Purpose Pins	Default I/O timing endpoint:	Near End	<b>_</b>
Capacitive Loading Board Trace Model	Default near end Vmeas (rise)	Half VCCIO	
I/O Timing	Default near end Vmeas (fall)	Half VCCIO	-
Pin Placement	Default far end Vmeas (rise)	Half Signal Swing	-
CvP Settings	Default far end Vmeas (fall)	Half Signal Swing	-
	Description: Specifies, in volts, the measur	rement voltage at the far-end.	Reset

3-9. Voltage ページ

Γ

デバイス全体のユーザ I/O ピンにおける I/O 規格のデフォルト値を設定します。

設定のポイントとして、すべてのユーザ I/O ピンに設定する項目のうち、一番多く設定する I/O 規格を Voltage ページで設定して、それ以外の I/O 規格に設定したいユーザ I/O ピンには Pin Planner を使用して個別設定を行います。全体設定と個別設定では、個別設定がコンパイル時に優先されます。

※ 詳細は、本資料を入手された販売代理店の技術情報サイトにて公開中の下記資料を参照してください。

egory:	
General Configuration Programming Files	Voltage Specify voltage options for the device.
Unused Pins Dual-Purpose Pins Capacitive Loading Board Trace Model I/O Trace Model Pin Placement Error Detection CRC CvP Settings Partial Reconfiguration	Default I/O standard: VCCIO I/O bank1 voltage: VCCIO I/O bank2 voltage: 1.8 V 1.5 V 1.2 V 3.3 V LVTL 3.3 V LVTL 3.0 - V LVTL 3.0 - V LVTL 3.0 - V LVCMOS 1.0 規格の設定 Description: Specifies the default I/O standard to be used for pins on the target device.
	Reset

## 

3-10. Pin Placement ページ

LVTTL/LVCMOS 入力ピンの電圧調整の設定や I/O ピンの電力制約値を設定できます。このオプションを設定すると、コンパイル時のピン・アサインのルールが変更されます。

• Allow voltage overdrive for LVTTL/LVCMOS input pins

このオプションを有効にすると、3.3V LVTTL/LVCMOS の入力ピンを 3.3V よりも低い電圧値の I/O バンク (つまり、VCCIO が 1.8V や 1.5V など)に配置することができます。

<対象デバイス : MAX V、MAX II>

Electromigration

電力制約について、デフォルト値を適用するか、ユーザが指定するかを選択できます。

"Maximum consecutive outputs"には、連続して配置可能な出力ピンと双方向ピン数の値を入力します。

"Maximum current (mA)"には、"Maximum consecutive outputs"で設定したピン数の合計の最大電流値を設定します。

#### <対象デバイス : Cyclone IV>

General       Configuration         Programming Files       Unused Pins         Dual-Purpose Pins       Specify options for adjusting the voltage of LVTTL/LVCMOS input pins and for overriding electromigration default values.         Pin Placement       Allow voltage overdrive for LVTTL/LVCMOS input pins         Pin Placement       Image: Pin Placement         Image: Pin Placement       Image: Pin Placement         Pin Placement       Image: Pin P				
Configuration       Programming Files         Unused Pins       Dal-Purpose Pins         Capacitive Loading       Board Trace Model         I/O Timing       Voltage         Values       Pin Placement         Effor Detection GRC       CvP Settings         Partial Reconfiguration       Identification         © Override electromigration default values         Description       Horizontal         Vertical         Maximum current (mA)       240         Override electromigration default values         Description       Horizontal         Vertical         Maximum current (mA)       240         Electromigration default values         Description       Horizontal         Vertical       Maximum current (mA)         Description       Horizontal         Vertical       Maximum current (mA)         Description       Horizontal         Maximum current (mA)       Horizontal         Pathl		Pin Placement		
Capacitive Loading Board Trace Model I/O Timing Voltage       Allow voltage overdrive for LVTTL/LVCMOS input pins         Pin Placement <ul> <li>If the textion CRC</li> <li>CvP Settings</li> <li>Partial Reconfiguration</li> <li>If electromigration default values</li> <li>Image: Description Horizontal Vertical</li> <li>Vertical</li> <li>Maximum current (mA) 240 240</li> </ul> Image: Override electromigration default values           Description Horizontal Vertical           Maximum current (mA)           Description Horizontal Vertical           Maximum current (mA)           Description Horizontal Vertical           Description Horizontal Vertical           Maximum current (mA)           Description         Maximum current (mA)           Image: Description:         Image: The texture of	sting the voltage of LVTTL/LVCMOS values.	n Specify options for electromigration de	VCMOS input pins and for overriding	
Board Trace Model I/O Timing Voltage       I/O Timing Voltage         Pin Placement <ul> <li>Use electromigration default values</li> <li>Description</li> <li>Horizontal</li> <li>Vertical</li> <li>Maximum consecutive outputs</li> <li>14</li> <li>12</li> <li>Maximum current (mA)</li> <li>240</li> <li>240</li> </ul> Override electromigration default values                 Description                Maximum current (mA)                Description                Maximum current (mA)                   Description:               Maximum current (mA)	rive for LVTTL/LVCMOS input pins	pading Allow voltage or	t pins	
Pin Placement       Description       Horizontal       Vertical         CVP Settings       Partial Reconfiguration       Maximum consecutive outputs       14       12         Maximum current (mA)       240       240       240         ©       Override electromigration default values       Image: Consecutive outputs       Image: Consecutive outputs         Maximum consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs         Maximum consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs         Maximum corrent (mA)       Image: Consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs         Description:       Image: Consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs         Image: Consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs         Image: Consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs         Image: Consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs         Image: Consecutive outputs       Image: Consecutive outputs       Image: Consecutive outputs       Image: Consecutive	ion default values	Model Electromigration		
CvP Settings       Maximum consecutive outputs       14       12         Maximum current (mA)       240       240         ©       Override electromigration default values         Description       Horizontal       Vertical         Maximum current (mA)       Image: Comparison of the section of the	tion Horizontal	Des Des	Vertical	
Partial Reconfiguration       Maximum current (mA)       240       240         Image: Configuration of the second	utive outputs 14 12	Maximum cor	12	
● Override electromigration default values	(mA) 240 240	nfiguration Maximum cur	240	
Description: 電力制約値の設定	(mA)	Maximum cur		
	<b>〔</b> 電:	Description:	電力制約値の設定	
Re			R	eset

## 🔥 ALTIMA

3-11. Error Detection CRC ページ

• Enable error detection CRC

ユーザ・モード中のエラー検知(CRC)回路の使用を有効にします。このオプションを有効にすると、 CRC\_ERROR ピン(デバイスの型番により、ピン番号が決まっています。)が有効になります。CRC エラーオプションを使用していない場合、CRC\_ERROR ピンはユーザ I/O として使用できます。

※ CRC 機能の詳細は、下記資料を参照してください。

資料タイトル 『AN357 : Error Detection and Recovery Using CRC in Altera FPGA Devices』

→ <u>https://www.altera.com/en\_US/pdfs/literature/an/an357.pdf</u>

• Enable open drain on CRC Error pin

CRC\_ERROR ピンをオープン・ドレインにします。このオプションを有効にすると、CRC\_ERROR ピンをプルアップする必要があります。

<対象デバイス : Stratix V、Arria V、Cyclone V>

• Enable initial scrubbing

Initial Scrub 機能を有効にします。このオプションを有効にすると、デバイスの動作中にエラーを訂正します。詳細は、サポートするデバイスのドキュメントを参照してください。

<対象デバイス : Stratix V、Arria V>

• Divide error check frequency by:

CRC 回路の内部周波数を設定します。詳細は、サポートするデバイスのドキュメントを参照してください。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV>

Generate SEU sensitivity map file (.smh)

デザインのセンシティビティ・マップ・ファイルを生成するために SEU 検知コンパイラを有効にすることができます。このオプションを有効にすると、SMH ファイル(\*.smh)が生成されます。



## 🔥 ALTIMA

3-12. CvP Settings ページ

• Configuration via Protocol

Configuration via Protocol (CvP) のコンフィギュレーション・モードを指定します。

• Enable CvP\_CONFDONE pin

このオプションを有効にすると、CvP\_CONFDONE ピン(デバイスの型番により、ピン番号が決まっています。) が有効になります。CvP を使用していない場合、CvP\_CONFDONE ピンはユーザ I/O として使用できます。

• Enable open drain on CvP\_CONFDONE pin

CvP\_CONFDONE ピンをオープン・ドレインにします。このオプションを有効にすると、CvP\_CONFDONE ピン をプルアップする必要があります。

<対象デバイス	:	Stratix V,	Arria V,	Cyclone V>
---------	---	------------	----------	------------

🚭 Device and Pin Options - example_to	p	<b>— X</b> —				
Category:						
General	CvP Settings					
Configuration Programming Files	Specify CvP settings					
Unused Pins	Configuration via Protocol:	[off				
Capacitive Loading		Core initialization and update				
Board Trace Model	Enable CVP_CONEDONE pin	Core update				
Voltage	Enable open drain on CvP_CONFDONE pin					
Pin Placement		<b>N</b>				
CvP Settings						
Partial Reconfiguration						
		CvP の設定				
	Description:					
	Specifies the configuration mode for Configurat	ion via Protocol (CvP).				
		Reset				
		OK Cancel Help				

## 

3-13. Partial Reconfiguration ページ

Enable Partial Reconfiguration pins

このオプションを有効にすると、パーシャル・リコンフィギュレーション関連ピン(PR\_REQUEST、PR\_READY、 PR\_ERROR、PR\_DONE、DCLK、DATA[15:0])が有効になります。このオプションを無効にすると、PR\_REQUEST と PR\_READY、PR\_ERROR、PR\_DONE ピンはユーザ I/O として使用できます。(DCLK と DATA[15:0] ピン はコンフィギュレーション専用ピンまたは Dual-Purpose Pins ページの設定に依存します。)

• Enable open drain on Partial Reconfiguration pins

パーシャル・リコンフィギュレーション関連ピンのうち、PR\_READY と PR\_ERROR、PR\_DONE ピンをオープン・ ドレインにします。このオプションを有効にすると、これらのピンをプルアップする必要があります。

<対象デバイス : Stratix V、Arria V、Cyclone V>

💱 Device and Pin Options - example_t	op	x
Category:		
General	Partial Reconfiguration	
Programming Files	Specify Partial Reconfiguration settings	
Unused Pins Dual-Purpose Pins	Enable Partial Reconfiguration pins	
Capacitive Loading Board Trace Model	Enable open drain on Partial Reconfiguration pins	
I/O Timing Voltage Pin Placement	K	
Error Detection CRC CvP Settings		
Partial Reconfiguration	パーシャル・リコンフィギュレーションの設定	
	Description:	
	Reset	
	OK Cancel Hel;	,

#### 4. <u>Migration compatibility の設定</u>

アルテラのデバイスは、バーティカル・マイグレーションをサポートしています。バーティカル・マイグレーションとは、同一ファミリ内の同一パッケージならば、専用ピンやコンフィギュレーション・ピン、電源ピンの基板上のレイアウトを変更することなく、異なるデバイス間でマイグレーション(移動)できることを言います。

例えば、集積度の高いデバイスヘマイグレーションをする場合、そのデバイスは追加ロジックをサポートするためにより多くの VCC と GND が必要となります。そのことにより、ユーザ I/O ピンが少なる可能性があります。

共通に使用できるユーザ I/O ピンはどれか、また電源周りで増えるまたは減るピンはどれかなど、マイグレーションを検討するために使用中のデバイスとピン互換なデバイスをあらかじめ "Migration compatibility" に設定しておくと、設定したデバイス間で共通なピンにのみピン・アサインができるようになり、LE 数の小さいまたは大きい デバイスへデザインの移行がしやすくなります。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX V、MAX II>

Denting fronthe							
Device family				Show in 'Available de	vices' lis	st	
Family: Cyclone V		•	Package: Any				
				Din countr	Any		
Devices: All		•	Pin count:	Any		· · ·	
Tourse devices				Core Speed grade:	Any		•
l'arget device				Name filter:			
Auto device sel	ected by the Fitter						
Specific device :	selected in 'Available d	levices' list		Show advanced	devices		
Chan ala							
O other life				Device and Pin Option	IS		
vailable devices:							
Name	Core Voltage	ALMs	User I/Os	GXB Channel	PMA	GXB Channel PCS	PCIel
		55.400				·	
CGXFC7C6U19A7	1.1V	56480	268	6		6	1
5CGXFC7C6U19A7 5CGXFC7C6U19C6	1.1V 1.1V	56480 56480	268 268	6 6		6	1
5CGXFC7C6U19A7 5CGXFC7C6U19C6 5CGXFC7C6U19C7	1.1V 1.1V 1.1V	56480 56480 56480	268 268 268	6 6 6		6 6	1 1 1
5CGXFC7C6U19A7 5CGXFC7C6U19C6 5CGXFC7C6U19C7 5CGXFC7C6U19I7	1.1V 1.1V 1.1V 1.1V	56480 56480 56480 56480	268 268 268 268	6 6 6 6		6 6 6	1 1 1 1
5CGXFC7C6U19A7 5CGXFC7C6U19C6 5CGXFC7C6U19C7 5CGXFC7C6U19I7 5CGXFC7C7C919I7	1.1V 1.1V 1.1V 1.1V 1.1V	56480 56480 56480 56480 56480	268 268 268 268 268 268	6 6 6 6		6 6 6 6	1 1 1 1 1
5CGXFC7C6U19A7 5CGXFC7C6U19C6 5CGXFC7C6U19C7 5CGXFC7C6U19I7 5CGXFC7C7F23C8 5CGXFC7C7U19C8	1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V	56480 56480 56480 56480 56480 56480	268 268 268 268 268 268 268 268	6 6 6 6 6 6 6		6 6 6 6 6 6	1 1 1 1 1 1 1
50000000000000000000000000000000000000	1. 1V 1. 1V 1. 1V 1. 1V 1. 1V 1. 1V 1. 1V 1. 1V 1. 1V	56480 56480 56480 56480 56480 56480 56480	268 268 268 268 268 268 268 378	6 6 6 6 6 6 9		6 6 6 6 6 9	1 1 1 1 1 1 2
50000000000000000000000000000000000000	1. 1V 1. 1V 1. 1V 1. 1V 1. 1V 1. 1V 1. 1V 1. 1V 1. 1V 1. 1V	56480 56480 56480 56480 56480 56480 56480 56480 56480	268 268 268 268 268 268 268 378 378	6 6 6 6 6 6 9 9		6 6 6 6 9 9	1 1 1 1 1 1 2 2
SCGXFC7C6U19A7 SCGXFC7C6U19C6 SCGXFC7C6U19C7 SCGXFC7C6U1917 SCGXFC7C7F23C8 SCGXFC7C77U19C8 SCGXFC7D6F27C6 SCGXFC7D6F27C7 SCGXFC7D6F27C7	1. 1V 1. 1V	56480 56480 56480 56480 56480 56480 56480 56480 56480 56480	268 268 268 268 268 268 268 378 378 378 378	6 6 6 6 6 9 9 9 9		6 6 6 6 9 9 9	1 1 1 1 1 2 2 2
SCGXFC7C6U19A7 SCGXFC7C6U19C6 SCGXFC7C6U19C7 SCGXFC7C6U1917 SCGXFC7C7C7U19C8 SCGXFC7D6F27C6 SCGXFC7D6F27C7 SCGXFC7D6F27C7 SCGXFC7D6F27C7 SCGXFC7D6F21A7	1. 1V 1. 1V	56480 56480 56480 56480 56480 56480 56480 56480 56480 56480	268 268 268 268 268 268 378 378 378 378 522	6 6 6 6 6 9 9 9 9 9 9		6 6 6 6 9 9 9 9 9	1 1 1 1 1 2 2 2 2
SCGXFC7C6U19A7 SCGXFC7C6U19C6 SCGXFC7C6U19C7 SCGXFC7C6U1917 SCGXFC7C7C7U19C8 SCGXFC7D6F27C6 SCGXFC7D6F27C7 SCGXFC7D6F27C7 SCGXFC7D6F2177 SCGXFC7D6F31A7 SCGXFC7D6F31C6	1. 1V 1. 1V	56480 56480 56480 56480 56480 56480 56480 56480 56480 56480 56480	268 268 268 268 268 268 378 378 378 378 378 522 522	6 6 6 6 6 9 9 9 9 9 9 9 9 9 9		6 6 6 6 9 9 9 9 9 9 9	1 1 1 1 1 1 2 2 2 2 2
SCGXFC7C6U19A7 SCGXFC7C6U19C6 SCGXFC7C6U19C7 SCGXFC7C6U1917 SCGXFC7C7C7U3C8 SCGXFC7D6F27C6 SCGXFC7D6F27C7 SCGXFC7D6F27C7 SCGXFC7D6F27C7 SCGXFC7D6F31A7 SCGXFC7D6F31C6 SCGXFC7D6F31C7	1. 1V 1. 1V	56480 56480 56480 56480 56480 56480 56480 56480 56480 56480 56480 56480 56480	268         268           268         268           268         268           268         378           378         378           522         522           522         522	6 6 6 6 9 9 9 9 9 9 9 9 9 9 9 9 9		6 6 6 6 9 9 9 9 9 9 9 9 9	1 1 1 1 1 2 2 2 2 2 2 2

※ このとき、あらかじめ Device ダイアログ・ボックスにて、ターゲット・デバイスを選択しておいてください。

 Migration Devices ダイアログ・ボックスの "Compatible migration devices" (左枠)から設定したいデバイスを選 択して、ダブルクリックします。"Selected migration devices" (右枠)に登録されたことを確認後、OK ボタンをクリ ックします。



#### <u>補足 : Migration Devices の設定を反映した Pin Planner</u>

Migration Devices を設定しておくと、登録されたデバイスのピン情報が反映された状態で Pin Planner が使用 できます。

Pin Planner の View メニュー ⇒ Pin Migration Window において、マイグレーション・デバイスに登録した各デ バイスのピン情報一覧とそれらの情報を考慮したすべてのピンのマイグレーション結果が確認できます。また、 Package View はその結果を反映した表示になります。

		Migration Result		Migration Devices						
Pin					5CGXFC7D6F31C7			5CGXFC9E6F31C7		
Number	Pin Function	I/O Bank	VREF Group	Pin Function	I/O Bank	VREF Group	Pin Function	I/O Bank	VREF Group	
PIN_A2	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	
PIN_A3	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	
PIN_A4	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	
PIN_A5	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	
PIN_A6	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	
PIN_A7	VCCIO8A	8A		VCCIO8A	8A		VCCIO8A	8A		
PIN_A8	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	
PIN_A9	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	
PIN_A10	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	
PIN_A11	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	
PIN_A12	GND			GND			GND			
PIN_A13	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0	
PIN_A14	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0	
PIN_A15	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0	
PIN_A16	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0	
PIN_A17	GND			GND			GND			



## <u> 改版履歴</u>

Revision	年月	概要
1	2015年3月	初版

#### 免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
   株式会社アルティマ ホームページ: http://www.altima.co.jp
   技術情報サイト EDISON: http://www.altima.jp/members/index.cfm
   株式会社エルセナ ホームページ: http://www.elsena.co.jp
   技術情報サイト ETS : http://www.elsena.co.jp/elspear/members/index.cfm
- 4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカ発行の英語版の資料もあわせてご利用ください。