

Quartus II はじめてガイド よく使用するロジック・オプション設定方法 (個別設定)

ver.14

Quartus II はじめてガイド

よく使用するロジック・オプション設定方法(個別設定)

目次

1. はじめに	3
2. 出力電流値の設定 <Current Strength>	4
3. 内部プルアップの設定 <Weak Pull-Up Resistor>.....	5
4. グローバルの設定 <Global Signal>.....	6
5. バス・ホールドの設定 <Enable Bus-Hold Circuitry>	8
6. PCI クランプ・ダイオードの設定 <PCI I/O>	9
7. スルー・レート・コントロールの設定 <Slow Slew Rate / Slew Rate>	10
7-1. Slow Slew Rate の設定.....	10
7-2. Slew Rate の設定.....	11
8. シュミット・トリガの設定 <Schmitt Trigger Input ~ I/O Standard>.....	13
9. IOE レジスタの設定 <Fast Input/Output/Output Enable Register>.....	14
10. 内部終端抵抗の設定 <On-Chip Termination>.....	16
10-1. Output Termination の設定.....	16
10-2. Input Termination の設定	17
11. 仮想ピンの設定 <Virtual Pin>.....	19
Appendix : カスタマイズ・コラム	21
改版履歴	22

1. はじめに

あるピンや内部信号に対して個別に特定の機能を付加させるときには、Quartus[®] II の Assignment Editor や Pin Planner を使用してロジック・オプションを設定します。この資料では、よく使用するロジック・オプションの概要を簡単に説明し、個別に設定する方法を紹介しています。

※ Assignment Editor や Pin Planner の詳細は、本資料を入手された販売代理店の技術情報サイトにて公開中の下記資料をご参照ください。

『Quartus II はじめてガイド - Assignment Editor の使い方』

『Quartus II はじめてガイド - ピン・アサインの方法』

この資料で紹介しているオプション内容は、以下のとおりです。また、<> 内は Quartus II のオプション名です。

- ・ 出力電流値の設定 <Current Strength>
- ・ 内部プルアップ抵抗の設定 <Weak Pull-Up Resistor>
- ・ グローバルの設定 <Global Signal>
- ・ バス・ホールドの設定 <Enable Bus-Hold Circuitry>
- ・ PCI クランプ・ダイオードの設定 <PCI I/O>
- ・ スルー・レート・コントロールの設定 <Slow Slew Rate / Slew Rate>
- ・ シュミット・トリガの設定 <Schmitt Trigger Input ~ I/O Standard>
- ・ IOE レジスタの設定 <Fast Input Register / Fast Output Register / Fast Output Enable Register>
- ・ 内部終端抵抗の設定 <Output Termination / Input Termination>
- ・ 仮想ピンの設定 <Virtual Pin>

なおこの資料では、プロジェクト内の完成しているデザインに対して、Analysis & Elaboration(または Analysis & Synthesis、コンパイル)が実行されていることを前提に、操作方法を説明しています。

2. 出力電流値の設定 <Current Strength>

出力ピンと双方向ピンの電流値が設定できるオプションです。設定可能な電流値については、使用するデバイス・ファミリや I/O 規格により異なります。指定しない場合のデフォルト値についても同様に異なりますので、各デバイスのハンドブックをご確認ください。

※ 出力に対する *Series On-Chip Termination (内部終端抵抗の設定)* との併用はできません。

<<サポート・デバイス>>

Stratix® V、Stratix IV、Arria® V、Arria II、Cyclone® V、Cyclone IV、MAX® V、MAX II

※ Quartus II 14.0.0 でサポートしているすべてのデバイス

2-1. 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における “Current Strength” カラムのマスをダブルクリックして、プルダウン・リストから希望の電流値を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙 “Appendix: カスタマイズ・カラム” をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Current Strength
in_button	Input	PIN_P11	3B	1.2 V	8mA (default)
in_clock_50	Input	PIN_R20	5B	3.3-V LVTTTL	16mA (default)
in_clr	Input	PIN_P12	3B	1.2 V	8mA (default)
out_led[0]	Output	PIN_L7	8A	2.5 V (default)	8mA
out_led[1]	Output	PIN_K6	8A	2.5 V (default)	4mA
out_led[2]	Output	PIN_D8	8A	2.5 V (default)	8mA
out_led[3]	Output	PIN_E9	8A	2.5 V (default)	12mA
out_led[4]	Output	PIN_A5	8A	2.5 V (default)	12mA (default)
out_led[5]	Output	PIN_B6	8A	2.5 V (default)	16mA
out_led[6]	Output	PIN_H8	8A	2.5 V (default)	Maximum Current
out_led[7]	Output	PIN_H9	8A	2.5 V (default)	Minimum Current

2-2. 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例: Output Pins) ⇒ Current Strength 欄に指定した電流値が表示されていれば良好です。

Name	Pin #	I/O Bank	I/O Standard	Current Strength	X coordinate	Y coordinate	Z coord
1 led[0]	L7	8A	2.5 V	8mA	10	61	40
2 led[1]	K6	8A	2.5 V	8mA	10	61	57
3 led[2]	D8	8A	2.5 V	8mA	10	61	74
4 led[3]	E9	8A	2.5 V	8mA	10	61	91
5 led[4]	A5	8A	2.5 V	8mA	21	61	34
6 led[5]	B6	8A	2.5 V	8mA	21	61	51
7 led[6]	H8	8A	2.5 V	8mA	19	61	0
8 led[7]	H9	8A	2.5 V	8mA	19	61	17
9 ledr0	F7	8A	2.5 V	Default	14	61	51
10 ledr1	F6	8A	2.5 V	Default	15	61	34

3. 内部プルアップの設定 <Weak Pull-Up Resistor>

I/O ピンに内部プルアップ抵抗を付加するオプションです。このオプションは、ユーザ・モード中のみ有効です。

※ *Enable Bus-Hold Circuitry (バス・ホールドの設定)*との併用はできません。

<<サポート・デバイス>>

Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX V、MAX II

※ Quartus II 14.0.0 でサポートしているすべてのデバイス

3-1. 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Weak Pull-Up Resistor”カラムのマスをダブルクリックして、プルダウン・リストから“On”を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Weak Pull-Up Resistor
button	Input	PIN_P11	3B	1.2 V	On
clock_50	Input	PIN_R20	5B	3.3-V LVTTTL	Off
clr	Input	PIN_P12	3B	1.2 V	On
led[0]	Output	PIN_L7	8A	2.5 V (default)	
led[1]	Output	PIN_K6	8A	2.5 V (default)	
led[2]	Output	PIN_D8	8A	2.5 V (default)	
led[3]	Output	PIN_E9	8A	2.5 V (default)	
led[4]	Output	PIN_A5	8A	2.5 V (default)	
led[5]	Output	PIN_B6	8A	2.5 V (default)	
led[6]	Output	PIN_H8	8A	2.5 V (default)	
led[7]	Output	PIN_H9	8A	2.5 V (default)	

3-2. 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Input Pins) ⇒ Weak Pull-Up 欄に“On”と表示されていれば良好です。

Name	Pin #	I/O Bank	I/O Standard	Weak Pull Up	X coordinate	Y coordinate
1 button	P11	3B	1.2 V	On	21	0
2 clock_50	R20	5B	3.3-V LVTTTL	Off	68	22
3 clr	P12	3B	1.2 V	Off	21	0

4. グローバルの設定 <Global Signal>

指定した内部信号をデバイス内部のグローバル・ラインに配置させるオプションです。(これを通称、内部グローバルと言います。)グローバル・ラインは、専用ピンからのドライブと内部信号からのドライブが適用できます。グローバル化された信号は、レジスタのクロック信号やクロック以外の制御信号、トライステートのアウトプット・イネーブル信号、メモリ制御信号として使用でき、制御信号のスキューを低減できます。また、Fan-Out が多くなりやすい制御信号をグローバル・ラインに配置させることにより、通常の配線領域をデータ信号などに優先的に活用できるため、パフォーマンス改善も期待できます。

グローバル信号の設定は、シングル・ポイントとポイント to ポイントで設定できます。また、デバイスによっては、クロック・ネットワーク構造に応じてグローバル・クロック以外にリージョナル・クロックやペリフェラル・クロックなどが選択できます。

なお、グローバル・ラインの本数はデバイスにより異なりますので、各デバイスのハンドブックをご確認ください。

<<サポート・デバイス>>

Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX V、MAX II

※ Quartus II 14.0.0 でサポートしているすべてのデバイス

4.1. 設定手順

① Assignment Editor を起動します。(Assignments メニュー ⇒ Assignment Editor をクリック)

② 目的のノードを選択します。(推奨 : Node Finder[※] を使用して選出して下さい)

- ・ シングル・ポイントで設定する場合 : To 欄に設定したい信号を選出します。
- ・ ポイント to ポイント : From 欄と To 欄にそれぞれ設定したい信号を選出します。

※ Node Finder の操作方法に関しては、本資料を入手された販売代理店の技術情報サイトにて公開中の下記資料をご参照ください。

『Quartus II はじめてガイド - Assignment Editor の使い方』

③ Assignment Name 欄より、”Global Signal” を選択します。

④ Value 欄から適切なものを選択します。

tatu	From	To	Assignment Name	Value	Enabled	Entity
1	✓	in clock_50	Location	PIN_R20	Yes	
2	✓	in clock_50	I/O Standard	3.3-V LVTTTL	Yes	fpga_top
3	✓	in clock_50	Global Signal	Regional Clock	Yes	fpga_top
4	<<new>>	<<new>>	<<new>>	Dual-Regional Clock Global Clock Off Periphery Clock Regional Clock		

4.2. 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ Global & Other Fast Signals ⇒ Global Resource Used 欄に指定したグローバル・ラインの種類が表示されていれば良好です。

Global & Other Fast Signals							
	Name	Location	Fan-Out	Global Resource Used	Global Line Name	Enable	Signal Source Name
1	clock_50	PIN_R20	63	Regional Clock	RCLK56	--	

- または、Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ Control Signals ⇒ Global 欄に “yes” と表示されていれば良好です。

Control Signals							
	Name	Location	Fan-Out	Usage	Global	Global Resource Used	Global Line Name
1	chatt:inst Equal0~4	LABCELL_X27_Y4_N3	3	Clock enable	no	--	--
2	chatt:inst sw_reg	FF_X27_Y4_N13	9	Sync. load	no	--	--
3	clock_50	PIN_R20	63	Clock	yes	Regional Clock	RCLK56
4	clr	PIN_P12	63	Async. clear	no	--	--

5. バス・ホールドの設定 <Enable Bus-Hold Circuitry>

I/O ピンが最後にドライブした値を保持させるオプションです。そのピンがハイ・インピーダンス状態になることを防げるため、外部にプルアップまたはプルダウン抵抗などが不要になります。

※ *Weak Pull-Up (内部プルアップの設定)との併用はできません。*

<<サポート・デバイス>>

Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX V、MAX II

※ Quartus II 14.0.0 でサポートしているすべてのデバイス

5-1. 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Enable Bus-Hold Circuitry” カラムのマスをクリックして、プルダウン・リストから“On”を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Enable Bus-Hold Circuitry	Weak Pull-Up
button	Input	PIN_P11	3B	1.2 V	On	On
clock_50	Input	PIN_R20	5B	3.3-V LVTTTL		
clr	Input	PIN_P12	3B	1.2 V		
led[0]	Output	PIN_L7	8A	2.5 V (default)	On	
led[1]	Output	PIN_K6	8A	2.5 V (default)	Off	
led[2]	Output	PIN_D8	8A	2.5 V (default)	On	
led[3]	Output	PIN_E9	8A	2.5 V (default)		
led[4]	Output	PIN_A5	8A	2.5 V (default)		
led[5]	Output	PIN_B6	8A	2.5 V (default)		
led[6]	Output	PIN_H8	8A	2.5 V (default)		
led[7]	Output	PIN_H9	8A	2.5 V (default)		

5-2. 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Output Pins) ⇒ Bus Hold 欄に“yes”と表示されていれば良好です。

Name	Pin #	I/O Bank	Bus Hold	X coordinate	Y coordinate
1 led[0]	L7	8A	yes	10	61
2 led[1]	K6	8A	no	10	61
3 led[2]	D8	8A	no	10	61
4 led[3]	E9	8A	no	10	61
5 led[4]	A5	8A	no	21	61
6 led[5]	B6	8A	no	21	61
7 led[6]	H8	8A	no	19	61
8 led[7]	H9	8A	no	19	61
9 ledr0	F7	8A	no	14	61
10 ledr1	F6	8A	no	15	61
11 ledr2	G6	8A	no	15	61
12 ledr3	G7	8A	no	14	61
13 ledr4	J8	8A	no	14	61
14 ledr5	J7	8A	no	12	61

6. PCI クランプ・ダイオードの設定 <PCI I/O>

I/O ピンに対して Peripheral Component Interconnect (PCI) の互換性を付加するオプションです。また、外部デバイスとのインタフェースにおいて、I/O 出力ドライブ・バッファ用電源(VCCIO)よりも高電圧の入出力と接続するときにこのオプションが必要な場合があります。詳細は、各デバイスのハンドブックをご確認ください。

<<サポート・デバイス>>

Cyclone IV、MAX V(一部の型式のみ)、MAX II(一部の型式のみ)

6-1. 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“PCI I/O”カラムのマスをダブルクリックして、プルダウン・リストから“On”を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	PCI I/O	Slc
data_out[7]	Output	PIN_P14	2	3.3-V LVTTTL (default)	On	
data_out[6]	Output	PIN_E15	2	3.3-V LVTTTL (default)		
data_out[5]	Output	PIN_N12	1	3.3-V LVTTTL (default)	Off	
data_out[4]	Output	PIN_T5	1	3.3-V LVTTTL (default)	On	
data_out[3]	Output	PIN_M4	1	3.3-V LVTTTL (default)	On	On
data_out[2]	Output	PIN_B13	2	3.3-V LVTTTL (default)	On	On
data_out[1]	Output	PIN_E4	1	3.3-V LVTTTL (default)	On	On
data_out[0]	Output	PIN_K3	1	3.3-V LVTTTL (default)	On	On

6-2. 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Output Pins) ⇒ PCI I/O Enabled 欄に“yes”と表示されていれば良好です。

Name	Pin #	I/O Bank	PCI I/O Enabled	X coordinate	Y coordinate
data_out[0]	F12	3	yes	21	10
data_out[1]	L12	3	yes	21	5
data_out[2]	E13	3	yes	21	12
data_out[3]	E16	3	yes	21	9
data_out[4]	M13	3	yes	21	3
data_out[5]	J15	3	yes	21	6
data_out[6]	G16	3	yes	21	8
data_out[7]	M15	3	yes	21	4

7. スルー・レート・コントロールの設定 <Slow Slew Rate / Slew Rate>

7-1. Slow Slew Rate の設定

出力ピンと双方向ピンに対して、信号の立ち上がりおよび立ち下りの角度をなだらかにするオプションです。このオプションを設定するとオーバーシュートやアンダーシュート、同時スイッチング・ノイズを低減することができます。また、なだらかに信号を切り替えることにより遅延(Tco: クロック to アウトプット時間)が増加しますのでご注意ください。

<<サポート・デバイス>>

MAX V、MAX II

7-1-1. 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Slow Slew Rate”カラムのマスをダブルクリックして、プルダウン・リストから“On”を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Slow Slew Rate
data_out[7]	Output	PIN_P14	2	3.3-V LVTTTL (default)	On
data_out[6]	Output	PIN_E15	2	3.3-V LVTTTL (default)	On
data_out[5]	Output	PIN_N12	1	3.3-V LVTTTL (default)	Off
data_out[4]	Output	PIN_T5	1	3.3-V LVTTTL (default)	On
data_out[3]	Output	PIN_M4	1	3.3-V LVTTTL (default)	On
data_out[2]	Output	PIN_B13	2	3.3-V LVTTTL (default)	On
data_out[1]	Output	PIN_E4	1	3.3-V LVTTTL (default)	On
data_out[0]	Output	PIN_K3	1	3.3-V LVTTTL (default)	On

7-1-2. 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Output Pins) ⇒ Slow Slew Rate 欄に“yes”と表示されていれば良好です。

Name	Pin #	I/O Bank	Slow Slew Rate	X coordinate	Y coordinate
data_out[0]	K3	1	yes	0	5
data_out[1]	E4	1	yes	0	7
data_out[2]	B13	2	yes	11	8
data_out[3]	M4	1	yes	0	4
data_out[4]	T5	1	yes	3	3
data_out[5]	N12	1	yes	11	0
data_out[6]	E15	2	yes	13	7
data_out[7]	P14	2	yes	13	1

7-2. Slew Rate の設定

出力ピンと双方向ピンに対して、信号の立ち上がりおよび立ち下りの角度をなだらかにするオプションです。このオプションを設定するとオーバーシュートやアンダーシュート、同時スイッチング・ノイズを低減することができます。また、なだらかに信号を切り替えることにより遅延(Tco: クロック to アウトプット時間)が増加しますのでご注意ください。

<<サポート・デバイス>>

Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV

7-2-1. 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Slew Rate”カラムのマスをダブルクリックして、プルダウン・リストから“On”を選択します。

- 設定値 : (遅い) 0、1、2、3 (速い)

※ 選択できる設定値はデバイスによって異なります。

- Stratix V : 0、1
- Stratix IV : 0、1、2、3
- Arria V : 0、1
- Arria II GX/GT : 0、1
- Arria II GZ : 0、1、2、3
- Cyclone V : 0、1
- Cyclone IV : 0、1

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Slew Rate	able I
in_ button	Input	PIN_P11	3B	1.2 V		
in_ clock_50	Input	PIN_R20	5B	3.3-V LVTTTL		
in_ clr	Input	PIN_P12	3B	1.2 V		
out_ led[0]	Output	PIN_L7	8A	2.5 V (default)	0 (slowest)	
out_ led[1]	Output	PIN_K6	8A	2.5 V (default)	0 (slowest)	
out_ led[2]	Output	PIN_D8	8A	2.5 V (default)	1 (default)	
out_ led[3]	Output	PIN_E9	8A	2.5 V (default)	1 (fastest)	
out_ led[4]	Output	PIN_A5	8A	2.5 V (default)	1 (default)	
out_ led[5]	Output	PIN_B6	8A	2.5 V (default)	1 (default)	
out_ led[6]	Output	PIN_H8	8A	2.5 V (default)	1 (default)	
out_ led[7]	Output	PIN_H9	8A	2.5 V (default)	1 (default)	

7-2-2. 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Output Pins) ⇒ Slew Rate 欄に設定値が表示されていれば良好です。

Table of Contents		Output Pins							
Resource Section		Name	Pin #	I/O Bank	Slew Rate	Bus Hold	X coordinate	Y coordinate	
Resource Usage Summary		1	led[0]	L7	8A	1	yes	10	61
Partition Statistics		2	led[1]	K6	8A	1	no	10	61
Input Pins		3	led[2]	D8	8A	1	no	10	61
Output Pins		4	led[3]	E9	8A	1	no	10	61
I/O Bank Usage		5	led[4]	A5	8A	1	no	21	61
All Package Pins		6	led[5]	B6	8A	1	no	21	61
Resource Utilization by Entity		7	led[6]	H8	8A	1	no	19	61
Delay Chain Summary		8	led[7]	H9	8A	1	no	19	61
Pad To Core Delay Chain Fanout		9	ledr0	F7	8A	1	no	14	61
Control Signals		10	ledr1	F6	8A	1	no	15	61
Global & Other Fast Signals		11	ledr2	G6	8A	1	no	15	61
Non-Global High Fan-Out Signals		12	ledr3	G7	8A	1	no	14	61
		13	ledr4	J8	8A	1	no	14	61
		14	ledr5	J7	8A	1	no	12	61

8. シュミット・トリガの設定 <Schmitt Trigger Input ~ I/O Standard>

入力ピンに対してシュミット・トリガを付加するオプションです。詳細は、各デバイスのハンドブックをご確認ください。

<<サポート・デバイス>>

MAX V、MAX II

8-1. 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“I/O Standard”カラムのマスをダブルクリックして、プルダウン・リストから“2.5V Schmitt Trigger Input”または“3.3V Schmitt Trigger Input”を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

The screenshot shows the Pin Planner interface with a table of pins. The 'I/O Standard' column for the selected pin is highlighted, and a dropdown menu is open, showing various options including '2.5V Schmitt Trigger Input'.

Node Name	Direction	Location	I/O Bank	I/O Standard
areset	Input	PIN_H12	3	3.3-V LVTTTL (default)
clk_in_1	Input	PIN_H5	1	3.3-V LVTTTL (default)
clk_in_2	Input	PIN_J5	1	3.3-V LVTTTL (default)
data_in[7]	Input	PIN_N13	3	2.5V Schmitt Trigger Input
data_in[6]	Input	PIN_D13	3	1.2 V
data_in[5]	Input	PIN_T12	4	1.5 V
data_in[4]	Input	PIN_T4	4	1.8 V
data_in[3]	Input	PIN_M1	1	2.5 V
data_in[2]	Input	PIN_A13	2	2.5V Schmitt Trigger Input
data_in[1]	Input	PIN_G2	1	3.3-V LVCMOS
data_in[0]	Input	PIN_J2	1	3.3-V LVTTTL
data_out[7]	Output	PIN_P14	3	3.3-V LVTTTL (default)
data_out[6]	Output	PIN_E15	3	3.3-V PCI
data_out[5]	Output	PIN_M12	4	3.3V Schmitt Trigger Input

8-2. 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ Input Pins ⇒ I/O Standard 欄に設定値が表示されていれば良好です。

The screenshot shows the 'Input Pins' table in the Compilation Report. The table lists pins with their names, pin numbers, I/O banks, and I/O standards. The 'I/O Standard' column is highlighted, showing '2.5V Schmitt Trigger Input' for several pins.

Name	Pin #	I/O Bank	I/O Standard	X coordinate	Y coordinate
1 areset	H12	3	3.3-V LVTTTL	21	7
2 clk_in_1	H5	1	3.3-V LVTTTL	0	8
3 clk_in_2	J5	1	3.3-V LVTTTL	0	8
4 data_in[0]	F14	3	2.5V Schmitt Trigger Input	21	10
5 data_in[1]	K14	3	2.5V Schmitt Trigger Input	21	5
6 data_in[2]	D13	3	2.5V Schmitt Trigger Input	21	13
7 data_in[3]	G13	3	2.5V Schmitt Trigger Input	21	8
8 data_in[4]	P2	1	2.5V Schmitt Trigger Input	0	4
9 data_in[5]	J14	3	2.5V Schmitt Trigger Input	21	6
10 data_in[6]	D12	2	2.5V Schmitt Trigger Input	17	14
11 data_in[7]	T9	4	2.5V Schmitt Trigger Input	10	3

9. IOE レジスタの設定 <Fast Input/Output/Output Enable Register>

I/O タイミング(セットアップ時間、クロック to アウトプット時間)を高速にするオプションです。このオプションにより、レジスタの配置をロジック・エレメント内のレジスタではなく I/O エレメント内のレジスタへマッピングさせることができ、さらに高速なタイミングを実現することができます。

I/O エレメント内のレジスタにフィッティングするには、デザインの構成として、ピンとレジスタが 1 対 1 の関係で、かつダイレクトに接続されている(つまり、ロジックを経由していない)こと(Fast Output Enable Register の場合にはトライステートのアウトプット・イネーブル信号にダイレクトに接続していること)が条件です。

このオプションは、I/O エレメントに配置させたいレジスタ、またはそのレジスタに直結する I/O ピンに対して設定します。(つまり、タイミングを高速化したい I/O ピンに対して設定してください。)ここでは、ピンに対して設定する方法を紹介します。

<<サポート・デバイス>>

- Fast Input Register
Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX V、MAX II
※ Quartus II 14.0.0 でサポートしているすべてのデバイス
- Fast Output Register
Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX V、MAX II
※ Quartus II 14.0.0 でサポートしているすべてのデバイス
- Fast Output Enable Register
Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX V、MAX II
※ Quartus II 14.0.0 でサポートしているすべてのデバイス

9-1. 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Fast Input Register(または Fast Output Register、Fast Output Enable Register)”カラムのマスをクリックして、プルダウン・リストから“On”を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Fast Input Register	Fast Output Register
clk_in_1	Input			2.5 V (default)		
clk_in_2	Input			2.5 V (default)		
data_in[7]	Input			2.5 V (default)	On	
data_in[6]	Input			2.5 V (default)	On	
data_in[5]	Input			2.5 V (default)	On	
data_in[4]	Input			2.5 V (default)	On	
data_in[3]	Input			2.5 V (default)	On	
data_in[2]	Input			2.5 V (default)	On	
data_in[1]	Input			2.5 V (default)	On	
data_in[0]	Input			2.5 V (default)	On	
data_out[7]	Output			2.5 V (default)		On
data_out[6]	Output			2.5 V (default)		On

9-2. 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Input Pins) ⇒ Input Register (または Output Register、Output Enable Register)に “yes” と表示されていれば良好です。

Table of Contents		Input Pins						
		Name	Pin #	I/O Bank	Input Register	X coordinate	Y coordinate	
Resource Section		1	clk_in_1	T24	5B	no	89	35
Resource Usage Summary		2	clk_in_2	AA15	3B	no	40	0
Partition Statistics		3	data_in[0]	H14	8A	yes	20	81
Input Pins		4	data_in[1]	B13	7A	yes	52	81
Output Pins		5	data_in[2]	AD19	4A	yes	78	0
I/O Bank Usage		6	data_in[3]	N21	6A	yes	89	68
All Package Pins		7	data_in[4]	AD20	4A	yes	84	0
Resource Utilization by Entity		8	data_in[5]	Y13	3B	yes	36	0
Delay Chain Summary		9	data_in[6]	T23	6A	yes	89	42
Pad To Core Delay Chain Fanout		10	data_in[7]	D22	7A	yes	76	81
Control Signals		11	reserved_via_ae	A13	7A	no	52	81
Global & Other Fast Signals								
Non-Global High Fan-Out Signals								

10. 内部終端抵抗の設定 <On-Chip Termination>

10-1. Output Termination の設定

出力ピンと入出力ピンに対して、内部終端抵抗（On-Chip Termination）を付加できるオプションです。内部終端抵抗を使用することで、インピーダンス・マッチングによりシグナル・インテグリティを向上させ、プリント基板(PCB) デザインを簡素化することができます。

- ※ 内部終端抵抗の特性や基板上での処理などデバイス・ファミリにより異なりますので、各デバイス・ファミリのハンドブックをご覧ください。
- ※ Series Termination に設定した場合、Current Strength (出力電流値の設定)との併用はできません。
- ※ 双方向ピンに対して Input Termination と併用する場合は、ALTIobuf のダイナミック・ターミネーション・コントロール機能が必要です。

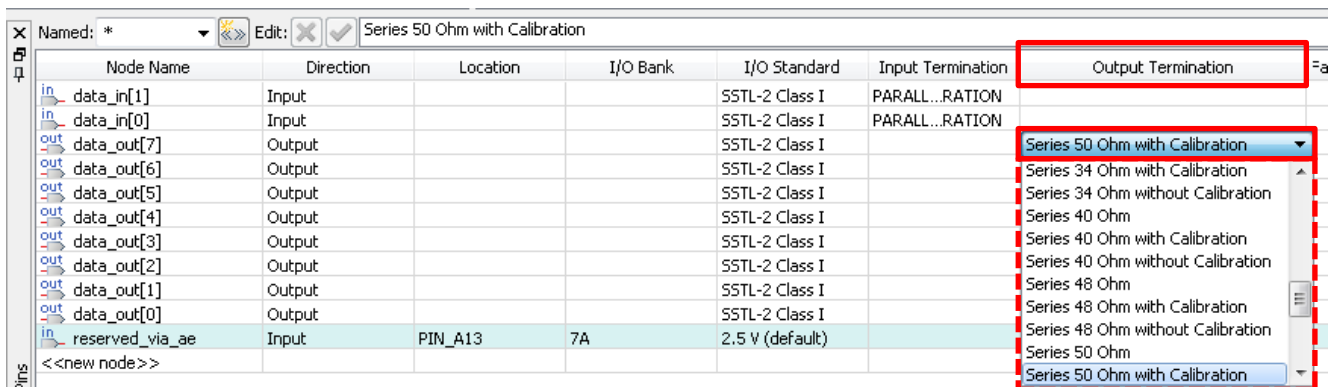
<<サポート・デバイス>>

Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV

10-1-1. 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Output Termination” カラムのマスをクリックして、プルダウン・リストから希望の設定項目を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。



10-1-2. 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例:Output Pins) ⇒ Termination 欄に設定値が表示されていれば良好です。

	Name	Pin #	I/O Bank	Termination	X coordinate	Y coordinate
1	data_out[0]	AG27	5A	Series 50 Ohm with Calibration	89	16
2	data_out[1]	AF24	5A	Series 50 Ohm with Calibration	89	11
3	data_out[2]	AE25	5A	Series 50 Ohm with Calibration	89	13
4	data_out[3]	AC26	5A	Series 50 Ohm with Calibration	89	9
5	data_out[4]	AF25	5A	Series 50 Ohm with Calibration	89	15
6	data_out[5]	AF26	5A	Series 50 Ohm with Calibration	89	15
7	data_out[6]	AC27	5A	Series 50 Ohm with Calibration	89	9
8	data_out[7]	AE26	5A	Series 50 Ohm with Calibration	89	13

10-2. Input Termination の設定

入力ピンと入出力ピンに対して、内部終端抵抗 (On-Chip Termination) を付加できるオプションです。内部終端抵抗を使用することで、インピーダンス・マッチングによりシグナル・インテグリティを向上させ、プリント基板(PCB) デザインを簡素化することができます。

- ※ 内部終端抵抗の特性や基板上での処理などデバイス・ファミリにより異なりますので、各デバイス・ファミリのハンドブックをご覧ください。
- ※ 双方向ピンに対して Output Termination と併用する場合は、ALTIobuf のダイナミック・ターミネーション・コントロール機能が必要です。

<<サポート・デバイス>>

Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV

10-2-1. 設定手順

- ① Pin Planner を起動します。(Assignments メニュー ⇒ Pin Planner をクリック)
- ② Pin Planner 内の All Pins リストの目的のピンの行における“Input Termination”カラムのマスをクリックして、プルダウン・リストから希望の設定項目を選択します。

※ カラムに項目が表示されていない場合には、Customize Column を実施します。操作方法は、本紙“Appendix: カスタマイズ・カラム”をご覧ください。

Node Name	Direction	Location	I/O Bank	I/O Standard	Input Termination	Output Termination
clk_in_1	Input			2.5 V (default)		
clk_in_2	Input			2.5 V (default)		
data_in[7]	Input			SSTL-2 Class I	Parallel 50 Ohm with Calibration	
data_in[6]	Input			SSTL-2 Class I		
data_in[5]	Input			SSTL-2 Class I		
data_in[4]	Input			SSTL-2 Class I		
data_in[3]	Input			SSTL-2 Class I		
data_in[2]	Input			SSTL-2 Class I		
data_in[1]	Input			SSTL-2 Class I		
data_in[0]	Input			SSTL-2 Class I		
data_out[7]	Output			2.5 V (default)		
data_out[6]	Output			2.5 V (default)		
data_out[5]	Output			2.5 V (default)		

10-2-2. 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ 目的ピンの属性(例: Input Pins) ⇒ Termination 欄に設定値が表示されていれば良好です。

Name	Pin #	I/O Bank	Termination	X coordinate	Y coordinate
clk_in_1	U22	5B	Off	39	27
clk_in_2	T24	5B	Off	39	35
data_in[0]	AE27	5A	Parallel 50 Ohm with Calibration	39	13
data_in[1]	AA26	5A	Parallel 50 Ohm with Calibration	39	8
data_in[2]	AD24	5A	Parallel 50 Ohm with Calibration	39	6
data_in[3]	AC24	5A	Parallel 50 Ohm with Calibration	39	4
data_in[4]	AD25	5A	Parallel 50 Ohm with Calibration	39	6
data_in[5]	AB26	5A	Parallel 50 Ohm with Calibration	39	8
data_in[6]	AE23	5A	Parallel 50 Ohm with Calibration	39	11
data_in[7]	AH27	5A	Parallel 50 Ohm with Calibration	39	16
reserved_via_ae	A13	7A	Off	52	81
termination_blk0~_rzq_pad	AD23	5A	Off	39	4

11. 仮想ピンの設定 <Virtual Pin>

下位階層デザインの入力ピンと出力ピンを仮想ピンとして扱うオプションです。

例えば設計フローとして、下位階層デザインごとにコンパイルしデザインを組み上げ取る方法を取った場合、ある下位モジュールのポート本数がターゲット・デバイスのピン数を超過してしまうとコンパイル・エラーになります。そのような場合に、下位階層の I/O ポートを仮想ピンとして指定することで回避することができます。仮想ピンに指定された I/O ポートは、ターゲット・デバイスに応じ LCELL(デバイスのアーキテクチャにより ALM)にマッピングされます。

このオプションは、インクリメンタル・コンパイルや LogicLock など下位階層モジュールごとに最適化していくコンパイル手法に有効です。

なお、Virtual Pin に設定された下位階層モジュールのポートが上位階層のポートと接続された場合、Quartus II コンパイラはこのオプションを無視し、自動的にノードとして処理して接続します。

<<サポート・デバイス>>

Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX V、MAX II

※ Quartus II 14.0.0 でサポートしているすべてのデバイス

11-1. 設定手順

- ① Assignment Editor を起動します。(Assignments メニュー ⇒ Assignment Editor をクリック)
- ② To 欄に設定したいピン名を選択します。(推奨 : Node Finder[※] を使用して選出して下さい)

※ Node Finder の操作方法に関しては、本資料を入手された販売代理店の技術情報サイトにて公開中の下記資料をご参照ください。

『Quartus II はじめてガイド - Assignment Editor の使い方』

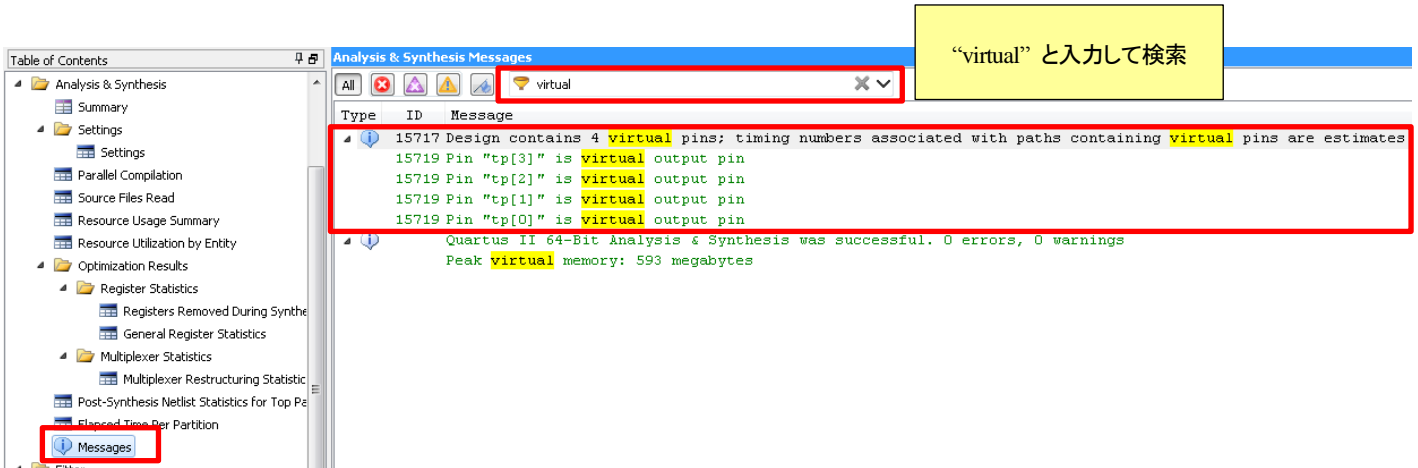
- ③ Assignment Name 欄より、“Virtual Pin” を選択します。
- ④ Value 欄から “On” を選択します。

tatu	From	To	Assignment Name	Value	Enabled	Entity
53	led[1]	Fast Output Register	On	Yes	fpga_top	
54	led[2]	Fast Output Register	On	Yes	fpga_top	
55	led[3]	Fast Output Register	On	Yes	fpga_top	
56	led[4]	Fast Output Register	On	Yes	fpga_top	
57	led[5]	Fast Output Register	On	Yes	fpga_top	
58	led[6]	Fast Output Register	On	Yes	fpga_top	
59	led[7]	Fast Output Register	On	Yes	fpga_top	
60	tp[0]	Virtual Pin	On	Yes	fpga_top	
61	tp[1]	Virtual Pin	Off	Yes	fpga_top	
62	tp[2]	Virtual Pin	On	Yes	fpga_top	
63	tp[3]	Virtual Pin	On	Yes	fpga_top	

11-2. 設定後の確認

設定内容がコンパイル結果に反映されたかどうかは、コンパイル・レポートをご確認ください。

- Compilation Report ⇒ Analysis & Synthesis ⇒ Messages で “virtual” と入力して検索し、設定したピンが表示されていれば良好です。



The screenshot shows the 'Analysis & Synthesis Messages' window in Quartus II. The search filter 'virtual' is applied to the message list. The results are as follows:

Type	ID	Message
Information	15717	Design contains 4 virtual pins; timing numbers associated with paths containing virtual pins are estimates
Information	15719	Pin "tp[3]" is virtual output pin
Information	15719	Pin "tp[2]" is virtual output pin
Information	15719	Pin "tp[1]" is virtual output pin
Information	15719	Pin "tp[0]" is virtual output pin
Information		Quartus II 64-Bit Analysis & Synthesis was successful. 0 errors, 0 warnings
Information		Peak virtual memory: 593 megabytes

A yellow callout box with the text “virtual” と入力して検索 is positioned above the search filter. A red box highlights the search filter and the message list. The 'Messages' option in the Table of Contents is also highlighted with a red box.

Appendix: カスタマイズ・カラム

Pin Planner の All Pin List のカラム項目を追加したい場合には、All Pins リスト内において、マウスで右クリック ⇒ Customize Columns により追加ができます。

Customize Columns ダイアログ・ボックスの “Available columns” (左枠) から設定したいカラムを選択し、**>** をクリックします。“Show these columns in this order” (右枠) に登録されたことを確認して、OK ボタンをクリックします。

表示したい項目のみを選択

クリックすると、選択した項目が右枠に登録されます。

Node Name	Direction	Location	I/O Bank	I/O Standard	Reserved	Current Strength
CLKS0M	Input	PIN_G2	1	3.3-V L...efault)		8mA (default)
LED[3]	Output	PIN_E14	7	2.5 V		4mA
LED[2]	Output	PIN_E13	7	2.5 V		4mA

改版履歴

Revision	年月	概要
1	2015年2月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>
 株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。