

Quartus II はじめてガイド EDA ツールの設定方法

ver.14

Quartus II はじめてガイド

EDA ツールの設定方法

目次

1. はじめに	3
2. サポート環境	4
3. 操作方法	5
3-1. 論理合成ツールとのインタフェース設定	5
3-2. シミュレーション・ツールとのインタフェース設定	7
3-2-1. 設定方法	7
3-2-2. ネットリスト・ファイルの生成	9
4. NativeLink の設定	11
4-1. 環境の設定	11
4-2. EDA Tool Settings の設定	12
4-2-1. 論理合成ツールの場合	12
4-2-2. シミュレーション・ツールの場合	13
改版履歴	16

1. はじめに

この資料は、Quartus[®] II 開発ソフトウェアのほかに、論理合成やシミュレーションにおいて EDA ツール[※]を使用する場合の設定方法をご紹介します。

※ EDA ツール : *Electronic Design Automation Tool* の略で、半導体の設計作業を自動化し支援するためのソフトウェアの総称

Quartus II 開発ソフトウェアは、様々な EDA ツールとインタフェースを取ることができます。論理合成ツールから生成された EDIF や VQM ファイルを Quartus II 開発ソフトウェアでコンパイルするときや、Quartus II 開発ソフトウェアで配置配線終了後に言語シミュレーション・ツールでシミュレーションを実行するときなど、EDA ツールとインタフェースを取るためには、LMF (Library Mapping File) の設定やシミュレーション用ネットリスト・ファイルを生成させる設定が必要です。これらの設定は、EDA Tool Settings にて行います。

通常は、Quartus II 開発ソフトウェアのプロジェクト作成時に EDA Tool Settings の設定を行います。その操作方法に関しては、本資料を入手された販売代理店の技術資料サイトにて、下記資料をご参照ください。

資料タイトル『Quartus II はじめてガイド – プロジェクトの作成方法』

本紙では、EDA 論理合成ツールと EDA シミュレーション・ツールに着目し、プロジェクト作成後に EDA ツールの設定や変更、内容を確認する方法を紹介します。また、EDA ツールの実行を Quartus II 開発ソフトウェアの操作フローに統合して行える NativeLink の設定方法も案内しています。

2. サポート環境

主な EDA ツールのサポート環境は、以下の通りです。

論理合成ツール	バージョン	NativeLink ^{※1} サポート
Mentor Graphics [®] DK Design Suite	5.0 SP5	✓
Mentor Graphics Precision	2014a	✓
Synopsys [®] Synplify, Synplify Pro, and Synplify Premier	E-2014.03-SP1	✓
シミュレーション・ツール	バージョン	NativeLink ^{※1} サポート
Aldec Active-HDL	9.3 (Windows only)	✓
Aldec Riviera-PRO	2013.10	✓
Cadence INCISIV Enterprise Simulator	13.10.012 (Linux only)	✓
Mentor Graphics ModelSim [®] PE	10.1e	✓
Mentor Graphics ModelSim SE	10.2c	✓
Mentor Graphics ModelSim-Altera	10.1e	✓
Mentor Graphics Questa [®]	10.2c	✓
Synopsys VCS and VCS MX	2013.06-SP1	✓

※ NativeLink については、「第 4 章 Native Link の設定」をご参照ください。

最新バージョン使用時の環境および詳細に関しては、以下の資料をご参考ください。

資料タイトル 「Quartus II Software Release Notes」

→ https://www.altera.com/en_US/pdfs/literature/rn/rn_qts.pdf

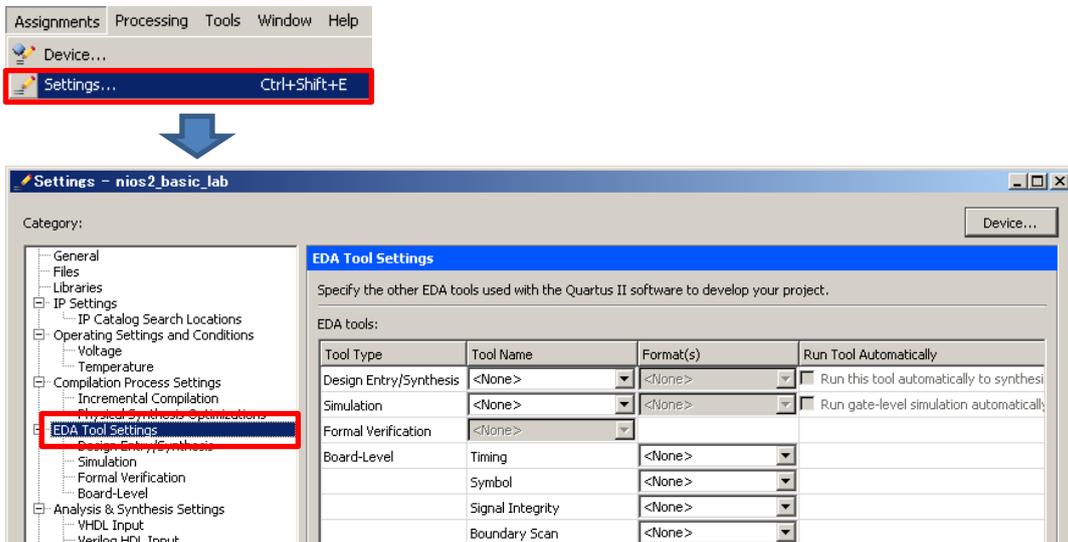
3. 操作方法

プロジェクトを作成後に、EDA ツールの設定を行うまたは変更するときは、EDA Tool Settings を起動します。

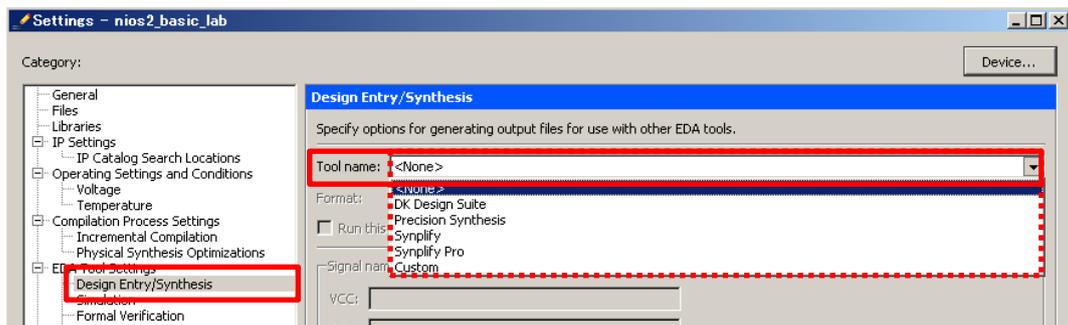
3-1. 論理合成ツールとのインタフェース設定

HDL デザイン(VHDL / Verilog HDL)を EDA 論理合成ツールによって EDIF ファイルまたは VQM ファイルに変換後、そのファイルを Quartus II 開発ソフトウェアでコンパイルするには、LMF(Library Mapping File)の設定を行います。

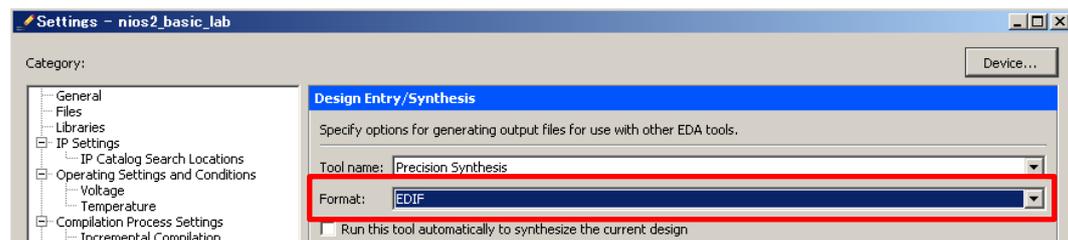
- ① Assignments メニュー ⇒ Settings ⇒ EDA Tool Settings の項目から Design Entry/Synthesis を選択します。



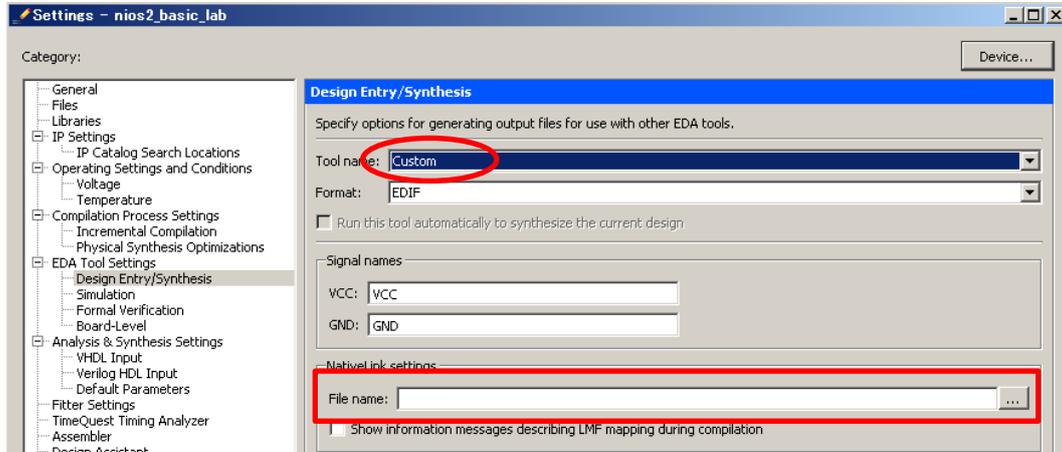
- ② Tool name のプルダウン・リストより、EDIF や VQM を生成した EDA 論理合成ツールを選択します。(EDA Tool Setting ウィンドウの、Tool Name プルダウンメニューから選択することもできます。)



- ③ Format のプルダウン・リストより、Quartus II 開発ソフトウェアにエントリするデザイン・ファイルのフォーマット・タイプを選択します。(フォーマットの種類は、使用する論理合成ツールにより異なります。)



- ④ Library Mapping File (LMF) はツール名を選択すると自動的に設定されますので、設定する必要はありません。もし Tool name で Custom を選択した場合には、適切なファイルを指定してください。OK ボタンをクリックして、設定完了です。

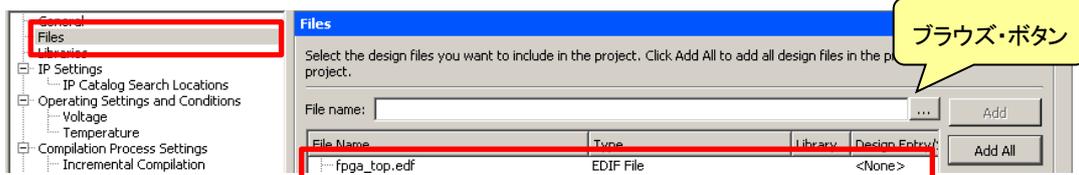


以上で、EDIF ファイルや VQM ファイルを Quartus II 開発ソフトウェアでコンパイルすることが可能になります。

【補足① : EDA 論理合成ツールとのインターフェース】

EDA 論理合成ツールとインターフェースを取る場合、プロジェクトにエントリ（登録）するデザイン・ファイルの取り扱いに注意してください。VHDL や Verilog HDL を EDA 論理合成ツールで変換した場合、Quartus II 開発ソフトウェアがコンパイルするデザイン・ファイルは、論理合成ツールで生成された EDIF ファイルや VQM ファイルになります。そのため変換前の HDL ファイルをそのプロジェクトのデザイン・ファイルとしてエントリしないでください。デザイン・ファイルのエントリは以下から確認、設定ができます。

Project メニュー ⇒ Add/Remove Files in Project を選択します。



【補足② : LMF の設定】

論理合成ツールで生成したファイル・フォーマットが VHDL または Verilog HDL の場合でも、Analysis & Synthesis Settings において LMF 設定が必要です。(指定する LMF ファイルは、論理合成ツールのベンダにより異なります。)

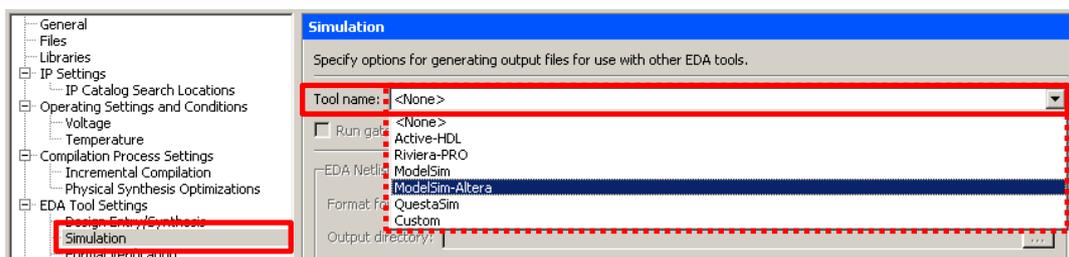
例:Design Compiler の場合の LMF は、 $\%InstDir\%dc_fpga.lmf$ ファイルです。

3-2. シミュレーション・ツールとのインタフェース設定

配置配線後のシミュレーション(ゲートレベル・シミュレーションおよびタイミング・シミュレーション)を EDA シミュレーション・ツールで行う場合は、Quartus II 開発ソフトウェアにより生成された EDA シミュレーション・ツール用のネットリスト・ファイルを使用します。ネットリスト・ファイルを生成させるため、使用する EDA シミュレーション・ツールや言語タイプなどを指定します。

3-2-1. 設定方法

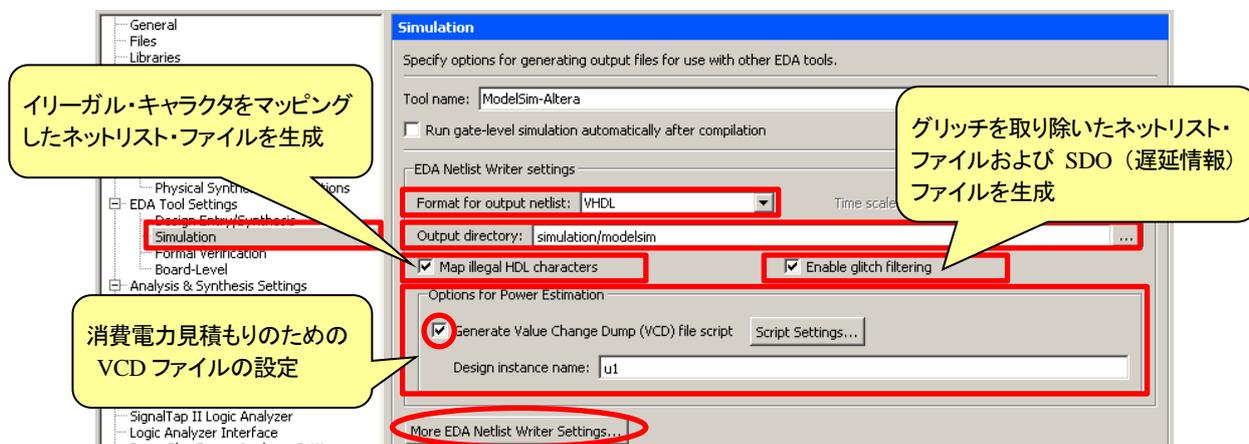
- ① Assignments メニュー ⇒ Settings... ⇒ EDA Tool Settings の項目から Simulation を選択します。
- ② Tool name のプルダウンメニューより、シミュレーションを行う EDA シミュレーション・ツール名を選択します。



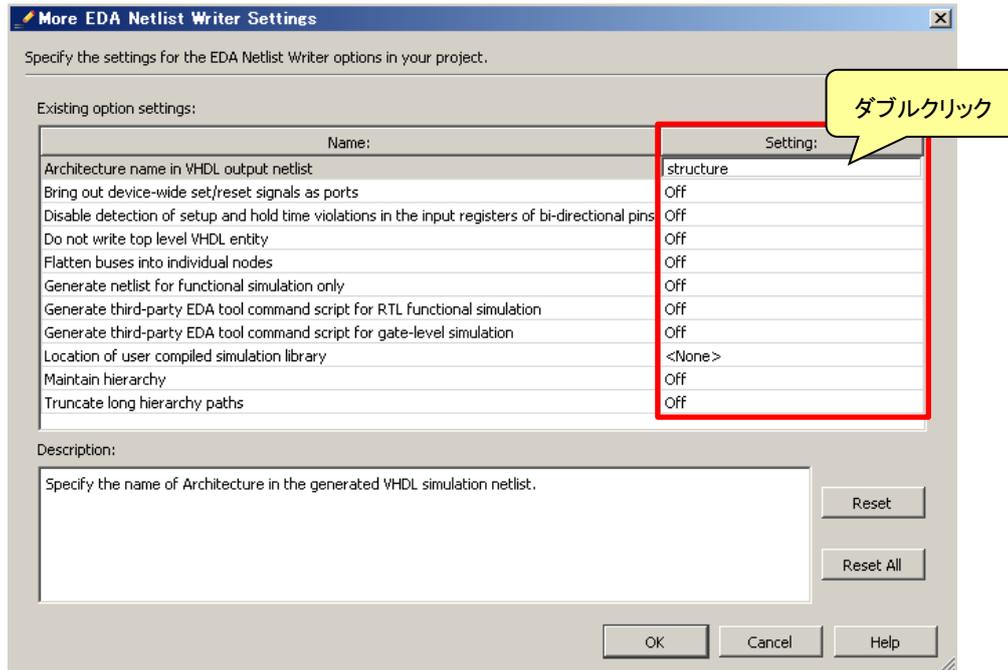
- ③ Format for output netlist 項目で、生成するネットリスト・ファイルの言語を選択します。
- ④ Output directory にてネットリスト・ファイルの出力先を指定します。

※ デフォルトは、 $\%<Quartus II \text{ プロジェクト・ディレクトリ}>\%simulation\%<シミュレータ名>$ です。

- ⑤ 必要に応じてオプションを設定します。



More EDA Netlist Writer Settings ボタンをクリックすると、その他のオプションが設定できます。



<More EDA Netlist Writer Settings>

- Architecture name in VHDL output netlist
生成するネットリスト・ファイルの Architecture 名の指定をする。
- Bring out device-wide set/reset signals as ports
ネットリスト・ファイルに、devpor、devclm、devoe を最上位階層の入力ポートとして加える。
- Disables violations of detection setup and hold time violations in the input registers of bi-directional pins.
双方向ピンの入力レジスタのセットアップと保持時間違反の検出を無効にする。
- Do not write top level VHDL entity
VHDL ファイルの中にトップレベルの定義を記述しないように指定する。
- Flatten buses into individual nodes
バス信号を全てフラットにしてネットリスト・ファイルを生成する。
- Generate netlist for functional simulation only
ネットリスト・ファイルのみ出力する。遅延情報ファイル (SDO ファイル) は生成しません。(このオプションは、VCS MX シミュレーション・ツールは利用できません。)
- Generate third party EDA tool command script for gate-level simulation
EDA ツールでゲートレベル・シミュレーションを実行するためのコマンド・スクリプトを生成する。
- Generate third party EDA tool command script for RTL function simulation
EDA ツールで RTL シミュレーションを実行するためのコマンド・スクリプトを生成する。

- Location of user compiled simulation library
EDA ツールで使用するライブラリのディレクトリを選択します。(ModelSim-Altera または Active-HDL のコンパイル前のライブラリは使用できません。)

※ 上記オプションの詳細は、本資料を入手された販売代理店の技術情報サイトにて、下記資料をご参照ください。

資料タイトル 『ModelSim アルテラ・シミュレーション・ライブラリ作成および登録方法』

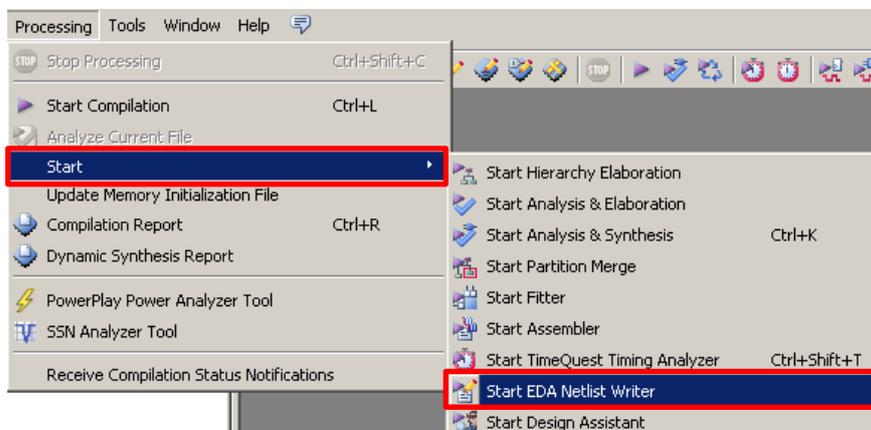
- Maintain hierarchy
ユーザの構成した階層設計を保持して、ネットリスト・ファイルを生成する。
- Truncate long hierarchy paths
80 文字以上のノード名は切り詰めてネットリスト・ファイルを作成する。

⑥ OK ボタンをクリックして、設定完了です。

3-2-2. ネットリスト・ファイルの生成

設定後、コンパイルを実行するとネットリスト・ファイルが生成されます。もし、すでにコンパイルが完了していて、ネットリスト・ファイルのみを生成したい場合には、以下のメニューを実行してファイルを生成してください。

Processing メニュー ⇒ Start ⇒ Start EDA Netlist Writer を選択します。(または Tasks ウィンドウからの実行でも可能。)



【補足③】： ゲートレベル・シミュレーションの実行方法

Quartus II 開発ソフトウェアが生成する VO ファイル (Verilog HDL ネットリスト・ファイル) には、遅延情報ファイル (SDO) をアノテートする (読み込む) 記述があります。そのため、デフォルトでタイミング・シミュレーションが実行されます。

遅延を含まないゲートレベル・シミュレーションを実行したい場合には、SDO ファイルを読み込む記述部分をコメント・アウトしてください。

遅延ありの場合

```

tri1 devpor;
tri1 devoe;
// synopsys translate_off
initial $sdf_annotate("fir_filter_v.sdo");
// synopsys translate_on

wire \mult_inst|lpm_mult_component|auto_ge
wire \mult_inst|lpm_mult_component|auto_ge
    
```

遅延なしの場合

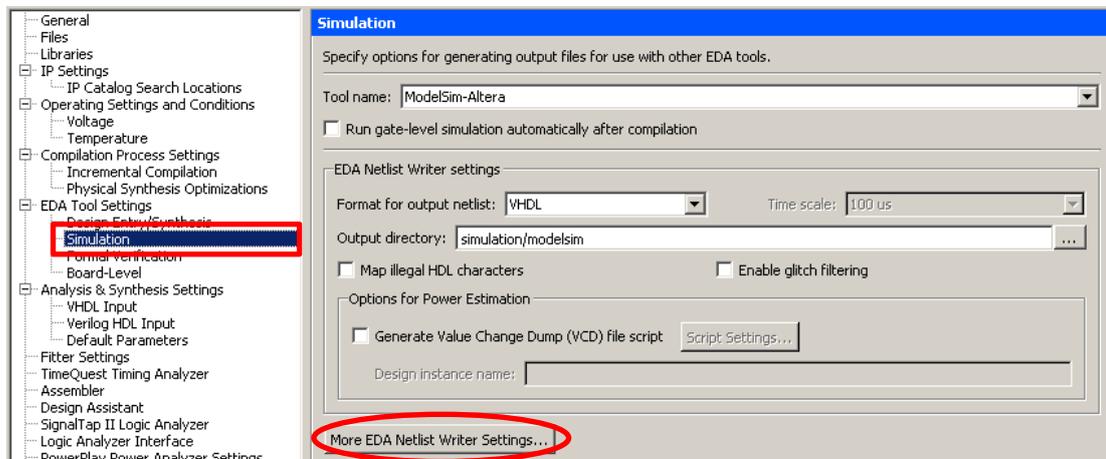
```

tri1 devpor;
tri1 devoe;
// synopsys translate_off
//initial $sdf_annotate("fir_filter_v.sdo");
// synopsys translate_on

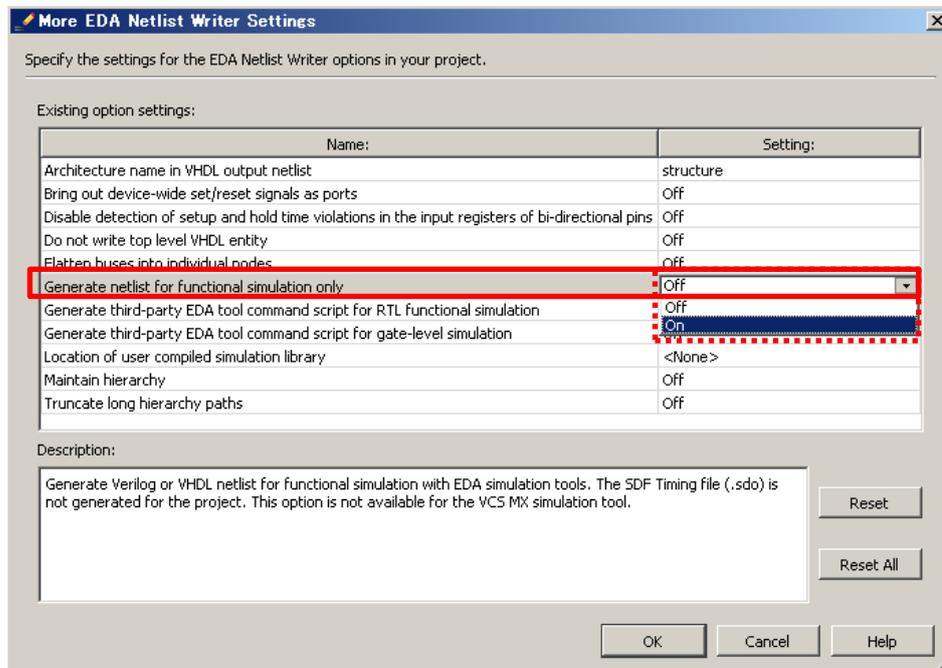
wire \mult_inst|lpm_mult_component|auto_gene;
wire \mult_inst|lpm_mult_component|auto_gene;
    
```

または、VO ファイル自体に SDO ファイルをアノテートする記述をさせないオプション設定をして、ネットリスト・ファイルを生成することも可能です。操作は以下のとおりです。

- ① Assignments メニュー ⇒ Settings... ⇒ EDA Tool Settings の項目から Simulation を選択します。
- ② More EDA Netlist Writer Settings ボタンをクリックします。



- ③ Generate netlist for functional simulation only を On に設定し、OK ボタンをクリックします。



- ④ その後、コンパイルまたは EDA Netlist Writer を実行してください。

4. NativeLink の設定

Quartus II 開発ソフトウェアでは、EDA 論理合成ツールや EDA シミュレーション・ツールの実行を Quartus II 開発ソフトウェア操作フローに統合することが可能です。この機能を使用することで、論理合成ツールの GUI を起動せずに論理合成を稼動したり、コンパイルのフロー中に自動でタイミング・シミュレーションを実行することができます。

NativeLink を使用する場合は、あらかじめ使用する EDA ツールのための環境の設定と EDA Tool Settings でのオプション設定が必要です。

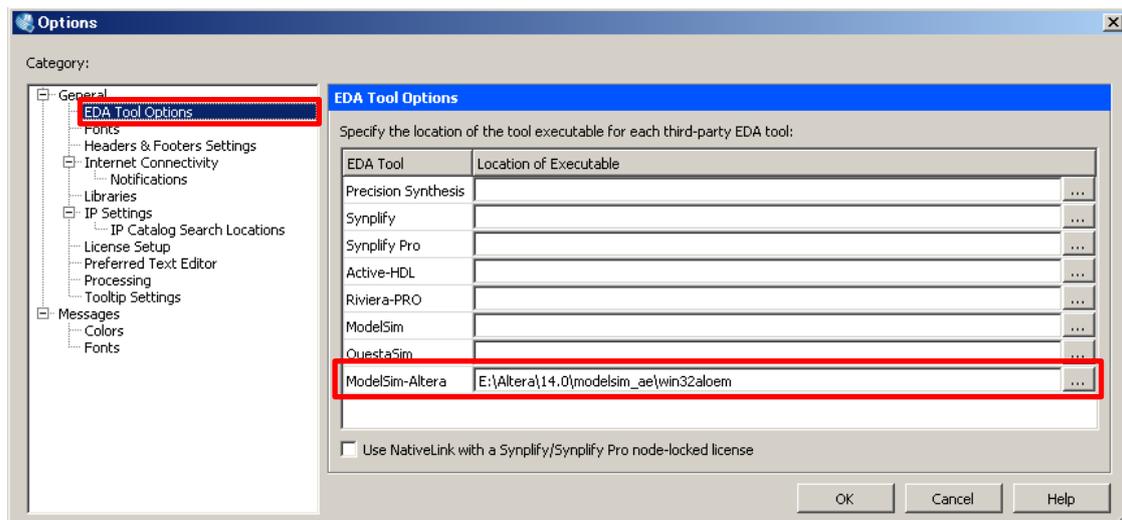
4.1. 環境の設定

- ① Tools メニュー ⇒ Options を選択します。
- ② Category から EDA Tool Option を選択します。
- ③ NativeLink を設定したいツール名の Location of executable 欄をダブルクリックします。ブラウズ・ボタンにて EDA ツールの実行ファイル (*.exe) があるディレクトリまでのパスを指定します。

例：ModelSim-Altera の場合

¥<ModelSim-Altera インストール・ディレクトリ>¥win32aloem

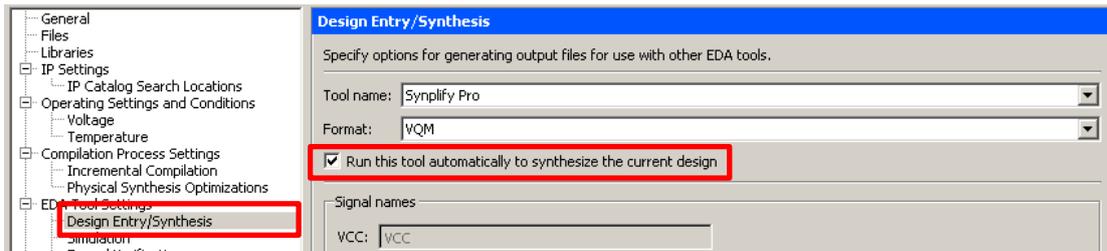
- ④ OK ボタンをクリックして設定完了です。



4-2. EDA Tool Settings の設定

4-2-1. 論理合成ツールの場合

- ① Assignments メニュー ⇒ Settings ⇒ EDA Tool Setting の項目から Design Entry/Synthesis を選択します。
- ② Tool name のプルダウン・リストより、NativeLink で使用する EDA 論理合成ツールを選択します。
- ③ Run this tool automatically synthesize the current design オプションにチェックを入れ、OK ボタンをクリックして設定完了です。
- ④ その後、コンパイルを実行してください。



【補足④ : NativeLink を実行する際、エントリするデザイン・ファイル】

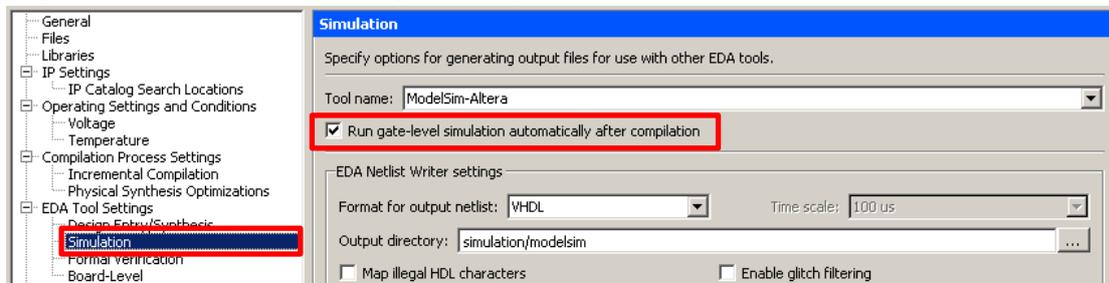
EDA 論理合成ツールの NativeLink を実行する場合、Quartus II 開発ソフトウェアでエントリするデザイン・ファイルは、指定した EDA 論理合成ツールが論理合成実行時に使用する HDL ファイルを全てエントリします。

コンパイルを実行すると、メッセージ・ウィンドウには始め EDA 論理合成ツールのメッセージが表示され、実行内容などの情報が確認できます。その後 Quartus II 開発ソフトウェアのメッセージに変わり、EDA 論理合成ツールによって生成された EDIF または VQM ファイルをデザイン・ファイルとして自動に認識し、コンパイルが実行されます。

4-2-2. シミュレーション・ツールの場合

注意 : NativeLink を使用した場合、シミュレーション・ツールを終了させない限り Quartus II 開発ソフトウェアのコンパイルは終了しません。

- ① Assignments メニュー ⇒ Settings ⇒ EDA Tool Setting の項目から Simulation を選択します。
- ② Tool name のプルダウン・リストより、NativeLink で使用する EDA シミュレーション・ツールを選択し、Run gate-level simulation automatically after compilation にチェックを入れます。



- ③ 必要に応じ、各種オプション設定をします。

※ 設定方法、内容については、「3-2 節 シミュレーション・ツールとのインタフェース設定」をご覧ください。

- ④ NativeLink settings 欄から実行したいフローを選択します。

- None

NativeLink を使用しません。

- Compile test bench

指定したテストベンチ・ファイルを使用し、シミュレーションを実行します。シミュレーション用のスクリプト・ファイルも合わせて使用する場合には、Use script to set up simulation にチェックを入れ、ファイルを指定します。(設定方法、内容については、後述の テストベンチ・ファイルの指定方法をご覧ください。)

- Script to compile test bench

あらかじめ用意したスクリプト・ファイルを使い、シミュレーションを実行します。

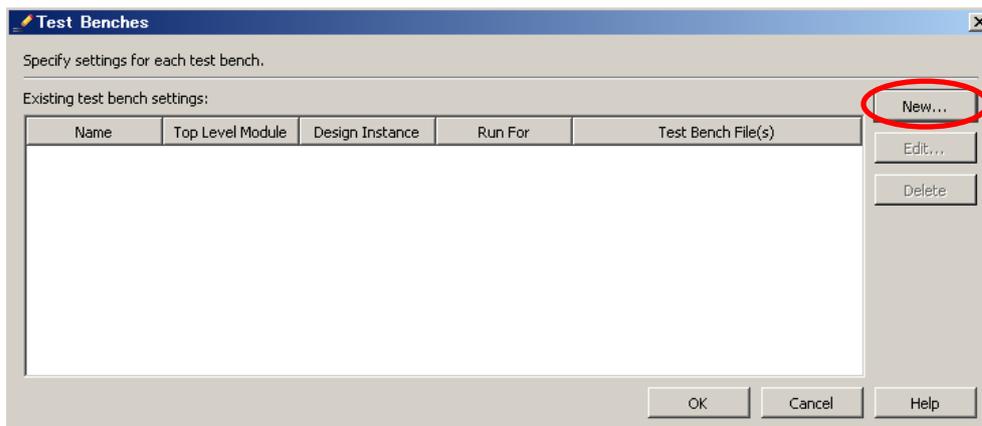


- ⑤ コンパイルを実行します。(Processing メニューより実行)

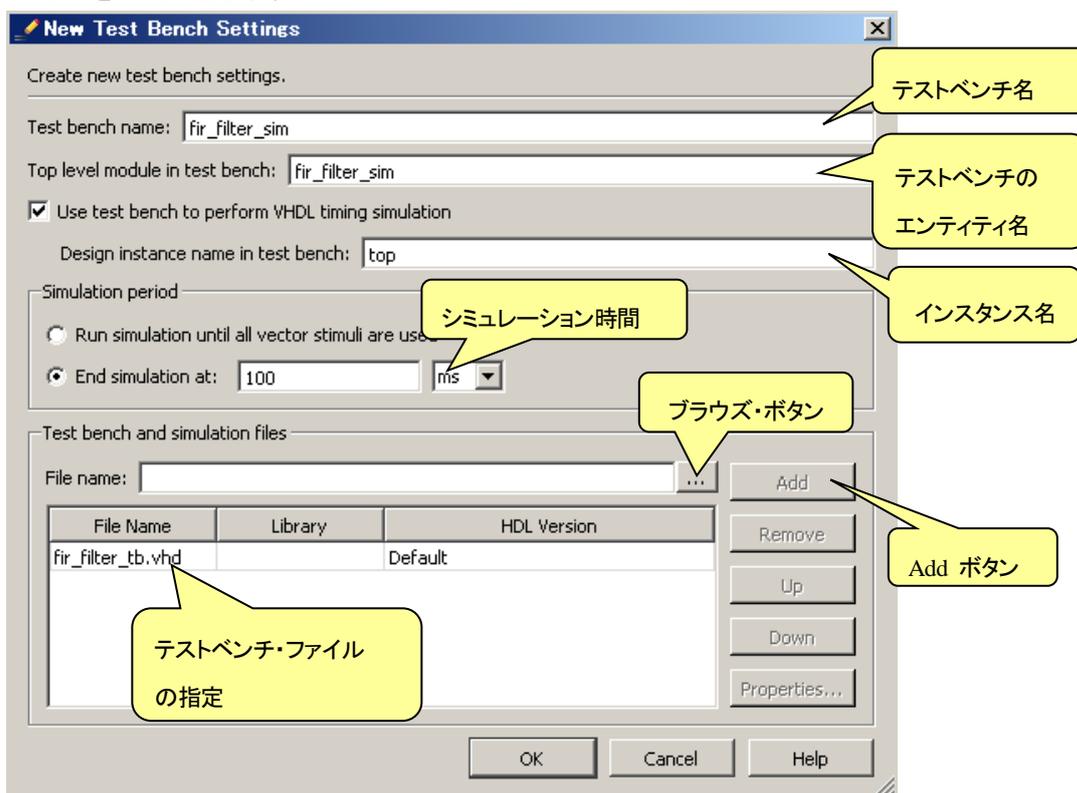
コンパイル・フローの一環として、自動的にシミュレーション・ツールが起動し、シミュレーションを実行します。

《テストベンチ・ファイルの指定方法》

- ① Test Benches ボタンをクリックします。Test Benches ダイアログ・ボックスが起動しますので、New ボタンをクリックします。



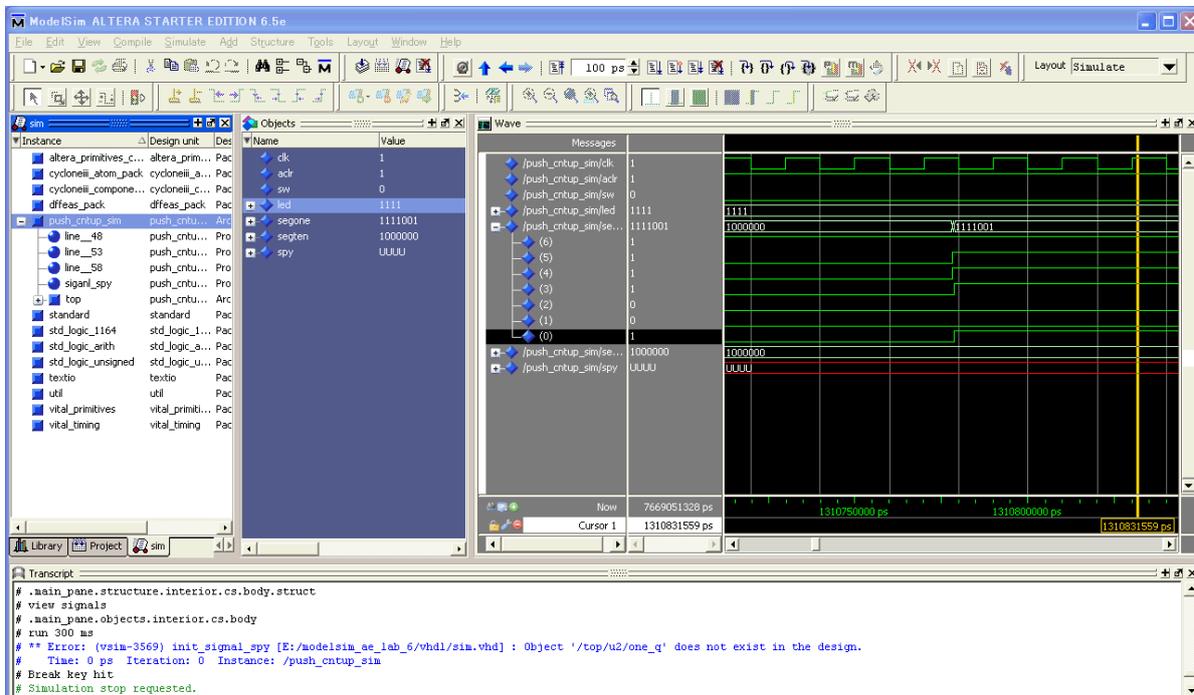
- ② テストベンチの名前、エンティティ名（Verilog HDL の場合はモジュール名）、インスタンス名、シミュレーション実行時間を入力します。Test bench files 欄のブラウズ・ボタンからテストベンチ・ファイルを選択し、Add ボタンをクリックします。



- ③ OK ボタンをクリックし、設定完了です。
- ④ テストベンチ（テスト・パターン）が複数ある場合は、Test Benches ダイアログ・ボックスにおいて、New ボタンをクリックし追加してください。

◆ ModelSim-Altera の場合

以下のように、Quartus II 開発ソフトウェアのコンパイル・フロー中に ModelSim-Altera の GUI が起動します。Quartus II 開発ソフトウェアがシミュレーション用に生成したネットリスト・ファイルと遅延情報ファイル (*.sdo) と、オプション指定したテストベンチ・ファイルなどの設定情報を基に、自動的にシミュレーションが実行されます。



【補足⑤ : NativeLink 機能】

上記のように Quartus II 開発ソフトウェアのコンパイル・フローとして EDA シミュレーション・ツールでシミュレーションを行うのではなく、NativeLink を使ったシミュレーションだけを実行することも可能です。この機能を利用することで、Quartus II 開発ソフトウェアのメニューから EDA シミュレーション・ツールを起動し、実行させることができます。

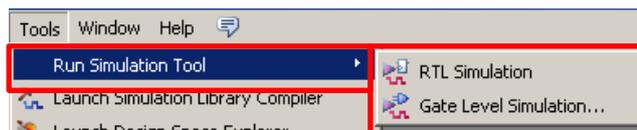
- Tools メニュー ⇒ EDA Simulation Tool ⇒ Run EDA RTL Simulation

または

- Tools メニュー ⇒ EDA Simulation Tool ⇒ Run EDA Gate Simulation

※ Run EDA RTL Simulation を実行の場合には、Quartus II 開発ソフトウェアにおいて、Analysis & Elaboration が終了している必要があります。

※ Run EDA Gate Simulation を実行する場合には、配置配線、タイミング検証まで終了している必要があります。



改版履歴

Revision	年月	概要
1	2014 年 11 月	初版
1.1	2015 年 4 月	アルテラ社の Web サイトのリニューアルに伴う URL 変更

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>
 株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。