

Quartus II はじめてガイド コンパイル・レポート・ファイルの見方

ver.14

Quartus II はじめてガイド

コンパイル・レポート・ファイルの見方

目次

1. はじめに	3
1-1. Quartus II の工程と生成されるレポート・ファイル.....	3
1-2. レポート・ファイルの開き方.....	5
2. Analysis & Synthesis.....	6
2-1. 読み込まれたデザイン・ファイルの確認	6
2-2. 論理の最適化	7
3. Fitter	10
3-1. 基板設計前に確認すべき項目	10
3-2. Fitter Error 発生時に確認すべき項目	12
3-3. タイミング・エラー発生時に確認すべき項目	14
3-3-1. 内部動作周波数の不足.....	14
3-3-2. I/O タイミング不足	16
3-4. 実機動作不良時に確認すべき項目.....	17
4. Assembler	18
5. TimeQuest Timing Analyzer.....	19
改版履歴	20

1. はじめに

この資料は、アルテラ社 FPGA / CPLD の開発ツール Quartus® II におけるレポート・ファイルについて説明しています。

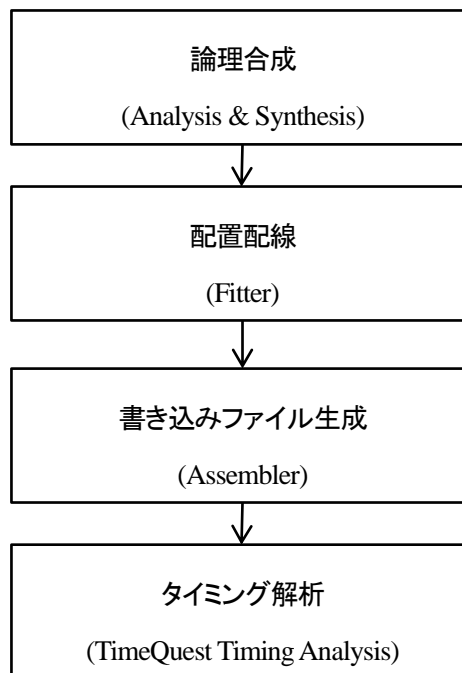
本資料は、下記の環境を対象として作成しています。

対象バージョン: Quartus II 14.0

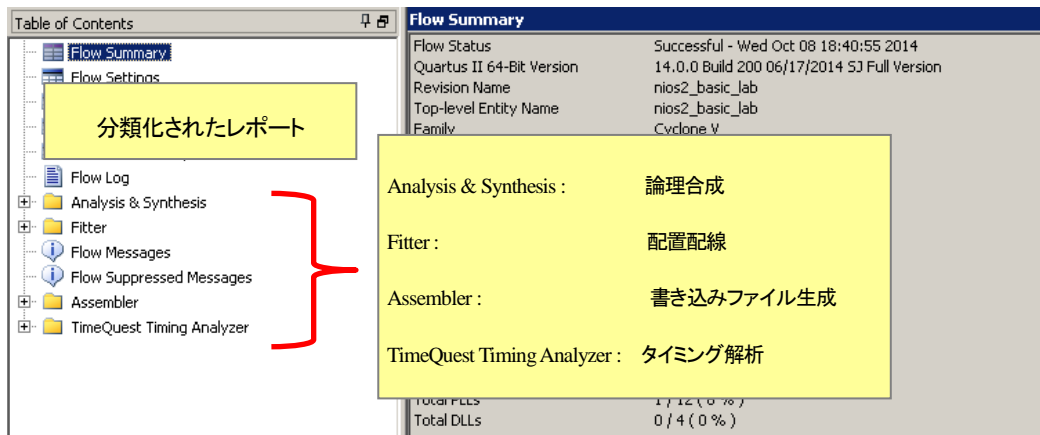
Quartus II は、FPGA / CPLD の設計に必要な工程をすべて実行できます。実行された工程毎にレポート・ファイルが生成され、解析を必要とする際に有効です。

1-1. Quartus II の工程と生成されるレポート・ファイル

Quartus II で実行される基本的な工程は、以下に記載されている 4 工程です。



各工程に対して詳細のレポートが生成されます。



レポート・ファイルは、Quartus II の GUI を開かずに確認できるよう、様々なファイル形式で生成されます。各設計工程と生成されるレポート・ファイルについて、以下にまとめています。

工程	生成されるファイル・タイプ	
Analysis & Synthesis	.map.rpt	テキスト形式のレポート・ファイル
	.map.smsg	抑制されたメッセージ
	.map.summary	サマリ・レポート
Fitter	.fit.rpt	テキスト形式のレポート・ファイル
	.fit.smsg	抑制されたメッセージ
	.fit.summary	サマリ・レポート
Assembler	.asm.rpt	テキスト形式のレポート・ファイル
TimeQuest Timing Analyzer	.sta.rpt	テキスト形式のレポート・ファイル
	.sta.summary	サマリ・レポート

各工程で確認すべき点を説明します。

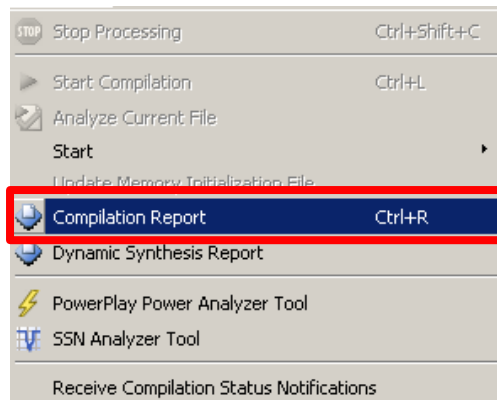
1-2. レポート・ファイルの開き方

Quartus II では、コンパイルなど工程を実行すると自動的に Compilation Report が表示されます。

Table of Contents		Flow Summary	
Flow Summary		Flow Status	Successful - Wed Oct 08 18:40:55 2014
Flow Settings		Quartus II 64-Bit Version	14.0.0 Build 200 06/17/2014 SJ Full Version
Flow Non-Default Global Settings		Revision Name	nios2_basic_lab
Flow Elapsed Time		Top-level Entity Name	nios2_basic_lab
Flow OS Summary		Family	Cyclone V
Flow Log		Device	5CGXFC5C6F27C7
Analysis & Synthesis		Timing Models	Final
Filter		Logic utilization (in ALMs)	1,703 / 29,080 (6 %)
Flow Messages		Total registers	2481
Flow Suppressed Messages		Total pins	49 / 364 (13 %)
Assembler		Total virtual pins	0
TimeQuest Timing Analyzer		Total block memory bits	1,120,896 / 4,567,040 (25 %)
		Total DSP Blocks	2 / 150 (1 %)
		Total HSSI RX PCSs	0 / 6 (0 %)
		Total HSSI PMA RX Deserializers	0 / 6 (0 %)
		Total HSSI TX PCSs	0 / 6 (0 %)
		Total HSSI PMA TX Serializers	0 / 6 (0 %)
		Total PLLs	1 / 12 (8 %)
		Total DLLs	0 / 4 (0 %)

Compilation Report を閉じた後でも、Quartus II GUI 上に再度 Compilation Report を表示させることができます。

Processing メニュー ⇒ Compilation Report



再コンパイル等を行う必要なく Compilation Report を開くことができます。

2. Analysis & Synthesis

Analysis & Synthesis におけるレポートで、確認すべき項目について説明します。

Analysis & Synthesis の工程では、論理合成を実行しています。論理合成では、デザイン・ファイルを読み込んで論理の最適化を行います。Analysis & Synthesis で確認したい内容は、読み込まれているファイル群と論理の最適化によって圧縮や削除された論理が仕様通りか否かを確認する必要があります。

2-1. 読み込まれたデザイン・ファイルの確認

Quartus II でコンパイル時に読み込まれたデザイン・ファイルは、Compilation Report で確認できます。

Analysis & Synthesis ⇒ Source File Read

Analysis & Synthesis Source Files Read		
	File Name with User-Entered Path	Used in Netlist
1	nios2_system/synthesis/nios2_system.v	yes
2	nios2_system/synthesis/submodules/altera_reset_controller.v	yes
3	nios2_system/synthesis/submodules/altera_reset_synchronizer.v	yes
4	nios2_system/synthesis/submodules/nios2_system_irq_mapper.v	yes
5	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0.v	yes
6	nios2_system/synthesis/submodules/altera_merlin_width_adapter.v	yes
7	nios2_system/synthesis/submodules/altera_merlin_burst_uncompressor.v	yes
8	nios2_system/synthesis/submodules/altera_merlin_arbitrator.v	yes
9	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_rsp_mux_001.v	yes
10	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_rsp_mux.v	yes
11	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_rsp_demux_004.v	yes
12	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_rsp_demux.v	yes
13	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_cmd_mux_004.v	yes
14	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_cmd_mux.v	yes
15	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_cmd_demux_001.v	yes
16	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_cmd_demux.v	yes
17	nios2_system/synthesis/submodules/altera_merlin_burst_adapter_13_1.v	yes
18	nios2_system/synthesis/submodules/altera_merlin_burst_adapter.v	yes
19	nios2_system/synthesis/submodules/altera_merlin_traffic_limiter.v	yes
20	nios2_system/synthesis/submodules/altera_avalon_sc_fifo.v	yes
21	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_router_006.v	yes
22	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_router_004.v	yes
23	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_router_002.v	yes
24	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_router_001.v	yes
25	nios2_system/synthesis/submodules/nios2_system_mm_interconnect_0_router.v	yes
26	nios2_system/synthesis/submodules/altera_merlin_slave_agent.v	yes
27	nios2_system/synthesis/submodules/altera_merlin_master_agent.v	yes
28	nios2_system/synthesis/submodules/altera_merlin_slave_translator.v	yes
29	nios2_system/synthesis/submodules/altera_merlin_master_translator.v	yes
30	nios2_system/synthesis/submodules/nios2_system_pll.v	yes
31	nios2_system/synthesis/submodules/nios2_system_led_pio.v	yes

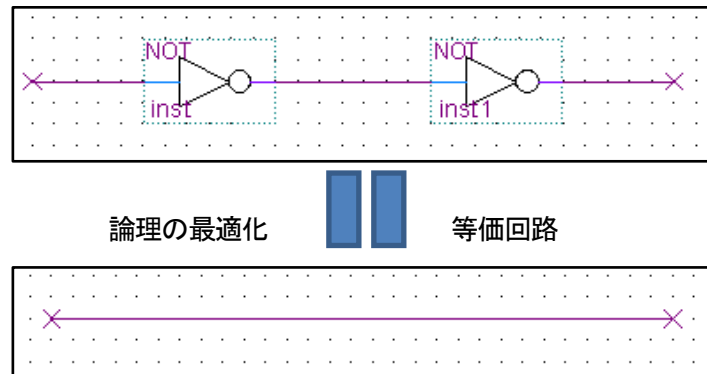
また、Analysis & Synthesis 実行時にファイルを読み込んでいる情報をメッセージからも読み取ることができます。

Type	ID	Message
	11104	Parallel Compilation has detected 4 hyper-threaded processors. However, the extra hyper-
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/nios2_
	12023	Found entity 1: nios2_system
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12023	Found entity 1: altera_reset_controller
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12023	Found entity 1: altera_reset_synchronizer
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 2 design units, including 2 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 7 design units, including 7 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 6 design units, including 6 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod
	12021	Found 1 design units, including 1 entities, in source file nios2_system/synthesis/submod

2-2. 論理の最適化

Analysis & Synthesis では、論理合成のオプション設定にあわせて、読み込まれたデザインの最適化を実行します。

例えば、以下のようにインバータが 2 つ接続された場合、論理としてはこれらのインバータは特に必要ありません。論理圧縮を行わないとそれぞれのインバータが LUT を使用してしまい、最大 2 つの LUT が無駄に消費されます。そこで、論理圧縮を行うことにより、インバータを削除することで論理が最適化されるわけです。



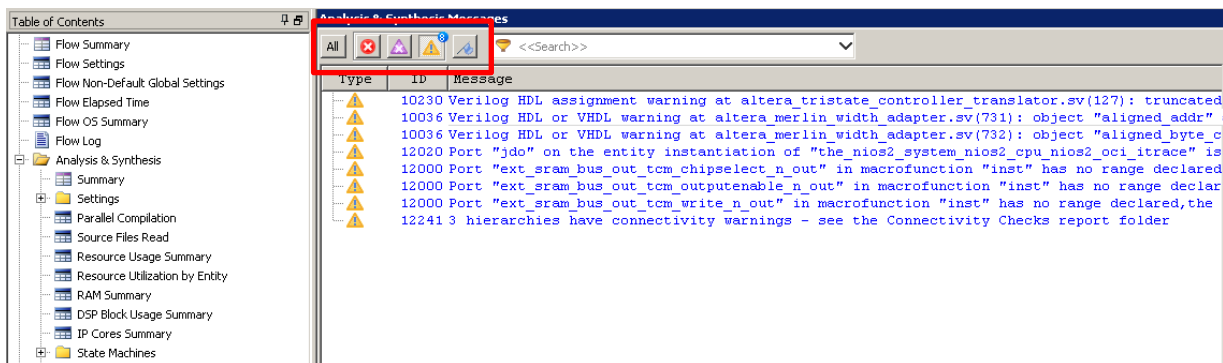
論理の確認が必要になってくるのは、シミュレーションや実機検証にてトグルすべき信号がスタックしている場合です。信号がスタックしてしまう原因は、入力元にあります。

信号がスタック = 論理が削除
 もしくは
 入力される信号が固定

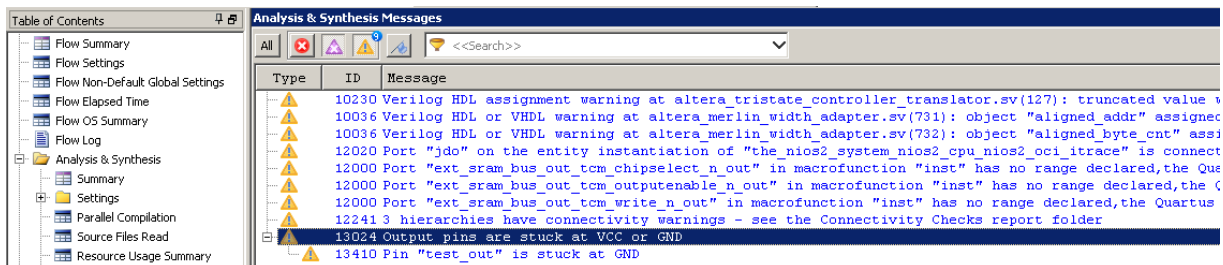
仕様上動作すべき信号がスタックしてしまう場合、接続ミスや記述ミスにより、入力される信号が固定になってしまうことです。このような場合は、Analysis & Synthesis のワーニング・メッセージで確認できます。

工程実行中にメッセージ・ウィンドウに情報や警告(ワーニング)、エラーなどが表示されます。なお、各工程で表示されたメッセージは、Analysis & Synthesis の中にある Messages でも確認できます。Messages では分類化されており、各ボタンをクリックすることでエラーだけやワーニングだけなどの表示をさせることができます。

- All : すべてのタスクが表示
- Error : エラー
- Critical Warning : 強いワーニング
- Warning : ワーニング
- Flag : フラグ設定したメッセージ



メッセージの中で stuck at GND や stuck at VCC といった表示が、信号のスタックに関するものです。



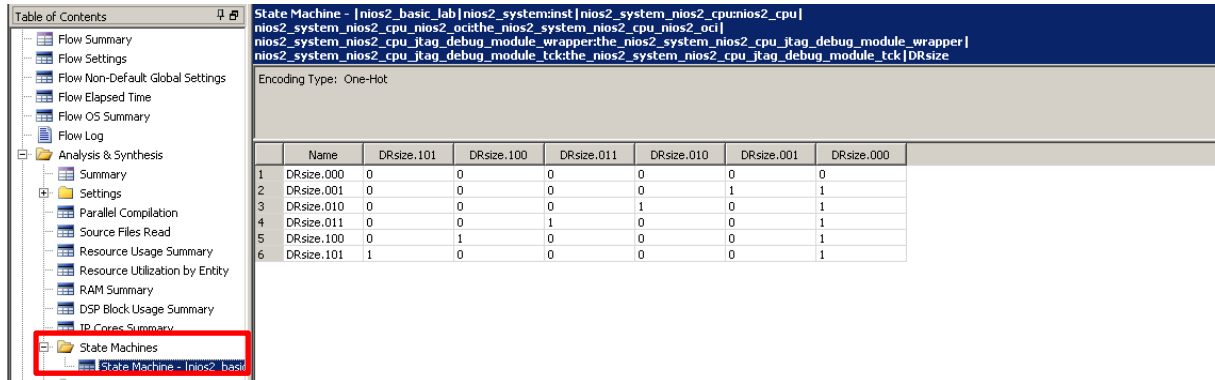
ワーニングより、仕様上スタックすべきでない信号に関してスタックしている表示があった場合は、関係する前後の論理をご確認ください。

また、前段の入力がスタックする事で後段の論理が削除されることもあります。その場合には、“Remove” というキーワードになっています。

シミュレーションや実機検証で期待通りの動作をしていない場合は、stuck や remove といったワーニングをご確認ください。

また、その他の検証から確認すべき内容は、ステート・マシンです。ステート・マシンは、デフォルトで Quartus II に構成方法は任せられる為、グレイコード / ワンホット など論理最適化により構成されます。その為、構成されたステート・マシンを確認する場合は、Analysis & Synthesis のレポートでご確認ください。

Analysis & Synthesis ⇒ State Machines



	Name	DRsize.101	DRsize.100	DRsize.011	DRsize.010	DRsize.001	DRsize.000
1	DRsize.000	0	0	0	0	0	0
2	DRsize.001	0	0	0	1	1	1
3	DRsize.010	0	0	0	1	0	1
4	DRsize.011	0	0	1	0	0	1
5	DRsize.100	0	1	0	0	0	1
6	DRsize.101	1	0	0	0	0	1

なお、論理合成前については、RTL Viewer で構成を確認できます。論理合成後の論理は Technology Map Viewer (Post-Mapping) により視覚的に確認できます。Viewer については、資料『Quartus II - Netlist Viewer の概要』をあわせてご参照ください。

3. Fitter

Fitter におけるレポートで確認すべき項目について説明します。

Fitter は対象デバイスへの配置配線を行っている工程です。確認すべき項目は状況により異なります。

3-1. 基板設計前に確認すべき項目

ピン配置が決定し、基板設計を行う際には必ず下記項目をご確認ください。デザインが未完成の場合は、ピン・フィッティングのみ実施できます。詳細については、資料『Quartus II におけるピンの配置や制約の解析方法』をあわせてご参照ください。

基板設計前に確認すべき内容は、

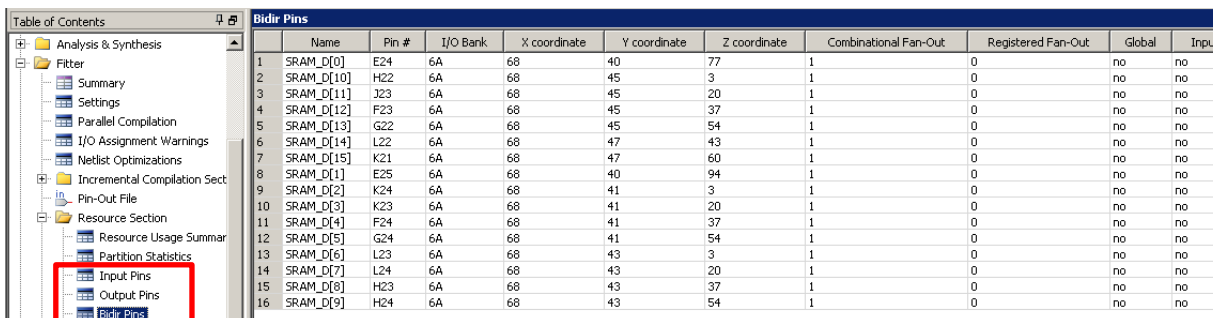
- Input Pins
- Output Pins
- Bidir Pins
- Pin-Out-File もしくは All Package Pins

です。

Input Pins / Output Pins / Bidir Pins は、デザインで使用されているピンを種類毎にまとめています。

- 配置されたピン番号
 - I/O Standard
 - 内部終端抵抗
- などの I/O 機能

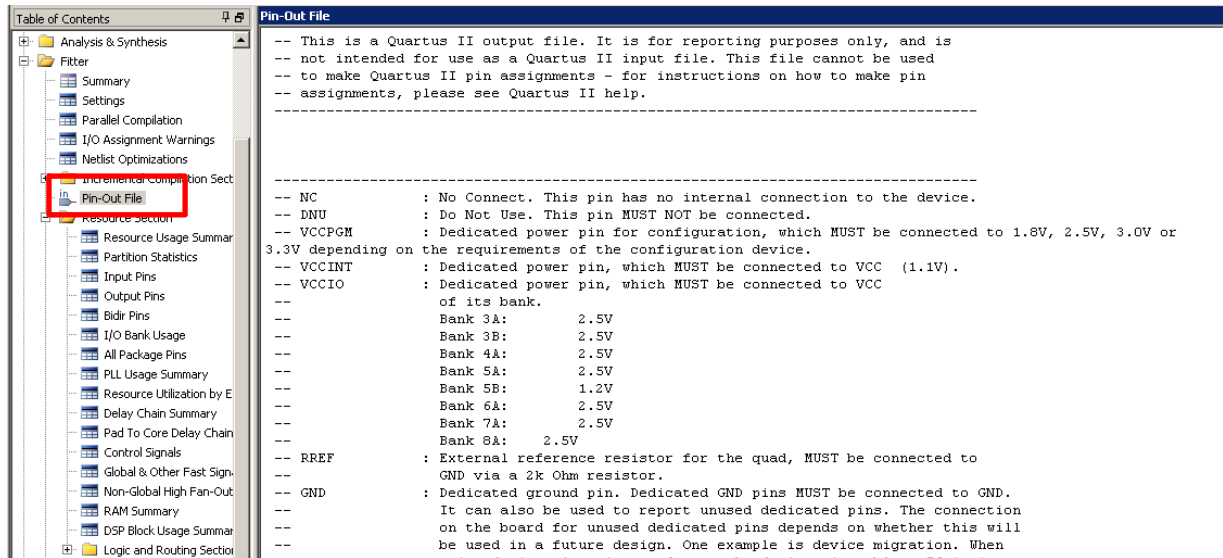
内部終端抵抗や内部 Pull-Up 抵抗、Current Strength は基板上の配線と関係するため、各信号にあわせた基板設計を行います。



	Name	Pin #	I/O Bank	X coordinate	Y coordinate	Z coordinate	Combinational Fan-Out	Registered Fan-Out	Global	Input
1	SRAM_D[0]	E24	6A	68	40	77	1	0	no	no
2	SRAM_D[10]	H22	6A	68	45	3	1	0	no	no
3	SRAM_D[11]	J23	6A	68	45	20	1	0	no	no
4	SRAM_D[12]	F23	6A	68	45	37	1	0	no	no
5	SRAM_D[13]	G22	6A	68	45	54	1	0	no	no
6	SRAM_D[14]	L22	6A	68	47	43	1	0	no	no
7	SRAM_D[15]	K21	6A	68	47	60	1	0	no	no
8	SRAM_D[1]	E25	6A	68	40	94	1	0	no	no
9	SRAM_D[2]	K24	6A	68	41	3	1	0	no	no
10	SRAM_D[3]	K23	6A	68	41	20	1	0	no	no
11	SRAM_D[4]	F24	6A	68	41	37	1	0	no	no
12	SRAM_D[5]	G24	6A	68	41	54	1	0	no	no
13	SRAM_D[6]	L23	6A	68	43	3	1	0	no	no
14	SRAM_D[7]	L24	6A	68	43	20	1	0	no	no
15	SRAM_D[8]	H23	6A	68	43	37	1	0	no	no
16	SRAM_D[9]	H24	6A	68	43	54	1	0	no	no

Pin-Out File や All Package Pins は、デバイスの全ピンをリスト表示し、デザインで使用されたピン以外にも専用ピンや未使用のユーザ I/O が記載されています。

Pin-Out File には、各表示についてピンの状態と基板上的処理方法について説明が記載されています。例えば、“GND+” は入力ピンの為、未使用の場合はフローティングにはせずに GND 処理するなどの記載です。



未使用のユーザ I/O 状態は、Quartus II のオプションで設定可能です。設定どおりになっているか Pin-Out File もしくは All Package Pins でご確認ください。

	Location	Pad Number	I/O Bank	Pin Name/Usage	Dir.	I/O Standard	Voltage	I/O Type	User Assignment
1	A2	396	9A	~MSEL2				--	
2	A3			DNU				--	
3	A4			DNU				--	
4	A5	344	8A	leds[4]	output	2.5 V		Column I/O	Y
5	A6	392	9A	~CONF_DONE				--	
6	A7	348	8A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O	
7	A8	308	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O	
8	A9	310	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O	
9	A10		7A	VCCIO7A	power		2.5V	--	
10	A11	322	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O	
11	A12	332	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O	
12	A13	330	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O	
13	A14	300	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O	
14	A15			GND	gnd			--	
15	A16	294	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O	
16	A17	292	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O	
17	A18	290	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O	
18	A19	288	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O	
19	A20		7A	VCCIO7A	power		2.5V	--	

アルテラ社 FPGA/CPLD 周辺の基板設計は、必ず Pin-Out File もしくは All Package Pins の表示に従ってご設計ください。

3-2. Fitter Error 発生時に確認すべき項目

対象デバイスのリソース数を越えた事で Fitting Error が発生した場合は、現状を理解するために下記項目をご参照ください。

通常、コンパイル終了と同時に表示されるリソース数は、サマリ表示です。

Fitting Error が発生した際、使用されるリソースに無駄がないか確認する必要があります。また、リソース数を越えてしまった項目を別のリソースで置き換えが可能か否かの判断が必要になります。

具体的には、デバイス内部の乗算器ブロックやメモリ・ブロックが 100% の使用率を超えていることでの Fitting Error の場合、データ幅を調整する事でリソースを抑えることができる可能性もあります。また、小さい規模のものであれば、ハード IP ブロックではなく、Logic Element で実現する事もできます。

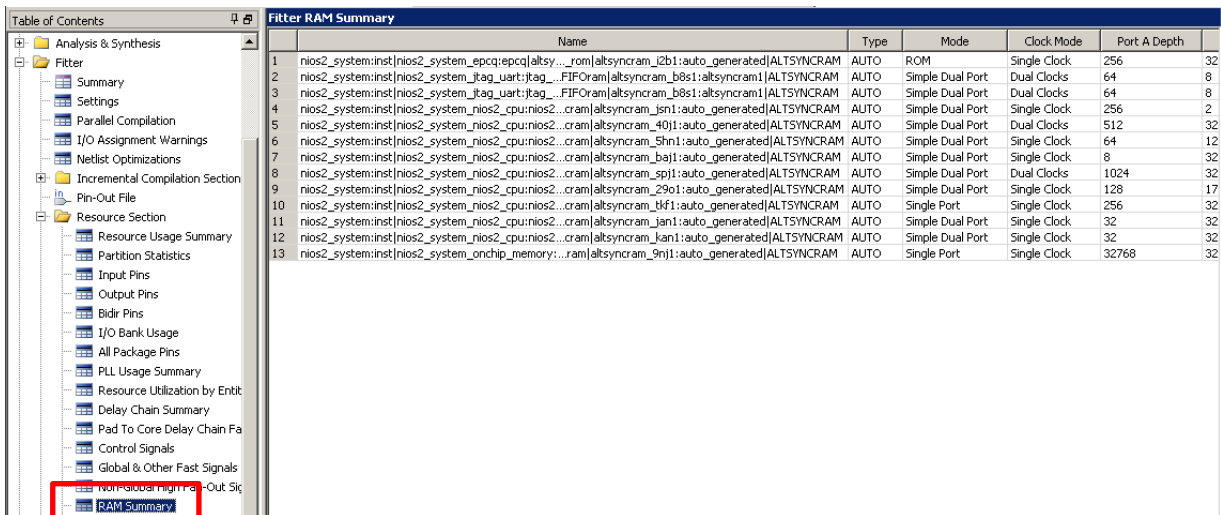
その為、現在、各ブロックがどのような仕様でどの程度リソースを消費しているかを把握する必要があります。

Fitter ⇒ Resource Section ⇒ Resource Usage Summary

Resource Usage Summary では、各ブロックがどのような構成でいくつ使用されているかの詳細を確認できます。
 更に、ハード IP ブロックの詳細を確認する場合は、

- RAM Summary
- DSP Block Summary

など、ハード IP ブロック毎の詳細も確認できます。



	Name	Type	Mode	Clock Mode	Port A Depth
1	nios2_system:inst[nios2_system_epcq:epcq]altsyncram_i2b1:auto_generated ALTSYNCRAM	AUTO	ROM	Single Clock	256
2	nios2_system:inst[nios2_system_itag_uart:itag_...FIFO]altsyncram_b8s1:altsyncram1 ALTSYNCRAM	AUTO	Simple Dual Port	Dual Clocks	64
3	nios2_system:inst[nios2_system_itag_uart:itag_...FIFO]altsyncram_b8s1:altsyncram1 ALTSYNCRAM	AUTO	Simple Dual Port	Dual Clocks	64
4	nios2_system:inst[nios2_system_nios2_cpu:nios2...cram]altsyncram_jsn1:auto_generated ALTSYNCRAM	AUTO	Simple Dual Port	Single Clock	256
5	nios2_system:inst[nios2_system_nios2_cpu:nios2...cram]altsyncram_40j1:auto_generated ALTSYNCRAM	AUTO	Simple Dual Port	Dual Clocks	512
6	nios2_system:inst[nios2_system_nios2_cpu:nios2...cram]altsyncram_5hn1:auto_generated ALTSYNCRAM	AUTO	Simple Dual Port	Single Clock	64
7	nios2_system:inst[nios2_system_nios2_cpu:nios2...cram]altsyncram_baj1:auto_generated ALTSYNCRAM	AUTO	Simple Dual Port	Single Clock	8
8	nios2_system:inst[nios2_system_nios2_cpu:nios2...cram]altsyncram_spj1:auto_generated ALTSYNCRAM	AUTO	Simple Dual Port	Dual Clocks	1024
9	nios2_system:inst[nios2_system_nios2_cpu:nios2...cram]altsyncram_29o1:auto_generated ALTSYNCRAM	AUTO	Simple Dual Port	Single Clock	128
10	nios2_system:inst[nios2_system_nios2_cpu:nios2...cram]altsyncram_bfj1:auto_generated ALTSYNCRAM	AUTO	Simple Dual Port	Single Clock	256
11	nios2_system:inst[nios2_system_nios2_cpu:nios2...cram]altsyncram_jan1:auto_generated ALTSYNCRAM	AUTO	Simple Dual Port	Single Clock	32
12	nios2_system:inst[nios2_system_nios2_cpu:nios2...cram]altsyncram_kan1:auto_generated ALTSYNCRAM	AUTO	Simple Dual Port	Single Clock	32
13	nios2_system:inst[nios2_system_onchip_memory:...ram]altsyncram_9nj1:auto_generated ALTSYNCRAM	AUTO	Simple Dual Port	Single Clock	32768

必要に応じて、詳細のレポートを確認できます。

3-3. タイミング・エラー発生時に確認すべき項目

タイミング・エラー発生時、エラーの種類によっては Fitter Report を確認する必要がでてきます。下記はエラーの種類と配置の項目の関連を示しています。

- 内部動作周波数の不足: クロック・スキュー
- I/O タイミングの不足: レジスタの配置

3-3-1. 内部動作周波数の不足

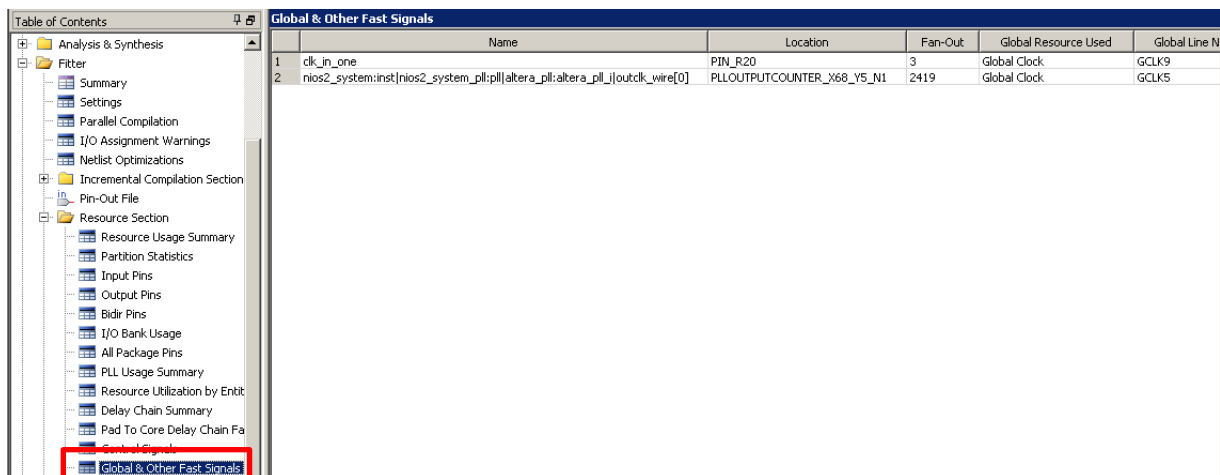
内部周波数の計算には、データ遅延とクロック・スキュー、各デバイスのレジスタ・パラメータが使われます。クロック・スキューが問題になっている場合、クロックがどの配線を経由しているかが重要になります。アルテラ社 FPGA / CPLD には、クロック・ドライバの概念がありません。その為、予めスキューを“0”にするように調整された専用の配線領域（以下: グローバル・ライン）が用意されています。ファンアウトが多く高速な信号は、スキューが出ないようにグローバル・ラインに乗せることをお勧めします。

グローバル・ラインは、予め用意された専用配線領域の為、デバイス・ファミリにより本数が決まっています。グローバル・ラインの本数以上にコントロール信号（クロック、クロック・イネーブル、非同期リセット、非同期プリセットなど）が存在する場合、期待通りの信号がグローバル・ラインに乗っていないことがあります。

そこで、タイミング・エラーのパスに関係するクロックや制御信号が、グローバル・ラインに乗っているか Fitter Report で確認します。

Fitter ⇒ Global & Other Fast Signals

グローバル・ラインに乗っている信号を一覧表示しています。



	Name	Location	Fan-Out	Global Resource Used	Global Line N
1	clk_in_one	PIN_R20	3	Global Clock	GCLK9
2	nios2_system:inst[nios2_system_pll:ppll]altera_pll_i[outputclk_wire[0]]	PLLOUTPUTCOUNTER_X68_Y5_N1	2419	Global Clock	GCLK5

Fitter ⇒ Control Signals

クロックやクロック・イネーブル、非同期リセットといった制御信号の一覧です。

ファンアウト数やグローバル・ライン使用の有無も確認できることからグローバル・ラインを未使用でかつ、ファンアウトが多く、高速な信号をご確認ください。

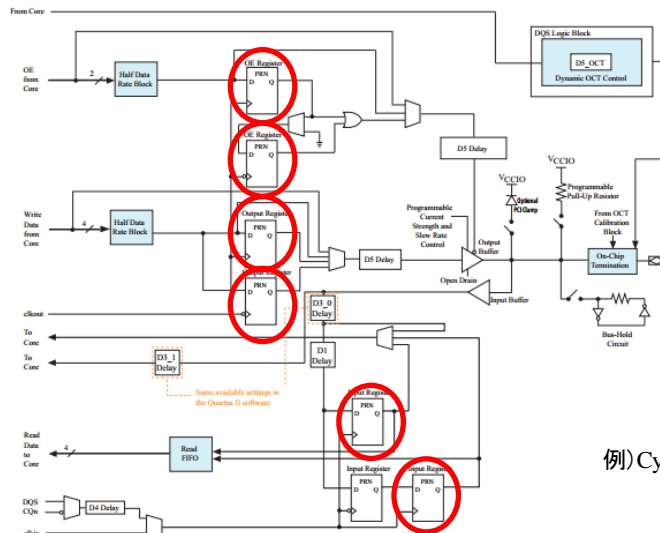
Table of Contents		Control Signals			
		Name	Location	Fan-Out	
	Analysis & Synthesis				
	Fitter				
	Summary				
	Settings				
	Parallel Compilation				
	I/O Assignment Warnings				
	Netlist Optimizations				
	Incremental Compilation Section				
	Pin-Out File				
	Resource Section				
	Resource Usage Summary				
	Partition Statistics				
	Input Pins				
	Output Pins				
	Bidir Pins				
	I/O Bank Usage				
	All Package Pins				
	PLL Usage Summary				
	Resource Utilization by Entity				
	Delay Chain Summary				
	Head To Core Delay Chain Fa				
	Control Signals				
	Global and Other Fast Signals				
	Non-Global High Fan-Out Sig				
	RAM Summary				
	DSP Block Usage Summary				
1	altera_internal_jtag~TCKUTAP	JTAG_X0_Y3_N3	189	Clock	
2	altera_internal_jtag~TMSUTAP	JTAG_X0_Y3_N3	28	Sync. clear	
3	clk_in_one	PIN_R20	3	Clock	
4	nios2_system:inst altera_reset_controller:rst_controller_001 merged_reset~0	LABELL_X15_Y24_N57	6	Async. clear	
5	nios2_system:inst altera_reset_controller:rst_controller r_early_rst	FF_X19_Y24_N32	133	Clock enable	
6	nios2_system:inst altera_reset_controller:rst_controller r_sync_rst	FF_X31_Y26_N26	1983	Async. clear, S	
7	nios2_system:inst nios2_system_epcq:epcq epcs_select~0	LABELL_X36_Y29_N3	32	Sync. clear, S	
8	nios2_system:inst nios2_system_epcq:epcq nios2_system_epcq_sub the_nios2_system_epcq_sub ROE~0	LABELL_X23_Y29_N33	11	Clock enable	
9	nios2_system:inst nios2_system_epcq:epcq nios2_system_epcq_sub the_nios2_system_epcq_sub SCLK_reg	FF_X23_Y29_N2	4	Clock	
10	nios2_system:inst nios2_system_epcq:epcq nios2_system_epcq_sub the_nios2_system_epcq_sub always1~0	LABELL_X23_Y29_N24	7	Clock enable	
11	nios2_system:inst nios2_system_epcq:epcq nios2_system_epcq_sub the_nios2_system_epcq_sub always6~0	LABELL_X23_Y29_N39	16	Clock enable	
12	nios2_system:inst nios2_system_epcq:epcq nios2_system_epcq_sub the_nios2_system_epcq_sub control_wr_strobe	LABELL_X30_Y29_N4	8	Clock enable	
13	nios2_system:inst nios2_system_epcq:epcq nios2_system_epcq_sub the_nios2_system_epcq_sub endofpacketvalue_wr_strobe	LABELL_X30_Y29_N45	16	Clock enable	
14	nios2_system:inst nios2_system_epcq:epcq nios2_system_epcq_sub the_nios2_system_epcq_sub shift_reg[3]~0	LABELL_X23_Y29_N57	11	Sync. load	
15	nios2_system:inst nios2_system_epcq:epcq nios2_system_epcq_sub the_nios2_system_epcq_sub shift_reg[3]~1	LABELL_X23_Y29_N15	10	Clock enable	
16	nios2_system:inst nios2_system_epcq:epcq nios2_system_epcq_sub the_nios2_system_epcq_sub slaveselct_wr_strobe	LABELL_X30_Y29_N17	16	Clock enable	
17	nios2_system:inst nios2_system_epcq:epcq nios2_system_epcq_sub the_nios2_system_epcq_sub write_tx_holding	LABELL_X22_Y28_N27	8	Clock enable	
18	nios2_system:inst nios2_system_ext_sram_bus:ext_sram_bus tcm_address_outen_reg	FF_X28_Y26_N34	18	Output enable	
19	nios2_system:inst nios2_system_ext_sram_bus:ext_sram_bus tcm_byteenable_n_outen_reg	FF_X31_Y28_N16	2	Output enable	
20	nios2_system:inst nios2_system_ext_sram_bus:ext_sram_bus tcm_chipselect_n_outen_reg	FF_X28_Y26_N16	1	Output enable	
21	nios2_system:inst nios2_system_ext_sram_bus:ext_sram_bus tcm_data_outen_reg	FF_X32_Y29_N26	16	Output enable	
22	nios2_system:inst nios2_system_ext_sram_bus:ext_sram_bus tcm_outputenable_n_outen_reg	FF_X67_Y35_N1	1	Output enable	
23	nios2_system:inst nios2_system_ext_sram_bus:ext_sram_bus tcm_write_n_outen_reg	FF_X53_Y27_N16	1	Output enable	
24	nios2_system:inst nios2_system_jtag_uart:jtag_uart alt_jtag_uart alt_jtag_atlantic j_ena~0	LABELL_X11_Y16_N51	3	Clock enable	
25	nios2_system:inst nios2_system_jtag_uart:jtag_uart alt_jtag_uart alt_jtag_atlantic td_shift[0]~4	LABELL_X1_Y4_N54	21	Clock enable	
26	nios2_system:inst nios2_system_jtag_uart:jtag_uart alt_jtag_uart alt_jtag_atlantic write_stalled~1	LABELL_X1_Y6_N45	5	Clock enable	
27	nios2_system:inst nios2_system_jtag_uart:jtag_uart alt_jtag_uart alt_jtag_atlantic write~0	LABELL_X1_Y6_N54	8	Clock enable	
28	nios2_system:inst nios2_system_jtag_uart:jtag_uart lifo_rd~0	LABELL_X30_Y25_N18	10	Clock enable	
29	nios2_system:inst nios2_system_jtag_uart:jtag_uart lifo_wr	FF_X15_Y20_N56	15	Clock enable, W	
30	nios2_system:inst nios2_system_jtag_uart:jtag_uart lten AE~0	MLABELL_X25_Y27_N54	3	Clock enable	

タイミング・エラーとなっている箇所のクロックが既にグローバル・ラインに乗っている場合は、データ遅延を改善するか PLL を使用しクロックの位相を調整するなどの対処が必要になります。

3-3-2. I/O タイミング不足

I/O に関するタイミングで使用される項目として、接続先のデバイスの情報や基板情報も必要ですが、FPGA / CPLD 内では、レジスタとピン間の遅延とクロック遅延が必要になります。レジスタとピン間の遅延が最も少ないのは、IOE 内に含まれるレジスタです。

※ IOE 内のレジスタについては、デバイス・ファミリー毎に異なります。詳細は、各デバイス・ファミリーのハンドブックをあわせてご参照ください。



例) Cyclone V

IOE 内のレジスタの使用有無も Fitter Report で確認できます。

Input Pins / Output Pins / Bidir Pins 内の Input Register / Output Register / Output Enable Register が IOE 内のレジスタ項目です。

Table of Contents		Bidir Pins									
	Name	Pin #	I/O Bank	X coordinate	Y coordinate	Z coordinate	Combinational Fan-Out	Registered Fan-Out	Global	Inp	
	1	SRAM_D[0]	E24	6A	68	40	77	1	0	no	no
	2	SRAM_D[10]	H22	6A	68	45	3	1	0	no	no
	3	SRAM_D[11]	J23	6A	68	45	20	1	0	no	no
	4	SRAM_D[12]	F23	6A	68	45	37	1	0	no	no
	5	SRAM_D[13]	G22	6A	68	45	54	1	0	no	no
	6	SRAM_D[14]	L22	6A	68	47	43	1	0	no	no
	7	SRAM_D[15]	K21	6A	68	47	60	1	0	no	no
	8	SRAM_D[1]	E25	6A	68	40	94	1	0	no	no
	9	SRAM_D[2]	K24	6A	68	41	3	1	0	no	no
	10	SRAM_D[3]	K23	6A	68	41	20	1	0	no	no
	11	SRAM_D[4]	F24	6A	68	41	37	1	0	no	no
	12	SRAM_D[5]	G24	6A	68	41	54	1	0	no	no
	13	SRAM_D[6]	L23	6A	68	43	3	1	0	no	no
	14	SRAM_D[7]	L24	6A	68	43	20	1	0	no	no
	15	SRAM_D[8]	H23	6A	68	43	37	1	0	no	no
	16	SRAM_D[9]	H24	6A	68	43	54	1	0	no	no

ピンに最も近い IOE 内のレジスタを使用しても I/O タイミングを満足しない場合は、インタフェース先のデバイスで調整するか PLL でクロック位相を調整するなどの対処が必要になります。

3-4. 実機動作不良時に確認すべき項目

実機で期待通りの動作をしなかった場合、原因により解析する項目が異なります。

- 環境に依存(ノイズの影響) ⇒ 信号品質
 - 終端抵抗
 - 出力の Current Strength
- クロックが動作しない ⇒ PLL の Lock
 - PLL の Lock Range
 - PLL と入力クロック・ピンの関係
- 論理がおかしい
 - 論理の最適化
- まったく動作しない
 - 基板上のピンの処理

症状により、関係する箇所の確認を行ってください。

4. Assembler

Assembler は、FPGA/CPLD の書き込みファイル生成を行う工程です。

その為、確認する項目は、必要な書き込みファイルが生成されているかを確認します。特に、対象デバイスによっては、無償版のライセンスでも書き込みファイルが生成されます。また、IP も OpenCore™ Plus といった時間制限付きの無償評価版があり、ライセンスが正常に認識されていなくても Assembler まで終了します。その為、正常に書き込みファイルが生成されているか否かを確認する必要があります。

また、アルテラ社 FPGA は様々なコンフィギュレーション・モードが用意されており、様々な書き込みファイルが生成できます。設定したファイルが生成されているかの確認も必要です。

Assembler ⇒ Generated Files

The screenshot shows the Quartus II interface. On the left, the 'Table of Contents' pane lists various project reports and files. The 'Assembler' folder is expanded, and the 'Generated Files' item is highlighted with a red rectangular box. On the right, the 'Assembler Generated Files' pane displays a table with the following content:

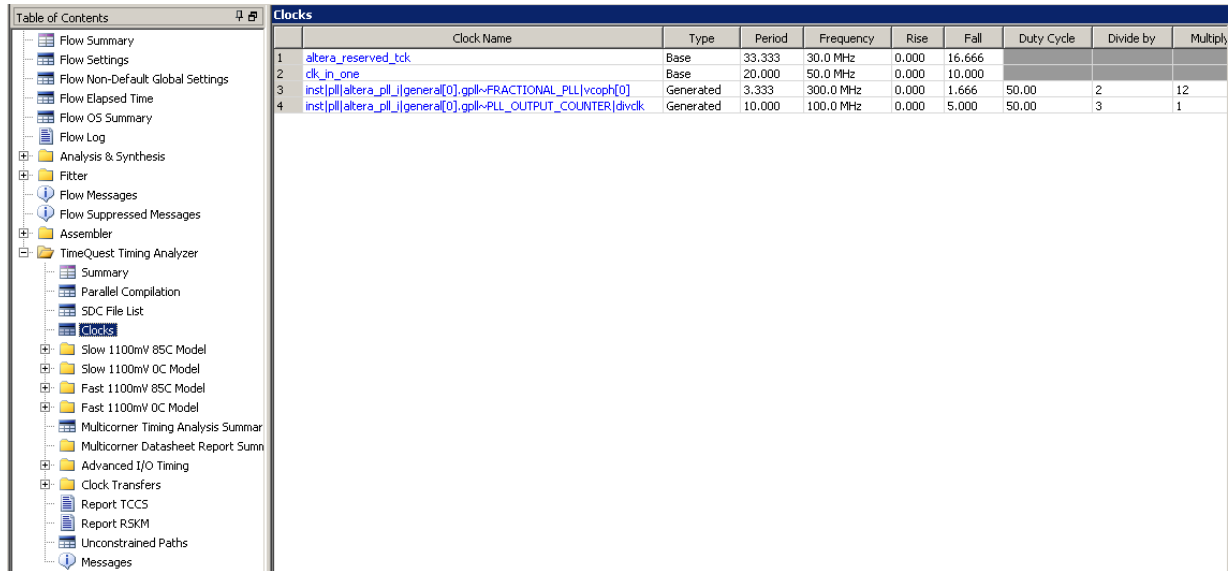
File Name	
1	C:/lab/nios2_basic_prj/output_files/nios2_basic_lab.sof
2	C:/lab/nios2_basic_prj/output_files/nios2_basic_lab.pof

A yellow callout box with the text '生成されたファイルのリスト' (List of generated files) is positioned below the table.

5. TimeQuest Timing Analyzer

Quartus II のタイミング解析は、Quartus II に標準装備された TimeQuest Timing Analyzer により実施されています。詳細のレポートは、TimeQuest Timing Analyzer を起動する必要がありますが、Compilation Report 内でサマリ・レポートを確認できます。

タイミング・エラーが発生した項目は赤字表現となっている為、まずはタイミング・エラーが発生していないかご確認ください。



	Clock Name	Type	Period	Frequency	Rise	Fall	Duty Cycle	Divide by	Multiply
1	altera_reserved_tck	Base	33.333	30.0 MHz	0.000	16.666			
2	clk_in_one	Base	20.000	50.0 MHz	0.000	10.000			
3	inst[p0]altera_pll[0].general[0].gpll~FRACTIONAL_PLL vcoph[0]	Generated	3.333	300.0 MHz	0.000	1.666	50.00	2	12
4	inst[p0]altera_pll[0].general[0].gpll~PLL_OUTPUT_COUNTER divclk	Generated	10.000	100.0 MHz	0.000	5.000	50.00	3	1

赤字表示があった項目については、TimeQuest Timing Analyzer の Slack Report にて詳細解析を行います。TimeQuest Timing Analyzer については、TimeQuest Timing Analyzer 関連資料をご参照ください。

改版履歴

Revision	年月	概要
1	2014 年 10 月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>

株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。