

# Qsys に用意されている 汎用ペリフェラルの紹介

ver.14

## Qsys に用意されている汎用ペリフェラルの紹介

### 目次

1. はじめに .....	3
2. 汎用ペリフェラル一覧 .....	3
2-1. 標準ペリフェラル .....	3
2-2. 応用ペリフェラル .....	6
改版履歴 .....	8

## 1. はじめに

この資料では、Qsys システム統合ツール(以降、Qsys)を開いたときに表示される多数のペリフェラルの内、使用頻度の高いペリフェラルについて簡単に紹介します。

なおこの資料は、Quartus® II 開発ソフトウェア v14.0 と Nios® II Software Build Tool(以降、Nios II SBT) v14.0 の環境における情報で案内しています。

ペリフェラル

Use	Name	Description	Export	Clock	Base	End	I/O
<input checked="" type="checkbox"/>	clk	Clock Source	clk	exported			
<input checked="" type="checkbox"/>	clk_in	Clock Input	reset	clk			
<input checked="" type="checkbox"/>	clk_in_reset	Reset Input	clk	[clk]			
<input checked="" type="checkbox"/>	clk	Clock Output	clk	[clk]			
<input checked="" type="checkbox"/>	clk_reset	Reset Output	clk	[clk]			
<input checked="" type="checkbox"/>	pll	Altera PLL	pll	[clk]			
<input checked="" type="checkbox"/>	refclk	Clock Input	pll	[clk]			
<input checked="" type="checkbox"/>	reset	Reset Input	pll	[clk]			
<input checked="" type="checkbox"/>	outclk0	Clock Output	pll	[clk]			
<input checked="" type="checkbox"/>	locked	Conduit	pll	[clk]			
<input checked="" type="checkbox"/>	nios2_cpu	Nios II Processor	nios2_cpu	[clk]			
<input checked="" type="checkbox"/>	clk	Clock Input	nios2_cpu	[clk]			
<input checked="" type="checkbox"/>	reset_in	Reset Input	nios2_cpu	[clk]			
<input checked="" type="checkbox"/>	data_master	Avalon Memory Mapped Master	nios2_cpu	[clk]			
<input checked="" type="checkbox"/>	instruction_master	Avalon Memory Mapped Master	nios2_cpu	[clk]			
<input checked="" type="checkbox"/>	d_irq	Interrupt Receiver	nios2_cpu	[clk]			
<input checked="" type="checkbox"/>	jtag_debug_module_reset	Reset Output	nios2_cpu	[clk]			
<input checked="" type="checkbox"/>	jtag_debug_module	Avalon Memory Mapped Slave	nios2_cpu	[clk]	0x0014_1800	0x0014_1fff	
<input checked="" type="checkbox"/>	custom_instruction_master	Custom Instruction Master	nios2_cpu	[clk]			
<input checked="" type="checkbox"/>	jtag_uart	JTAG UART	jtag_uart	sys_clk			
<input checked="" type="checkbox"/>	clk	Clock Input	jtag_uart	[clk]			
<input checked="" type="checkbox"/>	reset	Reset Input	jtag_uart	[clk]			
<input checked="" type="checkbox"/>	avalon_jtag_slave	Avalon Memory Mapped Slave	jtag_uart	[clk]	0x0014_2010	0x0014_2017	
<input checked="" type="checkbox"/>	irq	Interrupt Sender	jtag_uart	[clk]			
<input checked="" type="checkbox"/>	onchip_memory	On-Chip Memory (RAM or ROM)	onchip_memory	sys_clk			
<input checked="" type="checkbox"/>	clk	Clock Input	onchip_memory	[clk]			
<input checked="" type="checkbox"/>	s1	Avalon Memory Mapped Slave	onchip_memory	[clk]	0x0012_0000	0x0013_ffff	
<input checked="" type="checkbox"/>	reset1	Reset Input	onchip_memory	[clk]			
<input checked="" type="checkbox"/>	sram	Generic Tri-State Controller	sram	sys_clk			
<input checked="" type="checkbox"/>	clk	Clock Input	sram	[clk]			
<input checked="" type="checkbox"/>	reset	Reset Input	sram	[clk]			
<input checked="" type="checkbox"/>	uas	Avalon Memory Mapped Slave	sram	[clk]	0x0008_0000	0x000f_ffff	
<input checked="" type="checkbox"/>	trm	Tri-state Conduit Master	sram	[clk]			
<input checked="" type="checkbox"/>	ext_sram_bus	Tri-State Conduit Bridge	ext_sram_bus	sys_clk			
<input checked="" type="checkbox"/>	clk	Clock Input	ext_sram_bus	[clk]			
<input checked="" type="checkbox"/>	reset	Reset Input	ext_sram_bus	[clk]			
<input checked="" type="checkbox"/>	tcs	Tri-state Conduit Slave	ext_sram_bus	[clk]			
<input checked="" type="checkbox"/>	out	Conduit	ext_sram_bus	[clk]			
<input checked="" type="checkbox"/>	epcc	EPCS/EPCQx1 Serial Flash Controller	epcc	sys_clk			
<input checked="" type="checkbox"/>	clk	Clock Input	epcc	[clk]			

## 2. 汎用ペリフェラル一覧

### 2-1. 標準ペリフェラル

無償で提供される使用頻度の高い標準的なペリフェラルを次の表に示します。これらの標準ペリフェラルやユーザ・ロジック、無償のペリフェラル等を利用したいものだけ Nios II と自由に接続し、オリジナルのマイクロ・コントローラを作成することが可能です。

Notes:

表 1 において、※マークがついているペリフェラルは有償のペリフェラルですが、Quartus II 開発ソフトウェアのサブスクリプション・ライセンスがあれば無償となります。

**表1 標準ペリフェラル**

	ペリフェラル名	ライセンス	説明
1	PIO (Parallel I/O)	無償	LED、ボタン等汎用の I/O を接続するために利用します。入力、出力、双方向等の設定をします。
2	Interval Timer	無償	タイマを実装します。周期やタイマのモード等を設定します。
3	UART (RS-232 Serial Port)	無償	UART を接続します。ボーレート、スタート・ビット、ストップ・ビット等を設定します。
4	JTAG UART	無償	JTAG インタフェースで、UART の通信を実現します。USB-Blaster™ で、ホスト(PC) と UART の通信が簡単に行える環境が提供されています。FIFO の深さを選択できます。
5	SPI (3 Wire Serial)	無償	SPI コアを実装します。マスタかスレーブかを決定します。一度に、32 ビットまでの転送が可能です。
6	On-Chip Memory (RAM or ROM)	無償	FPGA の内部メモリ。Nios II のプログラム・メモリとしても、データ・メモリとしても利用可能です。使用する FPGA が持つメモリのサイズとタイプを考慮する必要があります。
7	Avalon FIFO Memory	無償	FPGA 内部のメモリで FIFO を実現します。特定のコンポーネント間のデータ転送に便利です。
8	Generic Tri-State Controller	無償	データ幅、アドレス幅、タイミングを設定し、CFI 準拠のフラッシュ・メモリ、汎用 SRAM メモリと簡単に接続できます。
9	EPCS/EPCQx1 Serial Flash Controller	無償	コンフィギュレーション ROM の EPCS/EPCQ(x1 のみ) へ Nios II からアクセスが可能になります。
10	SDRAM Controller	無償	Nios II から SDRAM へのアクセスが可能になります。接続するメモリのデータ幅、アドレス幅、CAS レイテンシ等の設定をします。
11	DDR2 SDRAM Controller with UniPHY	※	Nios II から DDR2 SDRAM へのアクセスが可能になります。接続するメモリのデータ幅、アドレス幅、CAS レイテンシ、DQ、DQS 等の設定をします。UniPHY に対応したデバイスのみ選択可能です。詳しくは、EMIF ハンドブックを参照ください。 <a href="https://www.altera.com/en_US/pdfs/literature/hb/external-memory/emi.pdf">https://www.altera.com/en_US/pdfs/literature/hb/external-memory/emi.pdf</a>
12	DDR3 SDRAM Controller with UniPHY	※	Nios II から DDR3 SDRAM へのアクセスが可能になります。接続するメモリのデータ幅、アドレス幅、CAS レイテンシ、DQ、DQS 等の設定をします。UniPHY に対応したデバイスのみ選択可能です。詳しくは、EMIF ハンドブックを参照ください。 <a href="https://www.altera.com/en_US/pdfs/literature/hb/external-memory/emi.pdf">https://www.altera.com/en_US/pdfs/literature/hb/external-memory/emi.pdf</a>
13	LPDDR2 SDRAM Controller with UniPHY	※	Nios II から LPDDR2 SDRAM へのアクセスが可能になります。接続するメモリのデータ幅、アドレス幅、CAS レイテンシ、DQ、DQS 等の設定をします。UniPHY に対応したデバイスのみ選択可能です。詳しくは、EMIF ハンドブックを参照ください。 <a href="https://www.altera.com/en_US/pdfs/literature/hb/external-memory/emi.pdf">https://www.altera.com/en_US/pdfs/literature/hb/external-memory/emi.pdf</a>

	ペリフェラル名	ライセンス	説明
14	DMA Controller	無償	メモリ間のデータ転送を、Nios II でなく、DMA コントローラで実現します。転送するサイズ、幅、リード・アドレス、ライト・アドレスを Nios II から設定できます。
15	Scatter-Gather DMA Controller	無償	転送データが 1 つの場所にまとまっていない場合や連続してデータ転送を行いたい場合に Scatter-Gather DMA Controller を使用します。転送サイズ、リード・アドレス、ライト・アドレス等はメモリ上のディスクリプタテーブルで管理します。
16	Modular Scatter-Gather DMA	無償	転送データが 1 つの場所にまとまっていない場合や連続してデータ転送を行いたい場合に Scatter-Gather DMA Controller を使用します。転送サイズ、リード・アドレス、ライト・アドレス等はメモリ上のディスクリプタテーブルで管理します。15 に比べて、より大容量のデータ転送に適しています。
17	Tri-State Conduit Bridge	無償	トライステートの機能・制御を Qsys が生成するシステム・コンポーネント内で用意します。双方ピンを持つデバイスを接続する際には、リードやライト時にアウトプット・イネーブルの制御回路をユーザが用意する必要がなくなります。 参考資料 <a href="https://www.altera.com/en_US/pdfs/literature/ug/ug_avalon_tc.pdf">https://www.altera.com/en_US/pdfs/literature/ug/ug_avalon_tc.pdf</a>
18	Tri-State Conduit Pin Sharer	無償	汎用 SRAM や汎用 CFI フラッシュなどを共通のバスで接続する場合の共通ピンの設定を行います。 参考資料 <a href="https://www.altera.com/en_US/pdfs/literature/ug/ug_avalon_tc.pdf">https://www.altera.com/en_US/pdfs/literature/ug/ug_avalon_tc.pdf</a>
19	New Component(Component Editor)	無償	ユーザ・ロジックをシステムへ追加するためのウィザードです。HDL があればその機能をコンポーネント化し、ライブラリに追加できます。Qsys が生成するシステム・コンポーネントの外で、メモリやハードウェア・コンポーネントを接続する場合には、接続ポートのみを用意することもできます。

## 2-2. 応用ペリフェラル

有償で提供される IP を含む応用機能を実現するための使用頻度の高いペリフェラルを次の表に示します。

表 2 応用ペリフェラル

	ペリフェラル名	ライセンス	説明
1	Avalon-MM Clock Crossing Bridge	無償	クロック・ドメインの異なるマスタとスレーブを接続します。FIFO の深さ、データ幅、挿入するレジスタの段数を指定できます。
2	Avalon-MM Pipeline Bridge	無償	マスタとスレーブの間にパイプライン・レジスタを挿入します。アービトレーションのハードウェアのパフォーマンスを上げたいときや複数存在するアービトレーション機能をまとめハードウェア・リソースを削減するために利用します。挿入するレジスタのデータ幅を指定します。
3	Triple-Speed Ethernet	有償	10/1000/1000 Mbps イーサネットを実現するために FPGA 内部に MAC を実装します。GX デバイスを使用すれば、PHY の一部の機能(PCS/PMA)も FPGA に持たせることができます。
4	Ethernet 10G MAC	有償	10G Ethernet の MAC を実現するためのペリフェラルです。
5	Avalon-MM “Device Series” Hard IP for PCI Express	無償	Avalon-MM ベースの PCI Express Native Endpoint/Root port を Qsys が生成するシステムと接続します。x1、x2、x4、x8 のレーンの選択、Gen1、Gen2、Gen3 のレートの選択、BAR の設定等を行います。“Device Series” ごとに設定できる内容は異なります。 参考資料 <a href="https://www.altera.com/en_US/pdfs/literature/ug/ug_c5_pcie_avmm.pdf">https://www.altera.com/en_US/pdfs/literature/ug/ug_c5_pcie_avmm.pdf</a> <a href="https://www.altera.com/en_US/pdfs/literature/ug/ug_a5_pcie_avmm.pdf">https://www.altera.com/en_US/pdfs/literature/ug/ug_a5_pcie_avmm.pdf</a> <a href="https://www.altera.com/en_US/pdfs/literature/ug/ug_s5_pcie_avmm.pdf">https://www.altera.com/en_US/pdfs/literature/ug/ug_s5_pcie_avmm.pdf</a>
6	“Device Series” Hard IP for PCI Express	無償	Avalon-ST ベースの PCI Express Native Endpoint/Legacy Endpoint/Root port を Qsys が生成するシステムと接続します。x1、x2、x4、x8 のレーンの選択、Gen1、Gen2、Gen3 のレートの選択、BAR の設定等を行います。“Device Series” ごとに設定できる内容は異なります。Avalon-MM ベースと比べて制限は少ないですが、TLP パケットの詳細等を理解した上で使用する必要があります。 参考資料 <a href="https://www.altera.com/en_US/pdfs/literature/ug/ug_c5_pcie_avst.pdf">https://www.altera.com/en_US/pdfs/literature/ug/ug_c5_pcie_avst.pdf</a> <a href="https://www.altera.com/en_US/pdfs/literature/ug/ug_a5_pcie_avst.pdf">https://www.altera.com/en_US/pdfs/literature/ug/ug_a5_pcie_avst.pdf</a> <a href="https://www.altera.com/en_US/pdfs/literature/ug/ug_s5_pcie_avst.pdf">https://www.altera.com/en_US/pdfs/literature/ug/ug_s5_pcie_avst.pdf</a>
7	Performance Counter Unit	無償	Nios II のプログラム実行性能を測るためのコンポーネントです。プログラム中のパフォーマンス計測したいポイント数を選択します。Nios II のコード中へ提供されている計測用の専用の記述を施すことで、計測結果をレポートにまとめてくれます。

	ペリフェラル名	ライセンス	説明
8	System ID Peripheral	無償	Qsys の生成するシステムに ID を割り当てます。ソフトウェア開発ツール(Nios II SBT)からソフトウェアのダウンロード時に、システム ID をチェックし、ハードウェア・デザインとの整合性を確認する機能が利用できます。この機能は、ソフトウェア開発ツール内の設定で無効にすることも可能です。また、ハードウェア・デザインの中に、必ず実装しなければならないペリフェラルではありません。
9	Altera Avalon LCD 16207	無償	Nios II 開発キット等で利用されている LCD へのインタフェースコアです。HAL を利用することで、LCD へのキャラクタ表示が可能になります。ソフトウェア開発ツール側の設定で簡単に利用できます。
10	Altera Remote Update	無償	各デバイスに内蔵されている EPCS/EPCQ ベースのリモート・アップデート機能を使用するためのペリフェラルです。コンフィギュレーション・データのアドレス(ページ)設定やリコンフィギュレーションの実行を Nios II から行うことが可能です。 参考資料 <a href="https://www.altera.com/en_US/pdfs/literature/ug/ug_altremote.pdf">https://www.altera.com/en_US/pdfs/literature/ug/ug_altremote.pdf</a>
11	Altera Avalon Mutex	無償	マルチ・コアを実装している場合等、1 つのペリフェラルを複数のマスタから排他アクセスさせる場合に使用します。どちらのマスタが現在、そのリソースを使用しているか等を管理します。排他アクセスのための専用の HAL が用意されています。
12	Altera Avalon Mailbox(simple)	無償	マルチ・コアを実装している場合等、複数のマスタ間でメッセージを受け渡すためのコアで、二つのミューテックスコアにより構成されています。複数のマスタ間でメッセージの受け渡しを可能にするための専用の HAL が用意されています。
13	Video and Image Processing	有償	Video and Image Processing を行う IP 群の総称です。28 個の IP から成ります。画像データの入力、加工、出力用に使用します。詳細は、以下を参照ください。 <a href="https://www.altera.com/en_US/pdfs/literature/ug/ug_vip.pdf">https://www.altera.com/en_US/pdfs/literature/ug/ug_vip.pdf</a>

## 改版履歴

Revision	年月	概要
1	2014 年 7 月	初版
1.1	2015 年 4 月	アルテラ社の Web サイトのリニューアルに伴う URL 変更

### 免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>

株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。