

PCI-Express ハード IP を使用した DMA 転送の実現  
for Cyclone V GT FPGA 開発キット  
(基礎編)

ver.1

# PCI-Express ハード IP を使用した DMA 転送の実現 for Cyclone V GT FPGA 開発キット (基礎編)

## 目次

1. はじめに .....	3
1-1. 概要 .....	3
1-2. 対象デバイス・ボード .....	3
1-3. 環境 .....	3
2. PCI-Express と外部メモリ・リファレンス・デザインの概要 .....	4
2-1. ダウンロード .....	4
2-2. ハードウェア構成 .....	7
2-3. ハードウェア・デザイン .....	7
2-4. ソフトウェア .....	9
3. デモンストレーション .....	10
4. まとめ .....	17
改版履歴 .....	18

## 1. はじめに

### 1-1. 概要

アルテラ社 PCI-Express ハード IP は、PCI-Express<sup>®</sup> の物理層、データ・リンク層、トランザクション層までが含まれていますが、大容量のデータ転送を行う場合には、一般的に DMA 機能が必要となります。この DMA 機能は、PCI-Express のハード IP を介して、例えば、PC 上の共有メモリとボード上の DRAM メモリとの間での高速大容量データ転送を可能とします。Quartus<sup>®</sup> II 開発ソフトウェアにバンドルされている Qsys システム統合ツール(以下、Qsys)を使うことにより、DMA 機能と PCI-Express ハード IP、その他のモジュールを簡単に接続することができます。

以下では、アルテラ社アプリケーション・ノート 431(以下、AN 431)で紹介されている Qsys ベースのリファレンス・デザインの簡単な解説とデモンストレーションを実施します。また、弊社環境でのデータ転送の結果についてまとめました。

### 1-2. 対象デバイス・ボード

今回対象としたアルテラ社 FPGA デバイスとボードの情報は以下となります。PCI-Express 機能については、ハード IP を搭載したデバイスのみを対象としています。

Cyclone<sup>®</sup> V GT FPGA 開発キット

PCI-Express Gen1/2 x1, x2, x4 に対応、最大ペイロード・サイズ 512 Bytes

[https://www.altera.co.jp/products/boards\\_and\\_kits/dev-kits/altera/kit-cyclone-v-gt.html](https://www.altera.co.jp/products/boards_and_kits/dev-kits/altera/kit-cyclone-v-gt.html)

### 1-3. 環境

PC: ASUS P8Z77-M PRO

チップセット: インテル社製 Z77 Express

OS: Windows 7 64bit

ドライバ: Jungo 社 WinDriver(<http://www.jungo.com/>) v10.21

ソフトウェア: アルテラ社 AN 431 対応転送レート計測用ソフトウェア

ツール: Quartus II 開発ソフトウェア v13.1

## 2. PCI-Express と外部メモリ・リファレンス・デザインの概要

今回使用したデザインは、アルテラ社 AN 431 で公開されている Qsys ベースのリファレンス・デザインを使用しました。

[https://www.altera.com/en\\_US/pdfs/literature/an/an431.pdf](https://www.altera.com/en_US/pdfs/literature/an/an431.pdf)

### 2-1. ダウンロード

該当のデザインは、Altera Wiki よりダウンロードできます。

[http://www.alterawiki.com/wiki/PCI\\_Express\\_in\\_Qsys\\_Example\\_Designs](http://www.alterawiki.com/wiki/PCI_Express_in_Qsys_Example_Designs)

上記ページより、各デバイス・ファミリに対応した“リファレンス・デザイン”をダウンロードすることができます。



図 2-1. PCI-Express to External Memory Reference Design ページ  
(ハードウェア・デザイン)

下記 URL より、今回対象のデバイスである Cyclone V GT のハードウェア・デザインをダウンロードします。

[http://www.alterawiki.com/uploads/9/95/C5gt\\_gen2x4\\_hmc\\_13\\_0\\_0.zip](http://www.alterawiki.com/uploads/9/95/C5gt_gen2x4_hmc_13_0_0.zip)

C5gt\_gen2x4\_hmc\_13\_0\_0.zip を解凍すると、Quartus II 開発ソフトウェアのプロジェクト・ファイル一式が入っていることが確認できます。

名前	種類	サイズ
ip	ファイル フォルダ	
output_files	ファイル フォルダ	
PCIe_patch_for_C5GT	ファイル フォルダ	
q_sys	ファイル フォルダ	
c5gt_gen2x4_mSGMDA.qpf	Quartus II Project File	2 KB
c5gt_gen2x4_mSGMDA.qsf	QSF ファイル	302 KB
c5gt_pcie_gen2x4.v	V ファイル	9 KB
cv_soc_ghrd.qws	QWS ファイル	1 KB
ddr3_1600.qprs	QPRS ファイル	6 KB
msgdrma_ctl.qsys	QSYS ファイル	7 KB
q_sys.html	HTML ドキュメント	261 KB
q_sys.qsys	QSYS ファイル	52 KB
q_sys.sopcinfo	SOPCINFO ファイル	768 KB
readme.txt	TXT ファイル	1 KB
stp1.stp	STP ファイル	1,029 KB
top.sdc	SOC ファイル	1 KB

図 2-2. Quartus II 開発ソフトウェアのプロジェクト・フォルダ構成

次に、Cyclone V GT 用のアルテラ社製 AN 431 対応転送レート計測用ソフトウェアをダウンロードします。

[http://www.alterawiki.com/uploads/e/e7/GUI\\_for\\_AN431.zip](http://www.alterawiki.com/uploads/e/e7/GUI_for_AN431.zip)

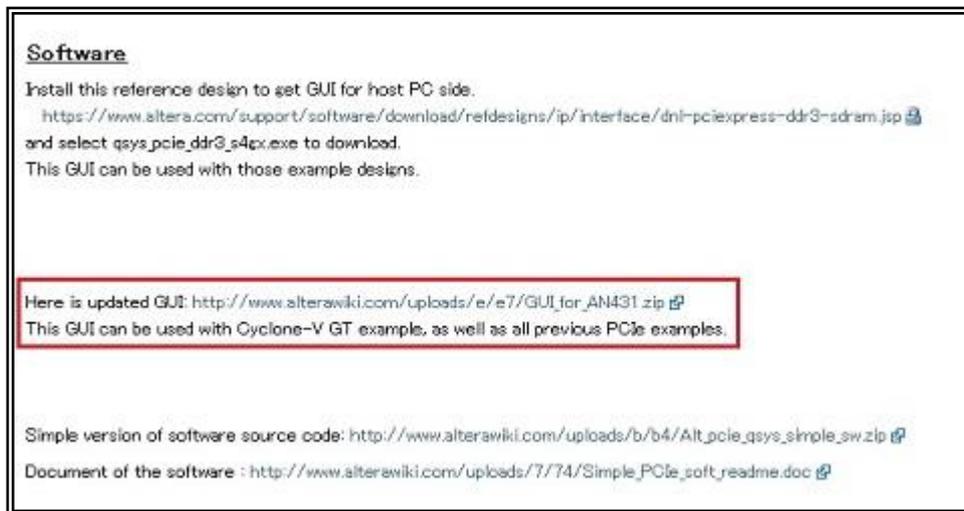


図 2-3. PCI-Express to External Memory Reference Design ページ  
 (ソフトウェア・デザイン)

GUI\_for AN431.zip を解凍すると、下図のようなファイル構成になっています。

名前	種類	サイズ
For_32bit	ファイル フォル...	
For_64bit	ファイル フォル...	
readme.txt	TXT ファイル	1 KB

図 2-4. ソフトウェアフォルダ構成

- ・For\_32bit フォルダ : 32bit PC 上で動作するアプリケーションの exe ファイルを格納
- ・For\_64bit フォルダ : 64bit PC 上で動作するアプリケーションの exe ファイルを格納

なお、Altera Wiki では 詳細情報を確認できるので、不明点があった際には役立つこともあると思います。

Altera Wiki メイン・ページ

[http://www.alterawiki.com/wiki/Main\\_Page](http://www.alterawiki.com/wiki/Main_Page)

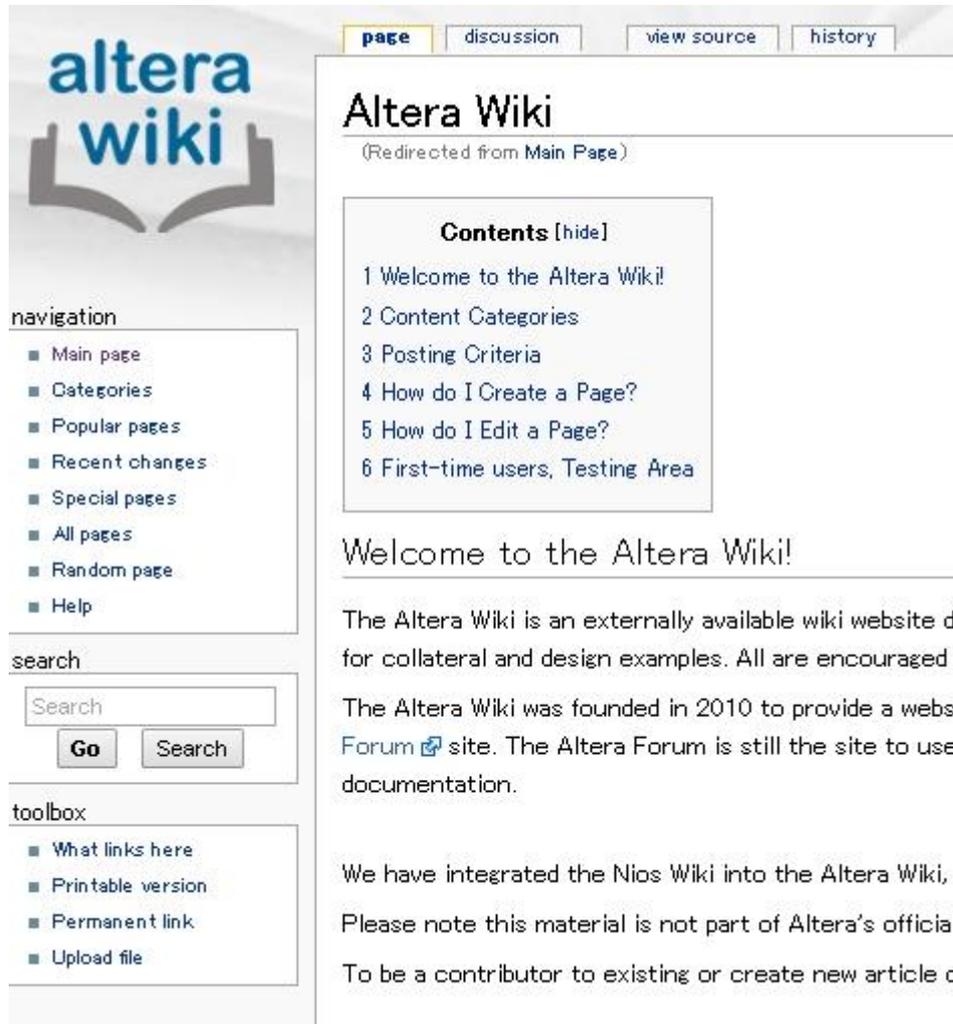


図 2-5. Altera Wiki メイン・ページ

## 2-2. ハードウェア構成

AN 431 のデザインは、FPGA 内に実装された DMA エンジンを使用して DMA 転送を行います。DMA リードの場合は、PC ソフトウェアからの操作により PCI-Express リンク経由でコマンドが発行されると DMA エンジンに必要な情報が設定され、DMA エンジンがマスタとして動作します。DMA エンジンは、PC 側のメモリから FPGA に接続されている外部 DDR3 SDRAM メモリにデータを読み出します。DMA ライトの場合は逆に、DMA エンジンは、FPGA に接続されている外部 DDR3 SDRAM メモリから PC 側のメモリにデータを書き込みます。

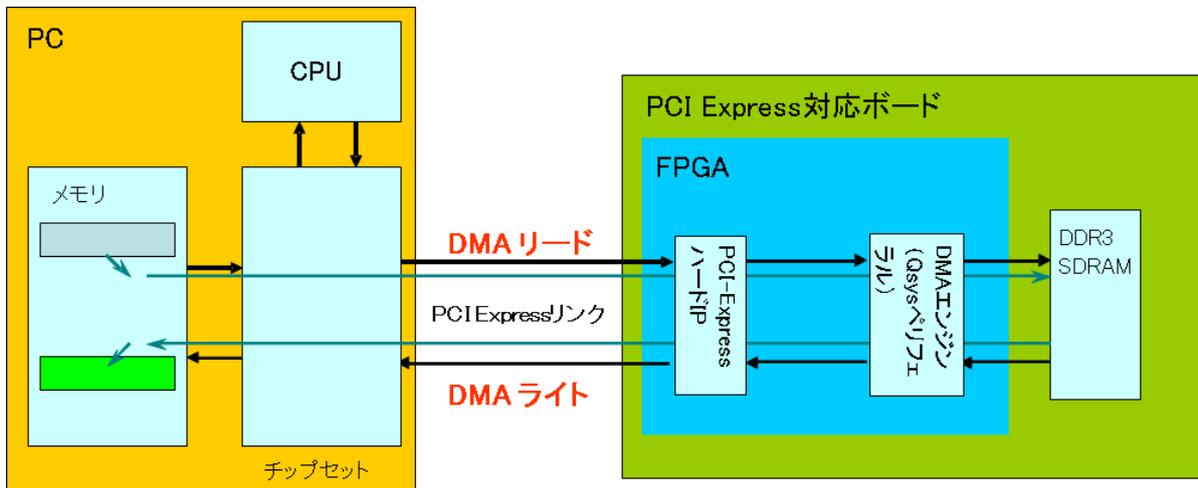


図 2-6. AN 431 ハードウェア構成ブロック図

## 2-3. ハードウェア・デザイン

Qsys ベースのデザインの場合、PCI-Express のハード IP を Qsys 内でインプリメントできます。同様に、オンチップ・メモリ、DDR3 SDRAM コントローラ、DMA エンジンも Qsys 内でインプリメントしています。オンチップ・メモリは、FPGA 内部のメモリですが、DMA 転送のモードを“PC 共有メモリ ⇄ オンチップ・メモリ”とした場合に DMA 転送のターゲットとなります。DDR3 SDRAM コントローラは、UniPHY ベースのメモリ・コントローラが実装されています。図 2-7 では、Qsys 上でこれらの各コンポーネントをインプリメントし、適切な接続設定を行った状態を示します。

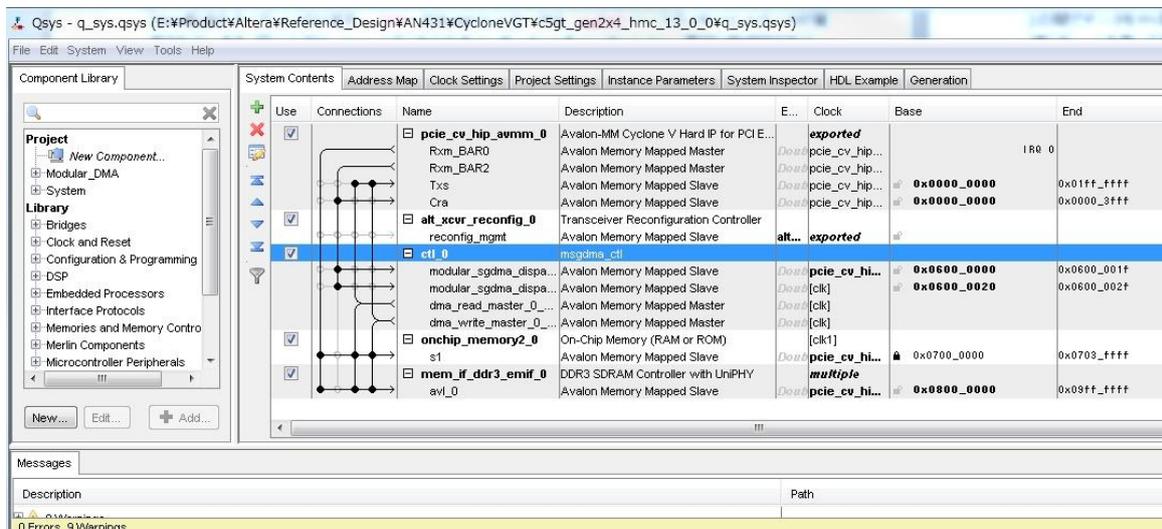


図 2-7. Qsys 設定画面

DMA エンジンは、Qsys のペリフェラルとして提供されている mSGDMA が使用されています。これは、図 2-8 のように DMA Dispatcher と Read Master、Write Master の3つのモジュールの組み合わせで構成されています。DMA Dispatcher がホスト PC から BAR2 経由で DMA 転送に必要なディスクリプタ・テーブル情報とコントロール情報を受け取ると、DMA 転送が開始されます。

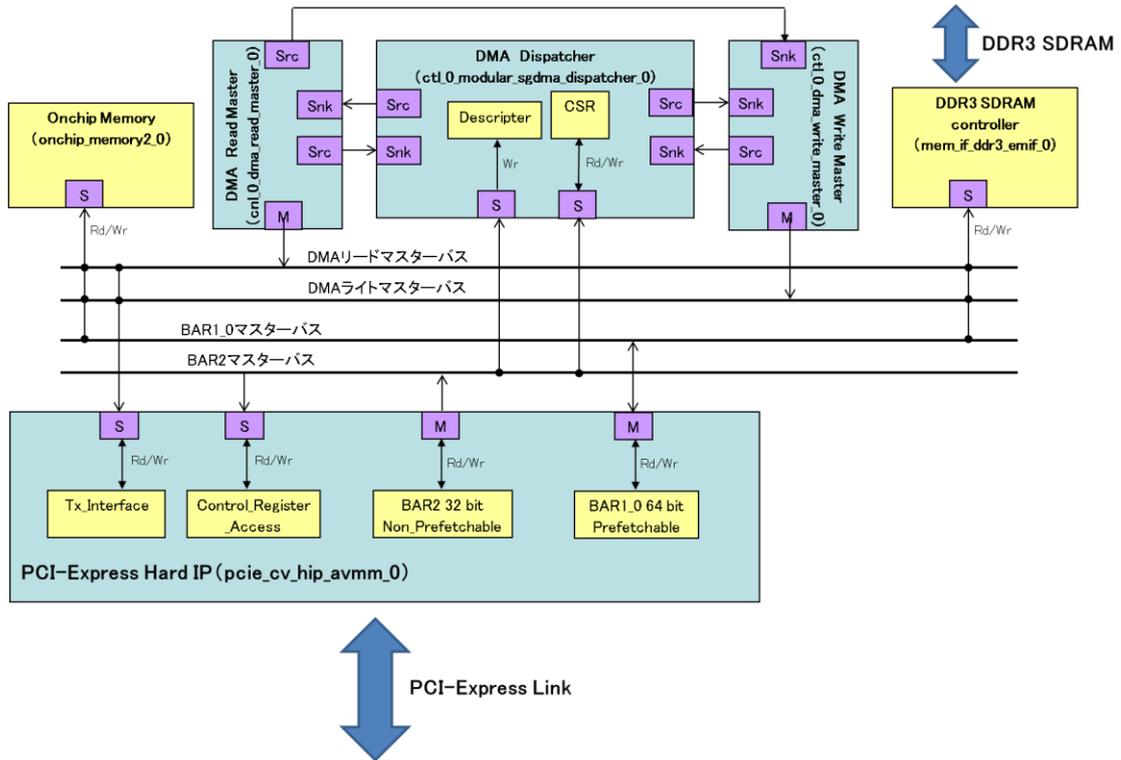


図 2-8.ハードウェア・デザイン・ブロック

## 2-4. ソフトウェア

アルテラ社製 AN 431 対応転送レート計測用ソフトウェア上で転送バイト数、シーケンスの種類(Read Only、Write Only など)、繰り返し数の指定により、チェイニング DMA 用のディスクリプタ・テーブルを作成し、その情報にしたがって FPGA 内の mSGDMA エンジンを実行させ、PC 側の共有メモリと FPGA ボード上の DRAM との間でデータをやり取りする仕組みになっています。なお、このソフトウェア上での転送レートは、実効データの転送レートを表しており、Byte/sec 単位で表示されます。

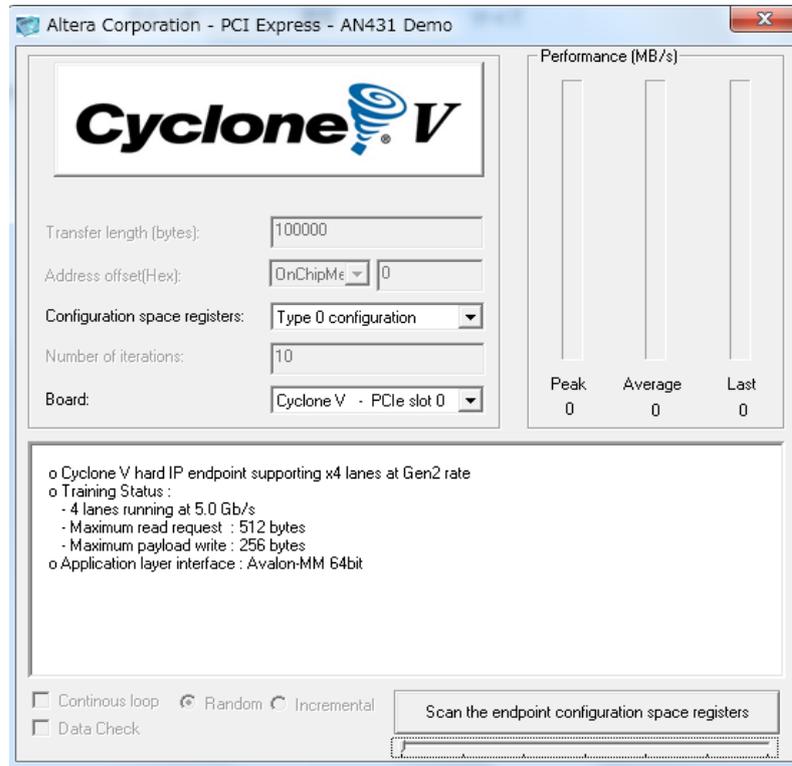


図 2-9. AN 431 対応転送レート計測用ソフトウェア

- Transfer length (bytes) : DMA 転送バイト数
- Address offset (Hex) : DMA 転送先が DDR (外部 RAM)かオンチップ (内部 RAM)か
- Sequence : シーケンス (リード、ライト、など)
- Number of iterations : DMA 転送バイト数の繰り返し数
- Board : 動作対象ボードの選択
- Performance (MB/s)
  - Peak : 転送レートの最大値
  - Average : 転送レートの平均値
  - Last : 転送レートの最後の値

### 3. デモンストレーション

この章では、Cyclone V GT を例として AN 431 のデザインを使用し、PC 上で転送レートを確認するまでの一連の流れを説明します。

#### (1) ボードの準備

Cyclone V GT の評価用ボードです。PCI-Express の x4 用のエッジ・コネクタ仕様です。



図 3-1.Cyclone V GT 評価用ボード

#### (2) PC の準備

ASUS P8 Z77-M PRO(チップセットはインテル社製 Z77 Express)です。



図 3-2. ASUS P8 Z77-M PRO

### (3) ボードの装着

上から PCI-Express の x16 コネクタ、x16 コネクタ、x1 コネクタ、x16 コネクタがあります。今回は一番下にある青色の x16 のコネクタを使用します。

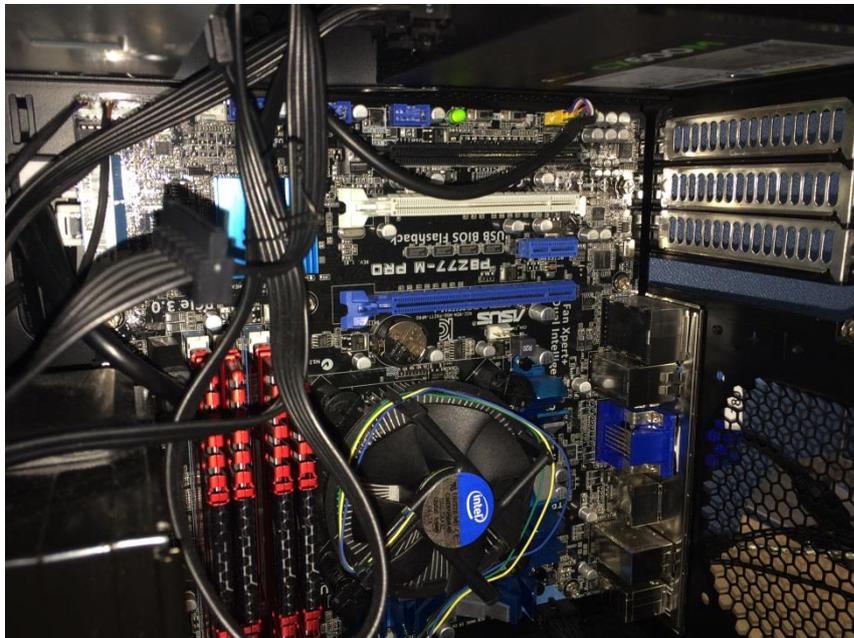


図 3-3.ボード挿入前

(4) PCI-Express の x16 コネクタに Cyclone V GT の評価用ボードを装着した状態です。

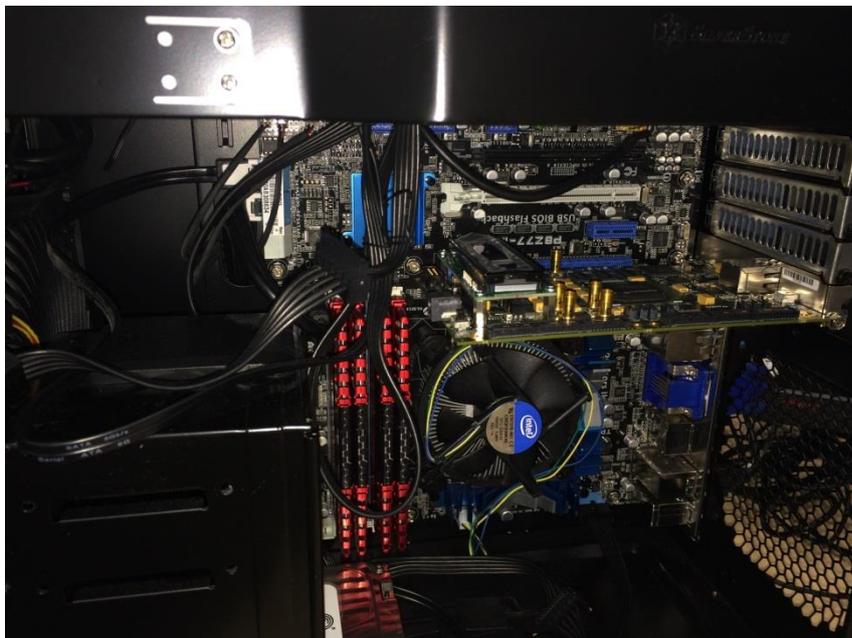


図 3-4. ボード挿入後

(5) PC の電源 ON

ボードの装着が正しくできたら、PC の電源を入れます。

(6) ボードへの FPGA データの書き込み

PC が起動したらボード上の FPGA へ JTAG 経由でデータを書き込みます。書き込む PC はターゲットの PC とは別の PC で行いました。ボードの USB ポートと書き込み PC の USB ポートを接続して、Quartus II Programmer を起動します。AN 431 に付属の SOF ファイルを下図のように書き込みます。

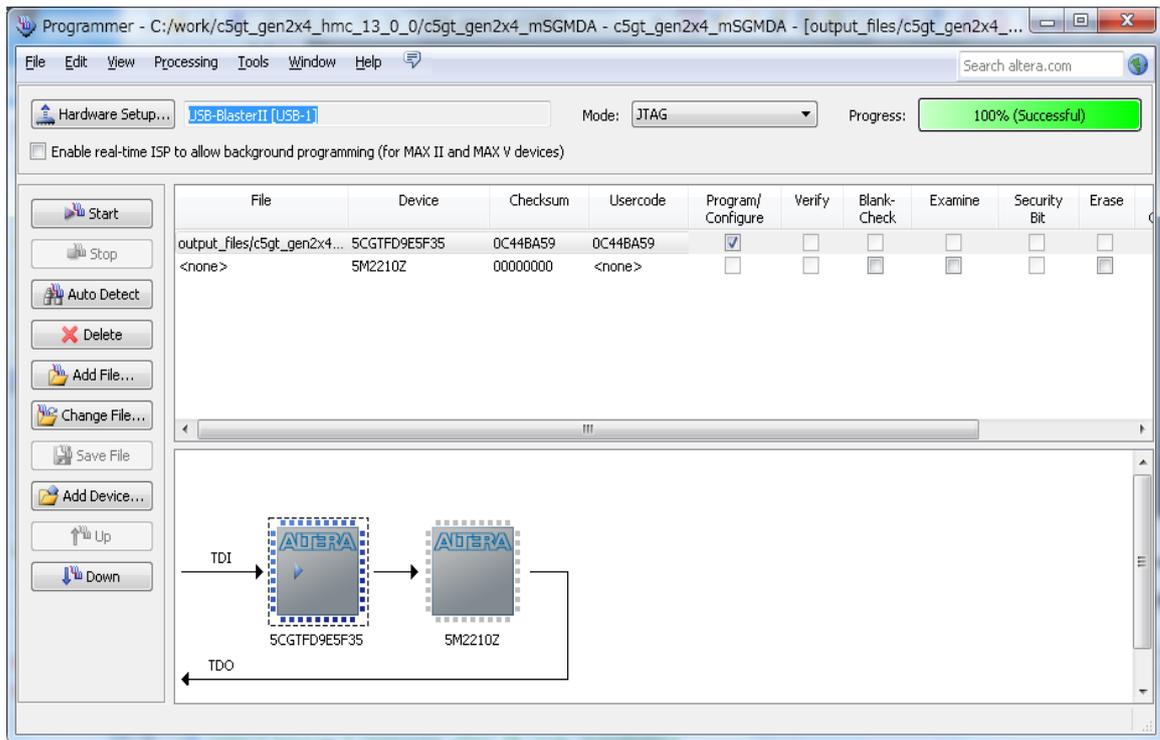


図 3-5.FPGA へコンフィグレーションデータの書き込み

(7) PC の再起動

FPGA へ書き込んだ PCI-Express の情報を PC に認識させるために PC を再起動します。再起動により、PC が FPGA に書き込まれた PCI-Express ハード IP 内の PCI レジスタ情報を読み出し、初期化を行います。

(8) 転送レート計測用アプリケーションの起動

2-1 章でダウンロードした GUI\_for\_AN431.zip を解凍し、altpcie\_demo\_Qsys\_64.exe を実行してソフトウェアを起動します。起動時のログを見ると 4 レーン、5Gbps でリンクしていることが確認できます。

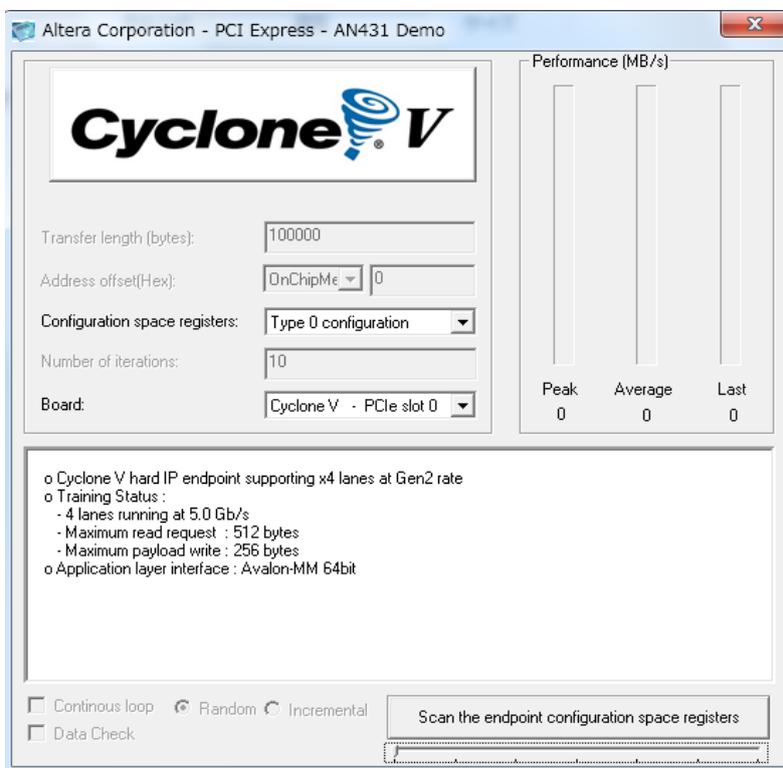


図 3-6. 転送レート計測用アプリケーション起動画面 (Cyclone V GT)

### (9) オンチップ・メモリへの DMA リード転送

画面右下のスライド・スイッチを右から 2 番目に設定すると、PC 上の共有メモリと FPGA 内部のオンチップ・メモリ間の DMA 転送を行うモードになります。DMA 転送サイズは、デフォルトで 0x40000 バイトです。シーケンスを PC ⇒ FPGA に設定すると DMA リードとなります。以下の図では、Gen2 の 4 レーン構成で 1541MB/s (アベレージ) が計測されました。

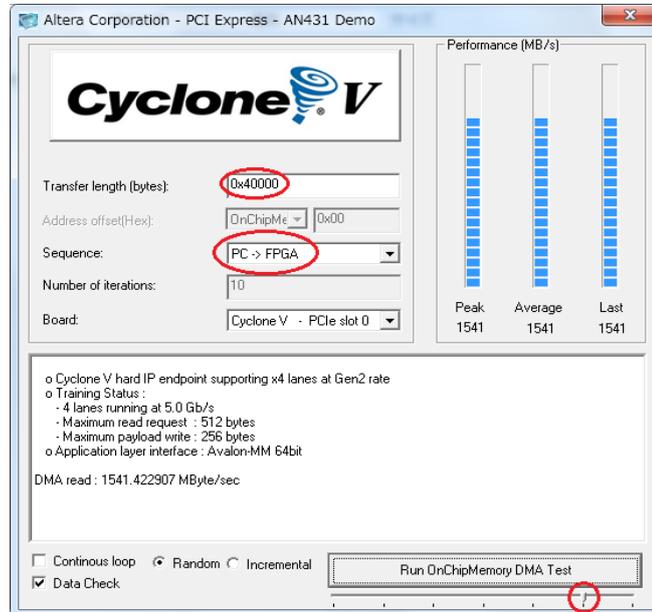


図 3-7. オンチップ・メモリへの DMA リード転送

### (10) オンチップ・メモリからの DMA ライト転送

次に、画面右下のスイッチは 2 番目にした状態で、シーケンスを FPGA ⇒ PC に設定すると DMA ライトとなります。以下の図では、Gen2 の 4 レーン構成で 1538MB/s (アベレージ) が計測されました。

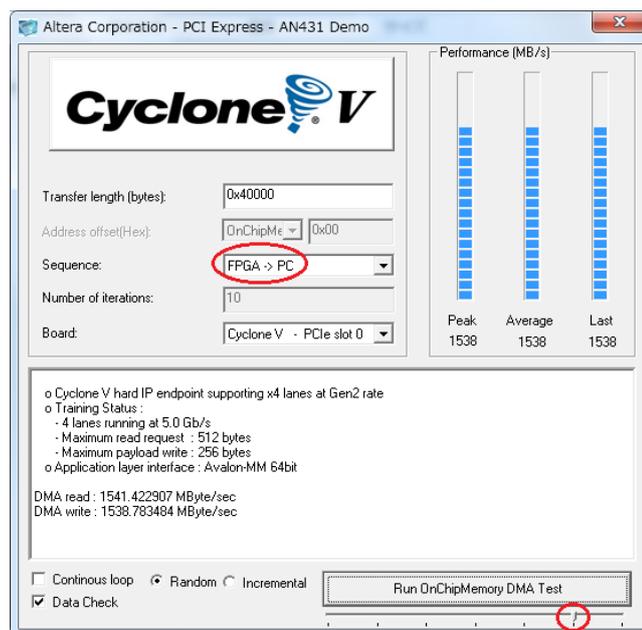


図 3-8. オンチップ・メモリからの DMA ライト転送

### (11) 外部 DDR3 SDRAM への DMA リード転送

画面右下のスライド・スイッチを一番右に設定すると、PC 上の共有メモリと FPGA 外部の DDR3 SDRAM 間の DMA 転送を行うモードになります。オンチップ・メモリへの DMA 転送時と同様、シーケンスを PC ⇒ FPGA に設定することで DMA リードとなります。結果、Gen2 の 4 レーンで 1551 MB/s (アベレージ) となりました。

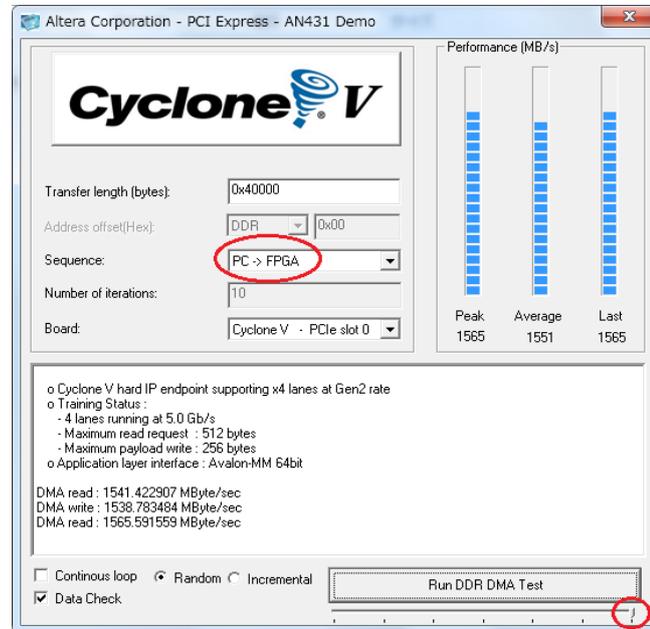


図 3-9. 外部 DDR3 SDRAM への DMA リード転送

### (12) 外部 DDR3 SDRAM からの DMA ライト転送

次に、画面右下のスイッチは一番右にした状態で、シーケンスを FPGA ⇒ PC に設定すると DMA ライトとなります。以下の図では、Gen2 の 4 レーン構成で 1538MB/s (アベレージ) が計測されました。

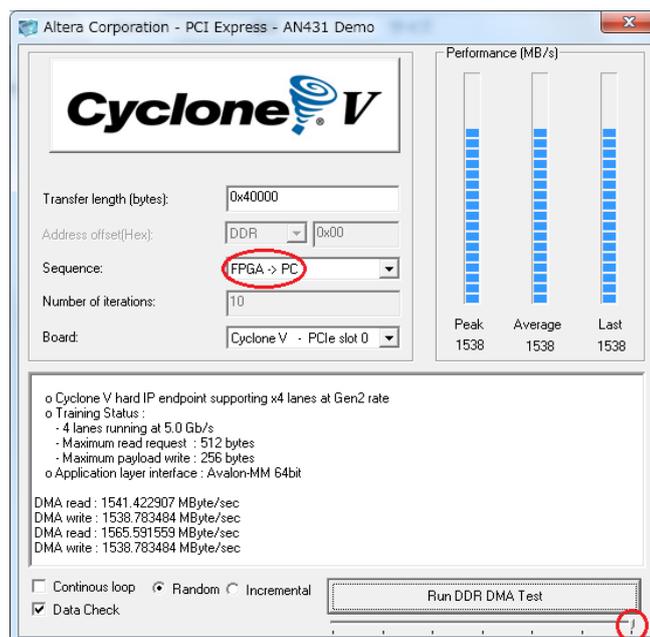


図 3-10. 外部 DDR3 SDRAM からの DMA ライト転送

### (13) パフォーマンス結果

以下にパフォーマンス結果についてまとめました。実効転送効率、物理転送レートに対する値を記載しました。したがって、Gen2 の x4 では、2000MB/s を母数として計算しています。

結果を見ると、このデザインと測定条件では、内部 RAM(オンチップ・メモリ)と外部 RAM(DDR3 メモリ)とでほとんど結果は変わらないことが確認できます。これは、DMA 転送の転送レートに対して外部 RAM の総帯域が十分大きな値であることが条件となります。逆に外部 RAM の総帯域が転送したいデータ・レートに対して十分大きな値であれば、DMA エンジンの最大のパフォーマンスを発揮できるということになります。

※ Altera wiki にあるデザインは Quartus II 開発ソフトウェア v13.0 で作成されたものですが、パフォーマンス向上のため、以下 2 点の変更を加えています。

- ・PCI-Express Hard IP パラメータの “RX Buffer credit allocation” を “Minimum” から “Balanced” に設定変更
- ・開発環境を Quartus II 開発ソフトウェア v13.1 update4 (v13.1.4) に変更

	構成	DMA Read (実効転送レート/効率)	DMA Write (実効転送レート/効率)
Cyclone V GT	Gen2 x4 内部 RAM	1541MB/s、77.1%	1538MB/s、76.9%
	Gen2 x4 外部 RAM	1565MB/s、78.3%	1538MB/s、76.9%

表 3-1. パフォーマンス結果

## 4. まとめ

今回は、AN 431 のデザインの紹介とそのデザインを用いて、弊社環境におけるアルテラ社 PCI-Express ハード IP の DMA 転送時の転送レートを Cyclone V GT デバイスについて測定してみました。

測定結果については、弊社環境では概ね 75% 以上の転送レートを実現できました。この値は、PC のチップセットなどの環境要因により多少変わりますので、ご興味があれば AN 431 のダウンロード可能なデザインにより、お客様の環境で容易にお試し頂けます。

Qsys については、この AN 431 のデザインにもあるように、Nios II 等のプロセッサを実装しない設計でも使用できます。Qsys は IP ファンクションとサブシステムを接続するインタコネク・ロジックを自動的に生成して、FPGA デザイン・プロセスの時間と労力を大幅に節約します。Qsys の詳細については、アルテラ社ホームページを参照ください。

<https://www.altera.com/products/design-software/fpga-design/quartus-ii/quartus-ii-subscription-edition/qts-qsys.html>

## 改版履歴

Revision	年月	概要
1	2014 年 7 月	初版
2	2015 年 4 月	アルテラ社の Web サイトのリニューアルに伴う URL 変更 誤記訂正/追記 P.5 誤)For_32bit フォルダ ⇒ 正)For_64bit フォルダ P.14 誤)(10) ...への... ⇒ 正)(10) ...からの... P.14 誤)PC ⇒ FPGA ⇒ 正)FPGA ⇒ PC P1.4 誤)図 3-8. ...への... ⇒ 正)図 3-8. ...からの... P.15 誤)(12) ...への... ⇒ 正)(12) ...からの... P.15 誤)PC ⇒ FPGA ⇒ 正)FPGA ⇒ PC P.15 「図 3-10. 外部 DDR3 SDRAM からの DMA ライト転送」を追記

### 免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>

株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。