

# アルテラ社 FPGA/CPLD デバイス・マイグレーション

ver.14

## アルテラ社 FPGA/CPLD デバイス・マイグレーション

### 目次

1. はじめに .....	3
2. デバイス・マイグレーションとは .....	3
3. マイグレーション候補デバイスの確認 .....	4
3-1. デバイスのハンドブックで確認する .....	4
3-2. Quartus II で確認する .....	7
4. マイグレーション・デバイスのピン・レイアウト .....	8
4-1. I/O ピン・マイグレーションの比較 .....	8
4-2. I/O ピン・マイグレーション後のピン・レイアウト .....	11
4-3. I/O ピン・マイグレーション後のピン処理 .....	12
改版履歴 .....	14

## 1. はじめに

アルテラ社の FPGA および CPLD デバイスでは、同一デバイス・ファミリ内においてデバイス・マイグレーションをサポートしています。そのため、同一のパッケージならば、専用ピン、コンフィギュレーション・ピン、および電源ピンのボード上のレイアウトを変更することなく、異なる集積度のデバイスにマイグレーション(移行)することができます。この機能により、設計者はデザインの進化に合わせて集積度とコストを最適化することが可能になります。

この資料は、アルテラ社の FPGA および CPLD デバイスにおけるデバイス・マイグレーションについて解説します。

## 2. デバイス・マイグレーションとは

デバイス・マイグレーションとは、専用ピンおよび JTAG やコンフィギュレーション・ピンが同じピン・レイアウトで、電源ピンが各デバイス集積度において、特定のパッケージに対するサブセットまたはスーパーセットとなるデバイスにマイグレーションできることを意味します。

同一デバイス・ファミリ内の同一パッケージ内で、基板の改版なしにデバイスの置き換えを可能にする機能は、

- ・ デバイス・マイグレーション
- ・ パーティカル・マイグレーション
- ・ ピン・マイグレーション

などと呼ばれています。本資料では、デバイス・マイグレーションと表現します。

デバイス・マイグレーション可能な基本条件は、以下の2つです。

- ・ 同一のデバイス・ファミリ※<sup>(1)</sup>であること

かつ

- ・ 同一のパッケージ※<sup>(2)</sup>であること

※(1) : 異なるファミリ間でもマイグレーションが可能な場合があります。

※(2) : 同一ファミリ、同一パッケージでも、マイグレーションできない場合があります。詳細は最新のデバイス・ハンドブックや Quartus II でご確認ください。

どのパッケージにおいても、集積度が最大のデバイスが電源ピンを最も多く備えています。したがって、マイグレーションに必要な電源ピンを供給するには、該当するパッケージの計画最大集積度に対応してレイアウトすることが必要です。

I/O ピンのマイグレーションでは、I/O ピンがマイグレーション可能かを確認するために、所定のパッケージ・タイプの計画されるすべての集積度に対するデバイスのピン配置を利用して、使用可能な I/O ピンを照合させる必要があります。Quartus<sup>®</sup> II は、デバイスのマイグレーション・リストが指定されると、自動的に相互参照を行ってすべてのピンをマイグレーションに対応させて配置します。

### 3. マイグレーション候補デバイスの確認

デバイス・マイグレーションが可能なデバイスのラインナップを確認する方法には、デバイス・ハンドブックと Quartus II があります。

#### 3-1. デバイスのハンドブックで確認する

デバイス・マイグレーションが可能なラインナップは、各デバイス・ファミリのハンドブック内において一覧表で確認することができます。その際は、必ず最新のハンドブック(英語版)をご利用ください。

ハンドブック内の表は、各デバイス・ファミリのハンドブックによって以下のとおり様々なタイトルで表記されています。

- Vertical Migration Capability (図 3-1)
- Device Migration List (図 3-2)
- Package and User I/O Pins (図 3-3)
- Package Options (図 3-4)
- Package Offerings (図 3-5)

各表には、マイグレーション可能なパスが主に矢印(例外あり)で示されます。

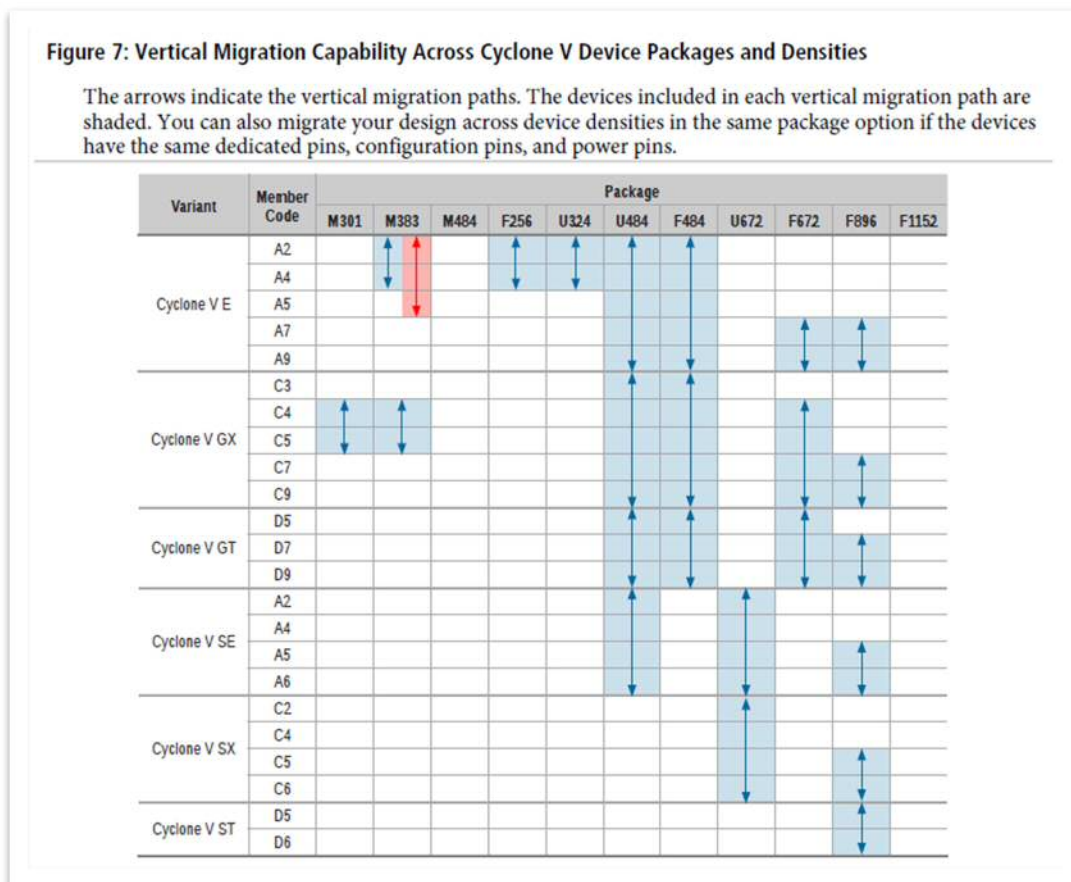


図 3-1 Vertical Migration Capability の例

**Table 6: Device Migration List Across All Stratix V Device Variants**

All devices in a specific column allow migration.

	Package										
	EH29- H780	HF35- F1152 (9)	KF35- F1152	KF40- F1517/ KH40- H1517 (10)	NF40/ KF40- F1517 (11) (12)	RF40- F1517	H40- H1517	RF43- F1760	NF45- F1932 (10)	F45- F1932	RH43- H1760
<b>Stratix V GX devices</b>											
A3	Yes	Yes	Yes	Yes							
A4		Yes	Yes	Yes							
A5		Yes	Yes	Yes	Yes				Yes		
A7		Yes	Yes	Yes	Yes				Yes		
A9				Yes					Yes		
AB				Yes					Yes		
B5						Yes		Yes			
B6						Yes		Yes			
B9											Yes
BB											Yes
<b>Stratix V GT devices</b>											
C5					Yes						
C7					Yes						
<b>Stratix V GS devices</b>											
D3	Yes	Yes									
D4	Yes	Yes		Yes							
D5		Yes		Yes							
D6				Yes					Yes		
D8				Yes					Yes		
<b>Stratix V E devices</b>											
E9							Yes			Yes	

<sup>(9)</sup> All devices in this column are in the HF35 package and have twenty-four 14.1-Gbps transceivers.

<sup>(10)</sup> Different devices within this column have small differences in the overall package height. When multiple Stratix V devices with different package heights are placed on a single board, a single-piece heatsink may not cover the devices evenly. Refer to *AN 670: Thermal Solutions to Address Height Variation in Stratix V Packages*.

<sup>(11)</sup> The 5SGTC5/7 devices in the KF40 package have four 28.05-Gbps transceivers and thirty-two 12.5-Gbps transceivers. Other devices in this column are in the NF40 package and have forty-eight 14.1-Gbps transceivers.

<sup>(12)</sup> For more information, refer to *AN 644: Migration Between Stratix V GX and Stratix V GT Devices*.

図3-2 Device Migration List の例



Table 1-2. MAX V Packages and User I/O Pins (Note 1)

Device	64-Pin MBGA	64-Pin EQFP	68-Pin MBGA	100-Pin TQFP	100-Pin MBGA	144-Pin TQFP	256-Pin FBGA	324-Pin FBGA
5M40Z	↑ 30	↑ 54	—	—	—	—	—	—
5M80Z	↓ 30	↑ 54	↑ 52	↑ 79	—	—	—	—
5M160Z	—	↓ 54	↑ 52	↑ 79	↑ 79	—	—	—
5M240Z	—	—	↓ 52	↑ 79	↑ 79	↑ 114	—	—
5M570Z	—	—	—	↓ 74	↓ 74	↑ 114	↑ 159	—
5M1270Z	—	—	—	—	—	↓ 114	↑ 211	↑ 271
5M2210Z	—	—	—	—	—	—	↓ 203	↓ 271

Note to Table 1-2:

(1) Device packages under the same arrow sign have vertical migration capability.

図3-3 Package and User I/O Pins の例

Table 1-2. Stratix IV GX Device Package Options (1), (2)

Device	F780 (29 mm x 29 mm) (6)	F1152 (35 mm x 35 mm) (6)	F1152 (35 mm x 35 mm) (5), (7)	F1517 (40 mm x 40 mm) (5), (7)	F1760 (42.5 mm x 42.5 mm) (7)	F1932 (45 mm x 45 mm) (7)
EP4SGX70	↑ DF29	—	↑ HF35	—	—	—
EP4SGX110	DF29	—	↓ HF35	—	—	—
EP4SGX180	DF29	—	↑ FF35	↑ HF35	↑ KF40	—
EP4SGX230	↓ DF29	—	—	↑ HF35	↑ KF40	—
EP4SGX290	—	↑ FH29 (3)	↑ FF35	↑ HF35	↑ KF40	↑ KF43
EP4SGX360	—	↓ FH29 (3)	↓ FF35	—	↑ HF35	↑ KF43
EP4SGX530	—	—	—	↓ HH35 (4)	↓ KH40 (4)	↓ KF43

Notes to Table 1-2:

- (1) Device packages in the same column and marked under the same arrow sign have vertical migration capability.
- (2) Use the Pin Migration Viewer in the Pin Planner to verify the pin migration compatibility when migrating devices. For more information, refer to I/O Management in the Quartus II Handbook, Volume 2.
- (3) The 780-pin EP4SGX290 and EP4SGX360 devices are available only in 33 mm x 33 mm Hybrid flip chip package.
- (4) The 1152-pin and 1517-pin EP4SGX530 devices are available only in 42.5 mm x 42.5 mm Hybrid flip chip packages.
- (5) When migrating between hybrid and flip chip packages, there is an additional keep-out area. For more information, refer to the Package Information Datasheet for Altera Devices.
- (6) Devices listed in this column are available in -2x, -3, and -4 speed grades. These devices do not have on-package decoupling capacitors.
- (7) Devices listed in this column are available in -2, -3, and -4 speed grades. These devices have on-package decoupling capacitors. For more information about on-package decoupling capacitor value in each device, refer to Table 1-3.

図3-4 Package Options の例

Table 1-3. Package Offerings for the Cyclone IV E Device Family (1), (2)

Package	E144		M164		M256		U256		F256		F324		U484		F484		F780	
Size (mm)	22 x 22		8 x 8		9 x 9		14 x 14		17 x 17		19 x 19		19 x 19		23 x 23		29 x 29	
Pitch (mm)	0.5		0.5		0.5		0.8		1.0		1.0		0.8		1.0		1.0	
Device	User I/O	LVDS (3)	User I/O	LVDS (3)	User I/O	LVDS (3)	User I/O	LVDS (3)	User I/O	LVDS (3)	User I/O	LVDS (3)	User I/O	LVDS (3)	User I/O	LVDS (3)	User I/O	LVDS (3)
EP4CE6	↑ 91	21	—	—	—	—	↑ 179	66	↑ 179	66	—	—	—	—	—	—	—	—
EP4CE10	91	21	—	—	—	—	179	66	179	66	—	—	—	—	—	—	—	—
EP4CE15	81	18	89	21	165	53	165	53	165	53	—	—	—	—	↑ 343	137	—	—
EP4CE22	↓ 79	17	—	—	—	—	↓ 153	52	↓ 153	52	—	—	—	—	—	—	—	—
EP4CE30	—	—	—	—	—	—	—	—	—	—	↑ 193	68	—	—	328	124	↑ 532	224
EP4CE40	—	—	—	—	—	—	—	—	—	—	↓ 193	68	↑ 328	124	328	124	532	224
EP4CE55	—	—	—	—	—	—	—	—	—	—	—	—	↑ 324	132	324	132	374	160
EP4CE75	—	—	—	—	—	—	—	—	—	—	—	—	↓ 292	110	292	110	426	178
EP4CE115	—	—	—	—	—	—	—	—	—	—	—	—	—	—	↓ 280	103	↓ 528	230

Notes to Table 1-3:

- (1) The E144 package has an exposed pad at the bottom of the package. This exposed pad is a ground pad that must be connected to the ground plane of your PCB. Use this exposed pad for electrical connectivity and not for thermal purposes.
- (2) Use the Pin Migration View window in Pin Planner of the Quartus II software to verify the pin migration compatibility when you perform device migration. For more information, refer to the I/O Management chapter in volume 2 of the Quartus II Handbook.
- (3) This includes both dedicated and emulated LVDS pairs. For more information, refer to the I/O Features in Cyclone IV Devices chapter.

図3-5 Package Offerings の例

通常デバイス・マイグレーションは、同一デバイス・ファミリ内の同一種類、同一パッケージ内で可能ですが、GX と GT といったシリアル・トランシーバのサポート帯域が異なる場合でも可能になる場合があります。最新デバイス・ファミリでは Preliminary 状態などになっているため、必ずご設計の前に最新のデバイス・ハンドブック(英語版)をご覧になり、併せて Quartus II でもご確認ください。

### 3-2. Quartus II で確認する

Quartus II では、デバイス型番の選択時にマイグレーション候補のラインナップを確認および選択することができます。

1. Quartus II において、新規あるいは既存のプロジェクトを起動します。
2. Assignments メニュー ⇒ Device を選択し、Device ダイアログボックスを表示します。
3. Device ダイアログボックス内の左下にある Migration Devices ボタン(図 3-6)をクリックします。

※(3): マイグレーションのデバイス候補を選択するため、事前に特定の型番を選択している必要があります。

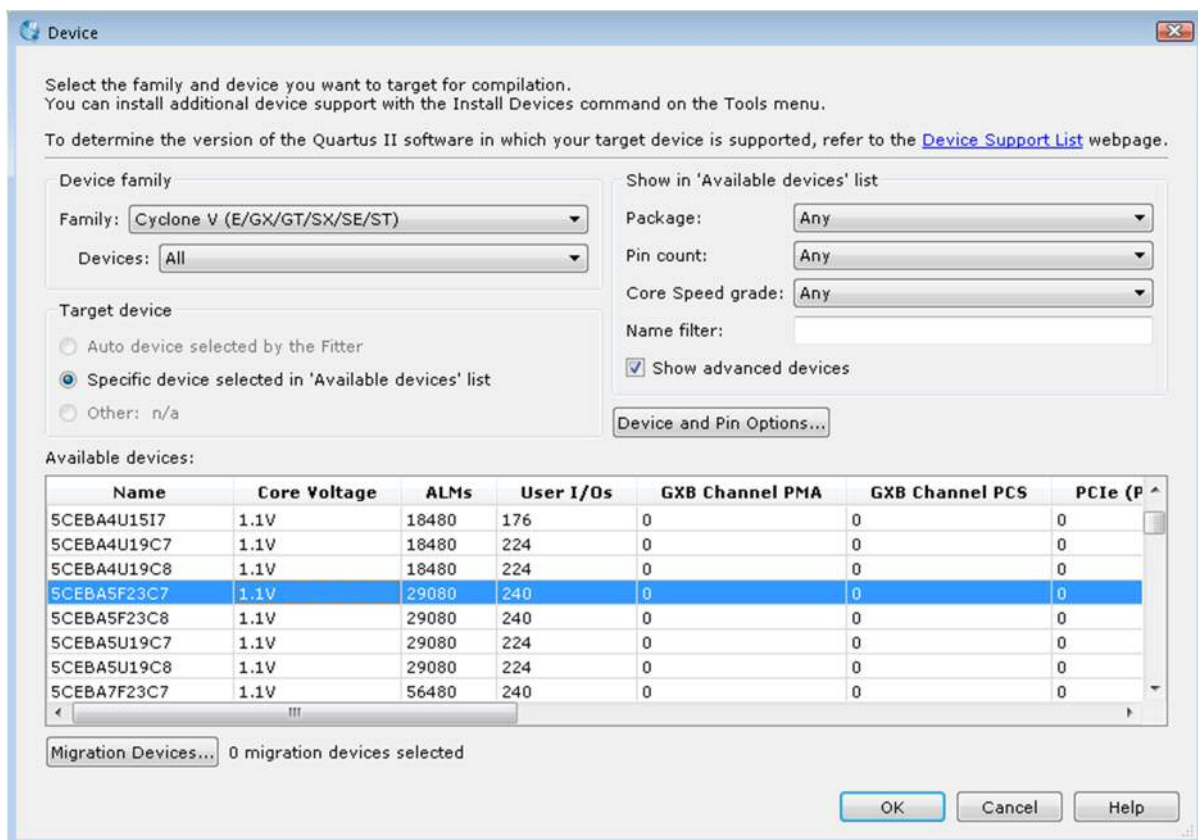


図3-6 Device ダイアログボックス

4. Migration Devices ダイアログボックス(図 3-7)が表示されます。左枠の Compatible migration devices に表示された型番が、現在選択されている型番(右枠の Selected migration devices 内の “current device”)とマイグレーション可能なデバイスの一覧です。

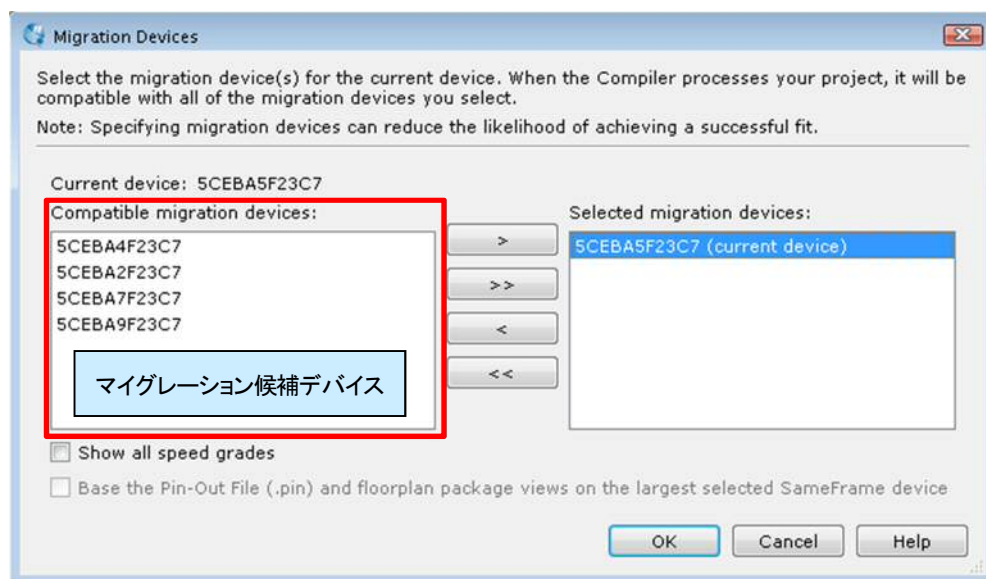


図3-6 Migration Devices ダイアログボックス

左枠の Compatible migration devices にデフォルトで表示される型番は、current device として選択されている型番と同じスピードグレードです。すべてのスピードグレードをリストに表示させるには、Show all speed grades オプションを ON にしてください。

## 4. マイグレーション・デバイスのピン・レイアウト

マイグレーション可能なデバイス間では、デバイスの集積度が異なることで電源や GND の本数が異なり、集積度が大きいほど電源や GND の本数は増えます。そのため、デバイス・マイグレーションを考慮した基板設計が必要です。

Quartus II は、デバイス型番の選択時にあらかじめマイグレーション候補のラインナップを指定すると、自動的にすべてのピンの相互参照を行い比較リストとして表示するため、ユーザはデバイス・マイグレーションに対応させてピンを配置することができます。

### 4.1. I/O ピン・マイグレーションの比較

Quartus II の Pin Planner において、選択された複数のマイグレーション・デバイスのピンを比較し、ピンの配置や基板設計に有効な情報を確認・生成することができます。

1. Quartus II において、新規あるいは既存のプロジェクトを起動します。
2. Assignments メニュー ⇒ Device を選択し、Device ダイアログボックスを表示します。
3. Device ダイアログボックス内の左下にある Migration Devices ボタン(図 3-6)をクリックします。
4. Migration Devices ダイアログボックス(図 3-7)が表示されます。左枠の Compatible migration devices に表示された型番からマイグレーション候補となる型番を選択し、> ボタンにより右枠の Selected migration devices 内へ移動させます。(図 4-1)
5. Migration Devices ダイアログボックス と Device ダイアログボックスの OK ボタンをクリックします。



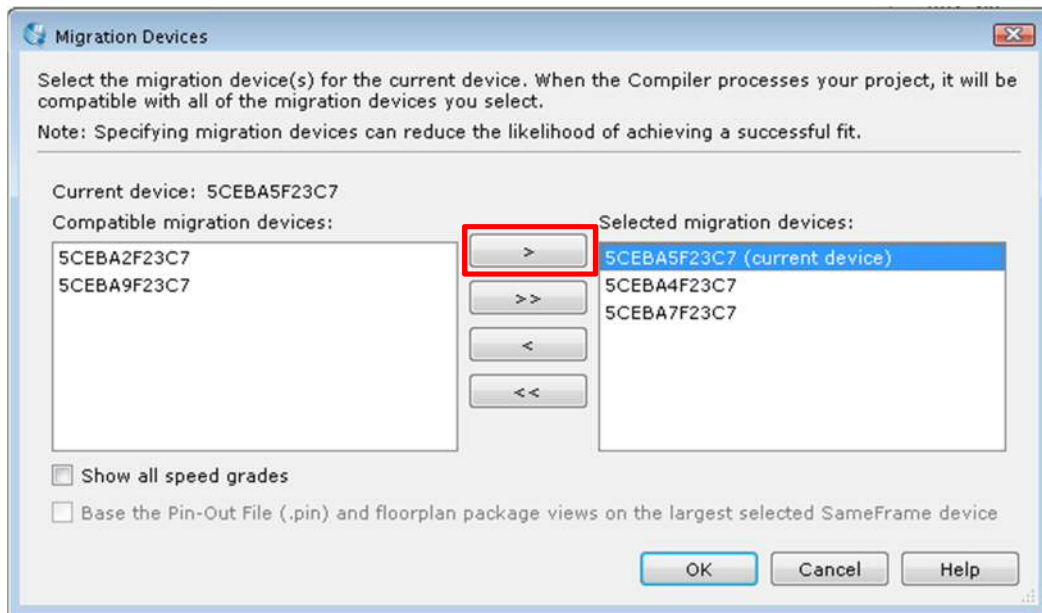


図4-1 マイグレーション・デバイスを選択

6. Assignments メニュー ⇒ Pin Planner を起動します。
7. Pin Planner 内の View メニュー ⇒ Pin Migration Window を選択し(図 4-2)、Pin Migration View ウィンドウを起動させます。

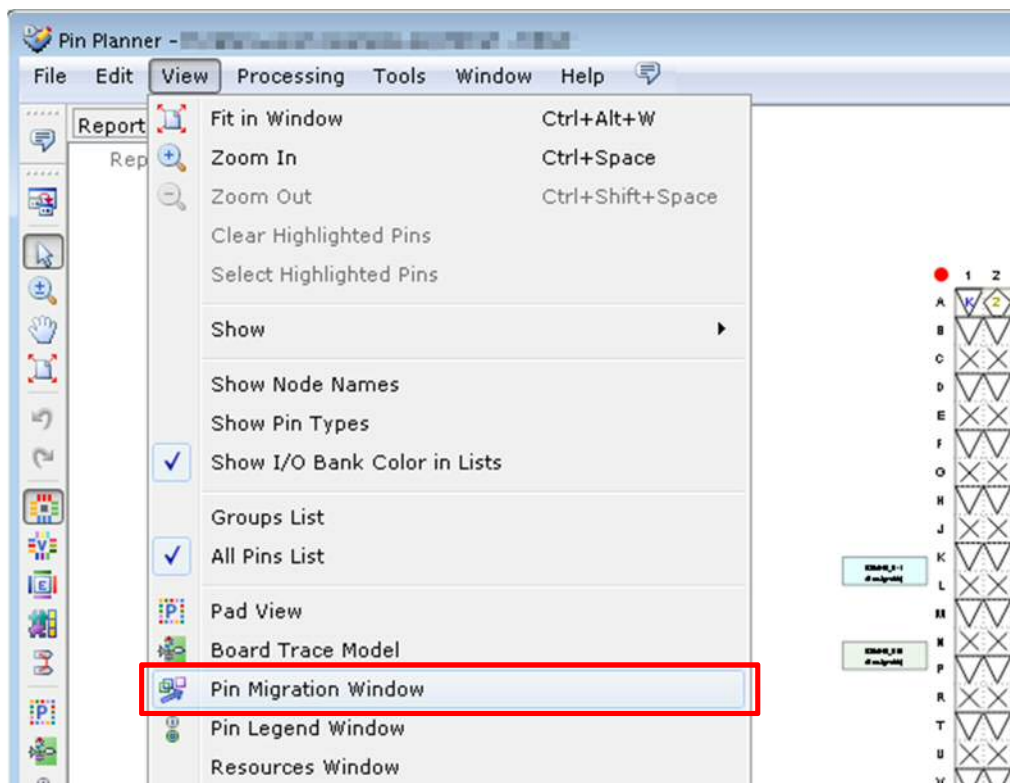


図4-2 View メニュー (Pin Planner)

8. Pin Migration View ウィンドウ(図 4-3)が起動します。

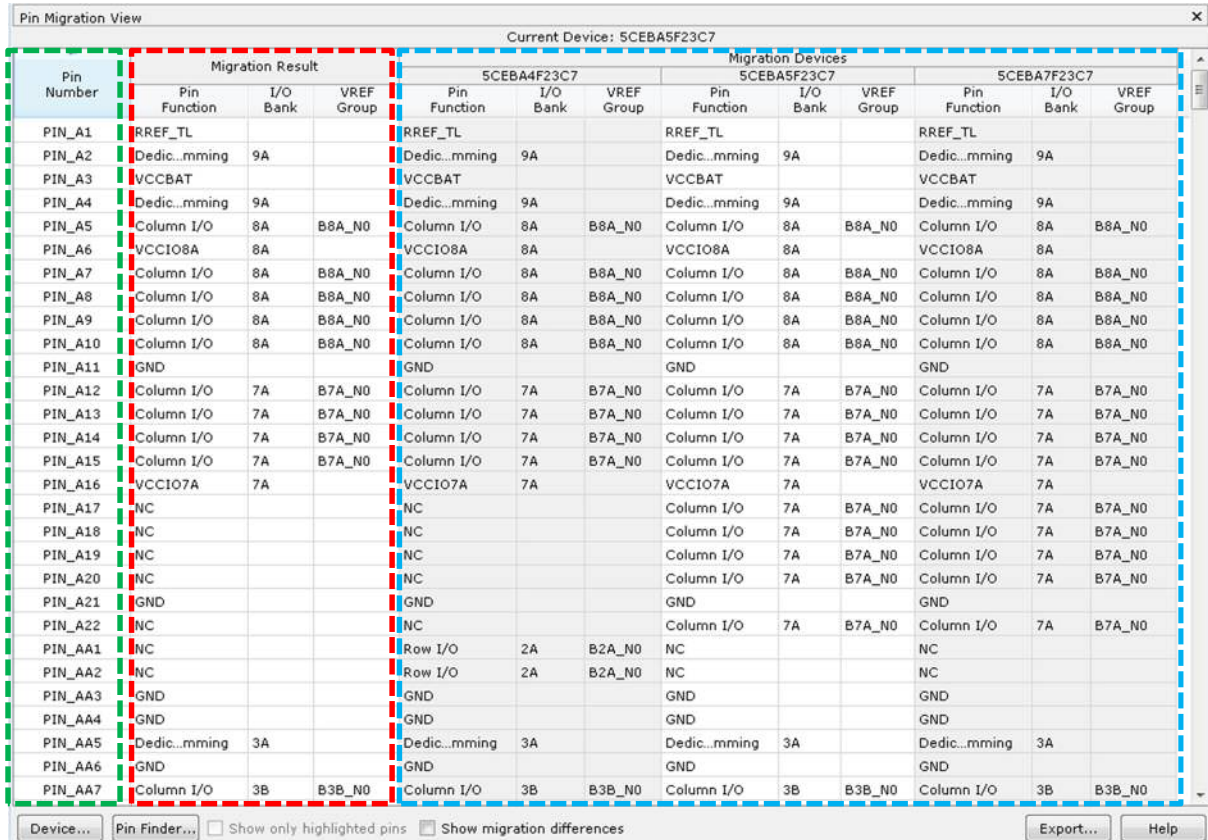


図4-3 Pin Migration View ウィンドウ

Pin Migration View ウィンドウは、Pin Number(ピン番号)、Migration Result(デバイス・マイグレーションを考慮した結果)、Migration Devices(選択したデバイス型番)で構成されています。

ユーザは Migration Result の結果を考慮して基板設計することで、基板の改版なしにマイグレーション・デバイス間でデバイスの移行が可能になります。

例えば、図 4-4 において “A17” ピンを見てみましょう。

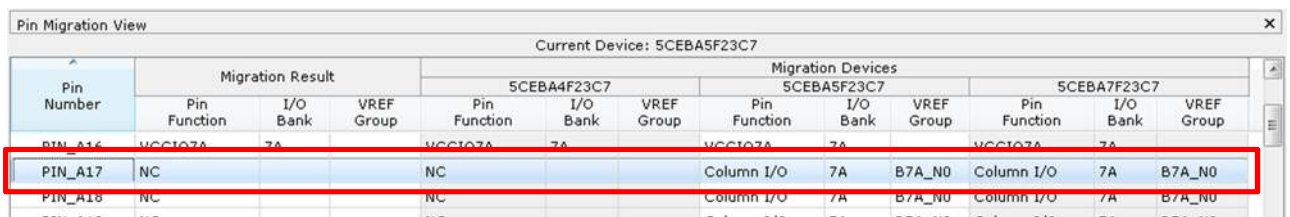


図4-4 A17 ピン(Pin Migration View ウィンドウ)

マイグレーションに選択した各デバイスでは、以下の仕様です。

Pin Number	Migration Devices	Pin Function
A17	5CEBA4F23C7	NC (No Connect ピン)
	5CEBA5F23C7 (current device)	Column I/O (ユーザ I/O ピン)
	5CEBA7F23C7	Column I/O (ユーザ I/O ピン)

A17 ピンは 5CEBA5F23C7 および 5CEBA7F23C7 においてユーザ I/O ピンとして使用可能ですが、5CEBA4F23C7 では NC であるため、Quartus II は A17 ピンを NC として扱うように評価しています。もし、A17 ピンをユーザ I/O として取り扱い、デザインの入出力ピンをアサインし、かつ基板設計をしてしまうと、最終決定したデバイスが 5CEBA4F23C7 になった場合に、その基板が使用できなくなることを防ぐためです。

Pin Migration View ウィンドウの下部に位置する Show migration differences オプションを ON にすると、ピン番号において Pin Function の異なる部分が黄色にハイライトされ(図 4-5)、そのピン番号の行だけがリスト表示されます。

Pin Number	Migration Result			Migration Devices								
	Pin Function	I/O Bank	VREF Group	5CEBA4F23C7			5CEBA5F23C7			5CEBA7F23C7		
				Pin Function	I/O Bank	VREF Group	Pin Function	I/O Bank	VREF Group	Pin Function	I/O Bank	VREF Group
PIN_A17	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_A18	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_A19	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_A20	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_A22	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_AA1	NC			Row I/O	2A	B2A_N0	NC			NC		
PIN_AA2	NC			Row I/O	2A	B2A_N0	NC			NC		
PIN_B17	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_B18	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_B20	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_B21	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_B22	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_C1	NC			Row I/O	2A	B2A_N0	NC			NC		
PIN_C2	NC			Row I/O	2A	B2A_N0	NC			NC		
PIN_C18	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_C19	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_C20	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_C21	NC			NC			Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_D3	NC			Row I/O	2A	B2A_N0	NC			NC		

図 4-5 Show migration differences オプション = ON (Pin Migration View ウィンドウ)

また、Pin Migration View ウィンドウの右下部に位置する Export ボタン(図 4-5)をクリックすると、Pin Migration View ウィンドウのすべての情報を .csv ファイルに出力できます※(4)。

※(4) : Show migration differences オプションを ON の状態で .csv ファイルを出力すると、表示されたリストだけが記録されます。

## 4.2. I/O ピン・マイグレーション後のピン・レイアウト

Quartus II の Device Migration を設定すると、Pin Planner の Pin Migration View ウィンドウだけでなく、Package View も I/O ピン・マイグレーションの結果を反映した表示になります。

例えば、本資料 “4-1. I/O ピン・マイグレーションの比較” で一例にあげた A17 ピンは、current device である 5CEBA5F23C7 ではユーザ I/O ピンですが、Migration Result が NC であるため、Package View 上の表示も X (No Connect) の表示です。(図 4-6)

また、A17 ピンにデザイン上の入出力ピンをアサインしようとする、インフォメーション・メッセージが表示され(図 4-6)、ピン・アサインができないことがわかります。



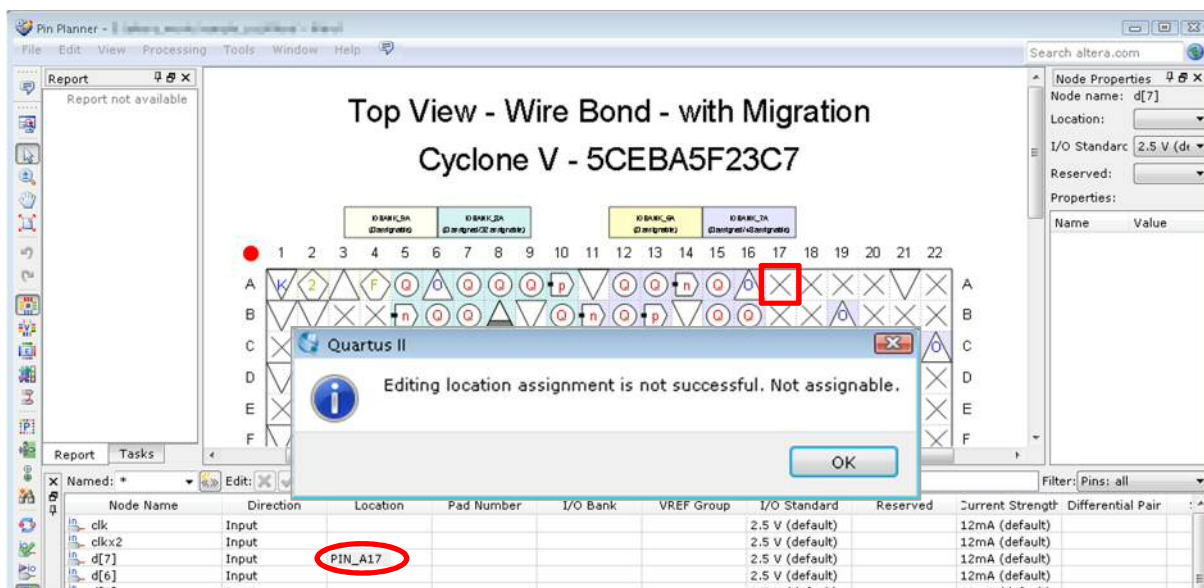


図4-6 Package View (Pin Planner)

このように、マイグレーション・デバイスを設定すると、選択したマイグレーション・デバイス内において、使用可能な共通のユーザ I/O ピンにのみピン・アサインが可能になります。

#### 4.3. I/O ピン・マイグレーション後のピン処理

デバイス・マイグレーションを行う場合、選択したすべてのデバイスで利用可能な基板レイアウトにするために、一部のデバイスでは、ユーザ I/O として使用できるピンでも基板上では NC や VCC、GND の処理が必要になります。

例えば、EP4CE6E22C6 (Cyclone® IV E)において、マイグレーション・デバイスに EP4CE22E22C6 を選択していると、PIN\_74 の Migration Result は GNDA4 です(図4-7)。そのため、基板上の処理は GND を接続することになります。

Pin Number	Migration Result			Migration Devices					
	Pin Function	I/O Bank	VREF Group	EP4CE6E22C6			EP4CE22E22C6		
				Pin Function	I/O Bank	VREF Group	Pin Function	I/O Bank	VREF Group
PIN_71	Column I/O	4	B4_N0	Column I/O	4	B4_N0	Column I/O	4	B4_N0
PIN_72	Column I/O	4	B4_N0	Column I/O	4	B4_N0	Column I/O	4	B4_N0
PIN_73	VCCD_BU4			Row I/O	5	B5_N0	VCCD_BU4		
PIN_74	GNDA4			Row I/O	5	B5_N0	GNDA4		
PIN_75	VCCA4			Row I/O	5	B5_N0	VCCA4		
PIN_76	Row I/O	5	B5_N0	Row I/O	5	B5_N0	Row I/O	5	B5_N0
PIN_77	Row I/O	5	B5_N0	Row I/O	5	B5_N0	Row I/O	5	B5_N0
PIN_78	VCCINT			VCCINT			VCCINT		
PIN_79	GND			GND			GND		

図4-7 EP4CE6E22C6/EP4CE22E22C6 の Pin Migration View ウィンドウ

のちに最終決定したデバイス型番が EP4CE6E22C6 だとすると、PIN\_74 は GND が供給されていながらも搭載されたデバイスとしては Row I/O (ユーザ I/O ピン)という環境になります。ですが、Quartus II でマイグレーション・デバイスを選択してコンパイルを実行しているため、Quartus II は PIN\_74 が基板上で GND 接続されていることを前提に、このユーザ I/O ピンに対して適切な処理を行うようになっています。つまりユーザは、Migration Result 通りに基板処理を行えば、未使用ユーザ I/O ピンに対して Quartus II 上で特別なオプション設定は必要ないと言えます。

ただし、Migration Result が Column I/O または Row I/O 表記で、かつ論理回路上で未使用にしたユーザ I/O ピン(Column I/O、Row I/O) は、Quartus II 上で Unused Pin に対する Reserved 処理設定が必要です。デバイス

のユーザ I/O ピンが未使用となる場合の Quartus II での設定方法については、担当する各代理店の技術情報サイトにおいて以下のタイトル資料をご参考ください。

『Quartus II はじめてガイド – デバイスの未使用ピンの処理方法』



## 改版履歴

Revision	年月	概要
1	2014 年 7 月	初版

### 免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。  
 株式会社アルティマ ホームページ: <http://www.altima.co.jp>      技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>  
 株式会社エルセナ ホームページ: <http://www.elsena.co.jp>      技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。