

# Quartus II プロジェクトの管理

ver.14

2015年4月 Rev.1.1

ELSENA

ELSENA,Inc.





# Quartus II プロジェクトの管理

<u>日次</u>	
1. はじめに	
2. プロジェクトとは	3
3. Quartus II 開発ソフトウェアの起動	4
4. 新規プロジェクトの作成	7
5. 既存プロジェクトの起動と終了	16
5-1. 既存プロジェクトの起動方法	
5-2. 既存プロジェクトを起動する際の注意点	
5-3. 既存プロジェクトの終了方法	
6. 既存プロジェクトの設定変更	19
6-1. デザイン·ファイルの登録変更	
6-2. <b>ユーザ・ライブラリの</b> 変更	
6-3. ターゲット・デバイス型番の変更	
6-4. EDA ツールの変更	
6-5. 最上位階層デザインの変更	
7. プロジェクトとファイル	25
8. リビジョンの使用	27
8-1. リビジョンの作成および削除	
8-1-1. リビジョンの作成	
8-1-2. リビジョンの削除	
8-2. リビジョンの切り替え	
8-3. リビジョンの比較	
9. プロジェクトの複製	
10. プロジェクトのアーカイブ	
10-1. プロジェクトのアーカイブ	
10-2. アーカイブ・プロジェクトの復元	
11. バージョン互換のデータベース	
11-1. バージョン互換のデータベースの生成	
11-2. バージョン互換のデータベースのインポート	
改版履歷	

### 1. はじめに

Quartus<sup>®</sup> II 開発ソフトウェアは、ユーザ・デザインをプロジェクトで管理します。プロジェクトは、デザインのコン パイルに必要なすべてのデザイン・ファイル、設定ファイルおよびその他のファイルで構成されます。そのため開 発を始めるには、まずプロジェクトを作成する必要があります。

また、大規模で複雑なデザインは、複数のエンジニアで開発されることも多く、プロジェクト全体を通して絶えず 変更されます。デザインの調整を効率良く確実に行うため、設計者はプロジェクトの変更を追跡できなければなり ません。Quartus II 開発ソフトウェアでは、設計者がデザインを管理しやすくするために、様々な管理機能をサポ ートしています。

この資料では、Quartus II 開発ソフトウェアにおいて新規でプロジェクトを作成するなどの初歩的な操作方法に 加え、リビジョンの作成やプロジェクトの複製、アーカイブ方法など、プロジェクトを管理するために便利な機能をご 紹介しています。

なお、Quartus II 開発ソフトウェアを初めてご利用になられるユーザは、担当する各代理店の技術情報サイトにおいて以下のタイトル資料をはじめにご覧ください。

『Quartus II はじめてガイド - プロジェクトの作成方法』

※ 第2 章~6 章は、『Quartus II はじめてガイド - プロジェクトの作成方法』を転写したものです。

### 2. プロジェクトとは

Quartus II 開発ソフトウェアは、ユーザ・デザインをプロジェクトで管理し、プロジェクトにはデザインのコンパイル に必要なすべてのデザイン・ファイルや設定ファイルなどが含まれます。

1つの FPGA あるいは CPLD デバイスに対して開発を行う際、Quartus II 開発ソフトウェアでは1つプロジェクトを構築し作業を行います。そのため、基板上に複数のアルテラ社 FPGA あるいは CPLD デバイスが搭載される場合には、個々のデバイスに対してそれぞれプロジェクトが必要になります。



図 2-1 デバイスと Quartus II 開発ソフトウェアのプロジェクトの関係イメージ

### 3. Quartus II 開発ソフトウェアの起動

Quartus II 開発ソフトウェアを起動するには、Windows OS の場合、インストール時に作成したデスクトップ上の ショートカット・アイコンをダブルクリック、もしくは[スタート]メニュー(Windows 8 の場合はスタート画面)から Quartus II 開発ソフトウェアを起動させます。Linux OS の場合には、コマンドにより起動させます。

Quartus II 開発ソフトウェアが起動後 Welcome スクリーン(図 3-1)が表示され、このスクリーンから以下のプロジェクト 作業が行えます。

New Project Wizard ボタン	新規にプロジェクトを作成するためのウィザードを起動する
Open Project ボタン	既存のプロジェクトを開く
Recent Project	過去に使用したプロジェクトの履歴から選択してプロジェクトを開く

これらの操作は、Quartus II 開発ソフトウェアのメニューからも行えます。本資料では、Quartus II 開発ソフトウェアのメニューを使用したプロジェクトの作成方法について説明します。



図 3-1 Quartus II 開発ソフトウェアと Welcome スクリーン

今後 Welcome スクリーンを表示させたくない場合は、スクリーン下の "Don't show this screen again" オプショ ンにチェックを入れてください。もし再度 Quartus II 開発ソフトウェア起動時に Welcome スクリーンを表示させた い場合には、Tools メニュー  $\Rightarrow$  Options の General カテゴリにある "Show welcome screen" オプションにチェッ クを入れてください。次回の Quartus II 開発ソフトウェア起動時に反映されます。

また、"Close page after project load"オプションを有効にすると、新規あるいは既存プロジェクトを起動後に Welcome スクリーンは閉じます。

Quartus II 開発ソフトウェアは主にメニューバーで操作を行いますが、頻繁に使用するメニューは Tasks ウィンド ウやツールバーのアイコンからも操作が行えます。

Tasks ウィンドウは、Quartus II 開発ソフトウェアの主な操作を簡単に実行できるようにまとめたウィンドウです。 目的の項目をダブルクリックすることでタスクが実行できます。タスクのフローは 4 種類が用意され、各フローで頻 繁に使用するタスクが集約されています。

Г

#### Compilation Flow コンパイル用タスクにフォーカス

Tasks	;			₽₽×
Flow:	Cor	mpil	ation 🔻 Cu	ustomize
			Task	Û
	۵		Compile Design	
		$\triangleright$	Analysis & Synthesis	
		$\triangleright$	Fitter (Place & Route)	
		$\triangleright$	Assembler (Generate programming files)	)
		$\triangleright$	TimeQuest Timing Analysis	
		$\triangleright$	EDA Netlist Writer	
		٩	Program Device (Open Programmer)	

Gat ゲー	e Level Simulation Flow -トレベル・シミュ―ション用タスク	フにフォーカス	
Tasks	;	P 6	×
Flow:	Gate Level Simulation	▼ Customiz	e.,
	Task	Ô	-
	👂 🕨 Analysis & Synthesis		
	👂 🕨 Fitter (Place & Route)		
	👂 🕨 TimeQuest Timing Analysis		
	👂 🕨 EDA Netlist Writer		
	👂 🕨 Gate Level Simulation		

図 3-2

Full 全タ	Design Flow スク		
Tasks Flow:	RTL Simulation		₽₽× Customize
	Task	Û	Time
	Analysis & Elaboration		
	🕨 🕨 RTL Simulation		

図 3-4

図 3-3

### RTL Simulation Flow RTL シミュレーション用タスクにフォーカス

Tasks	;				₽₽×
Flow:	Full	Des	sign 🔹	Cus	tomize
			Task		Û
	$\triangleright$		Start Project		
	$\triangleright$		Create Design		
	$\triangleright$		Assign Constraints		
	⊿	$\geq$	Compile Design		
		$\triangleright$	🕨 Analysis & Synthesis		
		$\triangleright$	🕨 Fitter (Place & Route)		
		$\triangleright$	Assembler (Generate programming file	es)	
		$\triangleright$	TimeQuest Timing Analysis		
		$\triangleright$	EDA Netlist Writer		
		٩	Program Device (Open Programmer)		
	⊿		Verify Design		
		$\triangleright$	📃 Simulate Design		
		$\triangleright$	😑 On-chip Debugging		
		$\triangleright$	≽ PowerPlay Power Analyzer		
		$\triangleright$	≽ SSN Analyzer		
		⊿	📴 Engineering Change Order (ECO)		
			🧇 Chip Planner		
			🚷 Change Manager		
			Export Database		
			Archive Project		

図 3-5



ツールバーのアイコンは、メニューバーのプルダウンで表示されるメニュー名の左に描かれたアイコンと連携しています。また、ツールバーのアイコンにマウスのポインタをかざすと、ポインタの右下にツールチップが表示され、 どのメニューのアイコンかを確認することができます。



図 3-6 メニューバーとアイコン

### 4. 新規プロジェクトの作成

新規のプロジェクトをウィザード形式(対話形式)で作成します。このウィザードでは、プロジェクト作成と同時に 以下の内容が設定できます。

- ・ 作業フォルダ
- プロジェクト名
- ・ 最上位階層のエンティティ名
- ・ コンパイルに必要なデザイン・ファイルおよびライブラリ格納フォルダの登録
- デバイス型番
- ・ プロジェクトの開発に必要なインタフェース用 EDA ツール

新規プロジェクトの作成手順は、以下のとおりです。なお本資料では、Quartus II 開発ソフトウェアのメニューバーを使用した操作方法でご紹介します。



- 2. New Project Wizard ダイアログボックスが起動します。
- 3. Introduction ページ(図 4-2)は "Next" ボタンをクリックし、次へ進みます。



図 4-2 Introduction ページ (New Project Wizard ダイアログボックス)

4. Directory、Name、Top-Level Entity [Page 1 of 5] ページ(図 4-3)では、作業フォルダやプロジェクト名などを 設定します。

なお、各項目は<u>半角英数字</u>で記入してください。特殊文字やスペースは使用できません。各項目を入力後 "Next" ボタンをクリックします。



図 4-3 Directory、Name、Top-Level Entity ページ (New Project Wizard ダイアログボックス)

What is the working directory for this project?	作業フォルダのパス
What is the name of this project?	プロジェクト名 <sup>※(1)</sup>
What is the name of the top-level design entity for this project?	最上位階層のエンティティ名

※(1): 管理を簡易にするため、プロジェクト名は最上位階層のエンティティ名と同じにすることを推奨します。

また、過去作成したプロジェクトのデバイス型番や EDA ツール設定などを反映させる場合は、"Use Existing Project Settings"ボタンをクリックし、目的の既存プロジェクトを選択します。

- 5. Add Files [Page 2 of 5] ページ(図 4-4)では、コンパイルに必要なデザイン・ファイルや、ライブラリが格納さ れたフォルダを登録します。
  - (1) File name 欄右にあるブラウズ・ボタンをクリックし、Select File ウィンドウからデザイン・ファイルを選 択して "開く" ボタンをクリックします。
  - (2) "Add"ボタンをクリックして下部の枠内に登録してください。Select File ウィンドウにおいて同一フォ ルダから複数のデザイン・ファイルを一度に選択した場合には、"開く"ボタンをクリックするだけで、 下部の枠内にファイルが登録されます。

コンパイルに必要なデザイン・ファイルが複数のフォルダに分散して保存されている場合も、Add Files で登録をしてください。

もしプロジェクトを作成後にデザインを新規に作成あるいは追加する場合は、ここでは何も登録せずに次へ進んでください。プロジェクト作成後でも、デザイン・ファイルの登録や変更が行えます。

Add Files [pag Select the design file Note: you can alway File name:	ge 2 of 5] es you want to include in s add design files to the	the project project late	Click Add All to er.	レダのパスやファイル名 ら選択してください。	e project.
File Name taps.vhd state_m.vhd mult.vhd hvalues.v filtref.v accum.v acc.v	Type VHDL File VHDL File Verilog HDL File Verilog HDL File Verilog HDL File Verilog HDL File	Library	Design Entry/Synthesis Tool	HDL Version Default Default Default Default Default Default Default	Add All Remove Up Down Properties
		ibraries III	er Libraries		

図 4-4 Add Files ページ (New Project Wizard ダイアログボックス)

プロジェクトのフォルダ(作業フォルダ)内に、コンパイルに必要なデザイン・ファイルがすべて保存されて いる場合は、デザイン・ファイルの登録は必須ではありません。Quartus II 開発ソフトウェアはコンパイル時 に、プロジェクトにデザイン・ファイルが登録されていなくてもプロジェクト・フォルダ内を自動的に検索し、必 要なデザイン・ファイルを読み込む特性があります。しかし、プロジェクト・フォルダ内にファイル名は異なる がエンティティ名(モジュール名)が重複するデザイン・ファイルが複数存在している場合には、先に読み込 まれたデザイン・ファイルが適用されるため、ユーザの意向と異なったデザイン・ファイルが読み込まれてし まう可能性があります。そのため、Add Files により適切なデザイン・ファイルだけを登録することを推奨し ます。

Quartus II 開発ソフトウェアがサポートするデザイン・ファイルおよび Add Files に登録できる関連ファイルは、以下のとおりです。

VHDL Design Files (.vhd)	VHDL ファイル
Verilog HDL Design Files (.v)	Verilog HDL ファイル
SystemVerilog (. sv)	System Verilog ファイル
Schematic Block Design Files (. bdf)	Quartus II 専用回路図ファイル
Text Design File (.tdf)	AHDL ファイル
Verilog Quartus Mapping (.vqm)	ATOM レベルのネットリスト・ファイル

EDIF Input File (.edf)	EDA 合成ツールの出力ファイル
Quartus II IP File (.qip) <sup>**(2)</sup>	MegaWizard Plug-In Manager で生成したメガファ ンクションや IP のすべてのデザイン・ファイル・パ スを記載した環境ファイル
Qsys system File (. qsys)	Qsys システム・ファイル

<sup>※(2):</sup> MegaWizard Plug-In Manager や Qsys によりメガファンクションや IP を生成すると、HDL デザインと共に .qip ファイルが生成されます。HDL ファイルの代わりに .qip ファイルを Add Files に登録すると、メガファンクション あるいは IP に必要な HDL ファイルを全て登録したことに相当するため、複数ファイルで構成される IP をデ ザイン登録する際は、非常に簡単に設定することができます。また、.qip ファイルを Add Files に登録すると、IP Components タブ(Project Navigator ウィンドウ内) や Upgrade IP Components ダイアログボックス(Project メニ ュー) に表示され、管理がしやすくなります。

また、コンパイルに必要なデザイン・ファイルがプロジェクト・フォルダとは別のフォルダに保存されていて、 かつ同一フォルダ内にデザイン・ファイルが多数ある場合や、IP(Intellectual Property)を使用している場合 は、Add Files で登録せずにユーザ・ライブラリを指定することでデザイン・ファイルの登録が行えます。

ユーザ・ライブラリの登録方法は、以下のとおりです。

- (1) Add Files ページ内の "User Libraries" ボタンをクリックします。
- (2) User Libraries ダイアログボックス(図 4-5)において、Global libraries (all projects) または Project libraries いずれかに、目的のフォルダを選択および登録します。

Global libraries	Quartus II で開発するすべてのプロジェクトで有効
Project libraries	現在のプロジェクトのみで有効

User Libraries			×
Specify both project and global libraries, names in the order you want to search th and global libraries can contain user-defi supplied megafunctions, Block Symbol Fil Include Files.	List the nem. B ned or les, an	e library oth project vendor- d AHDL	
Global libraries (all projects)			
Global library name:		Add	
Libraries:		Remove	
		Up	
		Down	
Project libraries			
Project library name:		Add	
Libraries:		Remove	
e:\design\work\a5gxsdi\sdi-library		Up	
		Down	

図 4-5 User Libraries ダイアログボックス

6. Family & Device Settings [Page 3 of 5] ページ(図 4-6)では、ターゲット・デバイスを選択します。

To determine the ver								
	sion of the Quartus II	software in	which your tarç	get device is support	ed, refer to	o the <u>Device Support</u>	<u>List</u> webpa	ige
Device family				Show in 'Available o	levices' list			
Family: Cyclone V (E/GX/GT/SX/SE/ST)			•	Package:	FBGA		-	-
Devices: All			•	Pin count: 896			- -	
Townshides				Core Speed grade:	Any			-
larget device				Nama filtari	,			5
O Auto device sele	cted by the Fitter			Name miter.				
Specific device s	elected in 'Available d	levices' list		🔽 Show advanced	devices			
<ul> <li>Specific device s</li> <li>Other: n/a</li> <li>wailable devices:</li> </ul>	elected in 'Available d	levices' list		V Show advanced	devices			
Specific device s     Other: n/a     Available devices:     Name	elected in 'Available d Core Voltage	levices' list ALMs	User I/Os	Show advanced     GXB Channel	devices	GXB Channel PCS	PCIe	1 ^
<ul> <li>Specific device s</li> <li>Other: n/a</li> <li>wailable devices:</li> <li>Name</li> <li>5CEFA7F31C8</li> </ul>	core Voltage	ALMs 56480	<b>User I/Os</b> 480	Show advanced     GXB Channel     0	devices	GXB Channel PCS	PCIe 0	1
<ul> <li>Specific devices</li> <li>Other: n/a</li> <li>wailable devices:</li> <li>Name</li> <li>SCEFA7F31C8</li> <li>SCEFA7F3117</li> </ul>	Core Voltage 1.1V 1.1V	ALMs 56480 56480	<b>User I/Os</b> 480 480	Show advanced  GXB Channel  O 0 0	devices PMA 0 0	GXB Channel PCS	<b>PCIe</b> 0 0	
Specific devices     Other: n/a  vailable devices:     Name SCEFA7F31C8 SCEFA7F3117 SCEFA7F3117ES	Elected in 'Available d Core Voltage 1.1V 1.1V 1.1V	ALMs 56480 56480 56480 56480	<b>User I/Os</b> 480 480 480	Show advanced           GXB Channel           0           0           0	devices	GXB Channel PCS	<b>PCIe</b> 0 0 0	
Specific devices     Other: n/a      Name     SCEFA7F31C8     SCEFA7F3117     SCEFA7F3117     SCEFA7F3127	Core Voltage 1.1V 1.1V 1.1V 1.1V	ALMs           56480           56480           56480           113560	User I/Os 480 480 480 480 480	Show advanced           GXB Channel           0           0           0           0           0           0           0           0           0           0           0	devices	GXB Channel PCS	PCIe 0 0 0 0 0	- III
Specific devices     Other: n/a     Name     SCEFA7F31C8     SCEFA7F3117     SCEFA7F3117     SCEFA7F3117     SCEFA9F31C7     SCEFA9F31C8	Core Voltage 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V	ALMs           56480         56480           56480         56480           56480         113560	User I/Os 480 480 480 480 480 480	<ul> <li>GXB Channel</li> <li>GXB Channel</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> </ul>	devices	GXB Channel PCS	<ul> <li>PCIe</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> </ul>	
Specific device s     Other: n/a     Name     SCEFA7F31C8     SCEFA7F317     SCEFA7F317     SCEFA9F31C8     SCEFA9F31C8     SCEFA9F317	Eventee Core Voltage	ALMs 56480 56480 56480 113560 113560	User I/Os 480 480 480 480 480 480 480	<ul> <li>GXB Channel</li> <li>GXB Channel</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> </ul>	devices  PMA  0  0  0  0  0  0  0  0  0  0  0  0  0	GXB Channel PCS	<ul> <li>PCIe</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> </ul>	
Specific devices     Other: n/a     wailable devices:         Name     SCEFA7F31C8     SCEFA7F317E     SCEFA7F317E     SCEFA7F31C7     SCEFA9F31C7     SCEFA9F31C7     SCEFA9F31C7	Evelected in 'Available d Core Voltage 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V	ALMs 56480 56480 56480 113560 113560 113560 56480	User 1/0s 480 480 480 480 480 480 522	<ul> <li>GXB Channel</li> <li>GXB Channel</li> <li>O</li> <li>O<!--</td--><td>devices  PMA  0  0  0  0  0  0  0  0  0  0  0  0  0</td><td>GXB Channel PCS</td><td><ul> <li>PCIe</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>2</li> <li>-</li> </ul></td><td></td></li></ul>	devices  PMA  0  0  0  0  0  0  0  0  0  0  0  0  0	GXB Channel PCS	<ul> <li>PCIe</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>2</li> <li>-</li> </ul>	
Specific devices     Other: n/a     wailable devices:         Name     SCEFA7F31C8     SCEFA7F317     SCEFA9F31C7     SCEFA9F31C8     SCEFA9F317     SCEFA9F317     SCEFA9F317	Core Voltage Core Voltage 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1	ALMs 56480 56480 56480 113560 113560 113560 56480 56480	User 1/0s 480 480 480 480 480 522 522 522	<ul> <li>GXB Channel</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>9</li> <li>9</li> </ul>	devices  PMA 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	GXB Channel PCS	PCIe 0 0 0 0 0 0 0 2 2 2	
Specific devices     Other: n/a     Available devices:     Name     SCEFA7F31C8     SCEFA7F3117     SCEFA9F31C7     SCEFA9F31C7     SCEFA9F3117     SCEFA9F3117     SCEFA9F3117     SCEFA9F3117     SCEFFD7D5F3117     SCEFFD7D5F3117     SCEFFD9E5F31C7	Core Voltage Core Voltage 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1	ALMs 56480 56480 56480 113560 113560 113560 56480 56480 113560	User I/Os 480 480 480 480 480 480 522 522 522 536	<ul> <li>GXB Channel</li> <li>GXB Channel</li> <li>0</li> <li>0</li> <li>0</li> <li>0</li> <li>9</li> <li>9</li> <li>12</li> </ul>	devices	GXB Channel PCS	PCIe 0 0 0 0 0 0 0 2 2 2 2 2	

図 4-6 Family & Device Settings ページ (New Project Wizard ダイアログボックス)



Family & Device Settings ページの各項目は以下のとおりです。

● Device family (選択必須)

#### デバイス・ファミリを選択します。

Device fami	ly -	
Family: Cy	clone V (E/GX/GT/SX/SE/ST) 🔹	
Devices:	All	図 4-7

Family	デバイス・ファミリを選択します。
Devices <sup>**(3)</sup>	選択したファミリにおいて、さらにシリーズを指定して選定できます。

※(3): Stratix<sup>®</sup> V, Arria<sup>®</sup> V, Cyclone<sup>®</sup> V, Stratix IV のみ指定可能。

#### Target device (選択必須)

#### 型番を選択する方法を選択します。

-Target device

- 🔘 Auto device selected by the Fitter
- Specific device selected in 'Available devices' list
- 🔘 Other: n/a

図 4-8

Auto device selected by the Fitter $*^{(4)}$	Quartus II に最適な型番を自動で選択させる場合はこち らを選択。
Specific device selected in 'Available devices' list	希望する型番を Available devices 欄からユー ザが指定する場合はこちらを選択。

※(4): Stratix V、Arria V、Cyclone V ファミリは選択できません。

• Show in 'Available devices' list

希望するデバイス型番の条件を選択します。指定した条件に適合した型番のみが 'Available devices' list に表示されます。

Show in 'Available d	evices' list	
Package:	FBGA	
Pin count:	896 🔹	
Core Speed grade:	Any 🔻	
Name filter:		
📝 Show advanced (	devices	図 4-9

Package	パッケージのタイプを指定
Pin count	パッケージのピン数を指定

### Quartus II - プロジェクトの管理 ELSENA

Core Speed grade	スピード・グレードを指定
Name filter	型番の一部のキーワードを入力(ワイルドカードの使用可)
Show advanced devices	Advanced デバイス <sup>※(5)</sup> を表示/非表示する

※(5): Advanced デバイスは、近い将来リリースされる予定の型番のことです。Quartus II 開発ソフトウェアでコンパ イルやタイミング解析は行えますが、このバージョンの Quartus II 開発ソフトウェアではプログラミング・ファイ ルは生成されません。

#### • Available devices

一覧から希望するデバイス型番を選択します。

Available devices:

Name	Core Voltage	ALMs	User I/Os	GXB Channel PMA	GXB Channel PCS	PCIe (
5CEFA7F31C8	1.1V	56480	480	0	0	0
5CEFA7F31I7	1.1V	56480	480	0	0	0
5CEFA7F31I7ES	1.1V	56480	480	0	0	0
5CEFA9F31C7	1.1V	113560	480	0	0	0
5CEFA9F31C8	1.1V	113560	480	0	0	0
5CEFA9F31I7	1.1V	113560	480	0	0	0



- 7. EDA Tool Settings [Page 4 of 5] ページ(図 4-11)では、プロジェクト開発において Quartus II 開発ソフトウェ ア以外に必要な EDA ツールがある場合に、そのツールとインタフェースを図るための設定をします。
  - (1) 使用する Tool Type 行の Tool name より、ツール名を選択します。
  - (2) Format(s) より、ファイル形式を選択します。

🛊 New Project Wizard				X
EDA Tool Setting	s [page 4 of 5]			
Specify the other EDA tools used with the Quartus II software to develop your project.				
EDA tools:				
Tool Type	Tool Name	Format(s)		Run Tool Automatically
Design Entry/Synthesis	<none> •</none>	<pre><none></none></pre>	-	🗌 Run this tool automatically to synthesize the current desi
Simulation	QuestaSim 🔻	VHDL	•	🔲 Run gate-level simulation automatically after compilation
Formal Verification	<none> •</none>	•		
Board-Level	Timing	<none></none>	•	
	Symbol	<none></none>	•	
	Signal Integrity	<none></none>	-	
	Boundary Scan	<none></none>	-	

図 4-11 EDA Tool Settings ページ (New Project Wizard ダイアログボックス)

	Design Entry/Synthesis	ynthesis 論理合成ツール	
	Simulation HDL 言語 シミュレータ		
	Formal Verification	等価検証ツール	
Board-Level 基板シミュレー		基板シミュレーションなど	

なお、使用する Quartus II 開発ソフトウェアとインタフェースが可能な EDA ツールおよびバージョンは、 Documentation: Release Notes の "EDA Interface Information" に掲載されていますので、必ず確認の上ご 利用ください。また、Quartus II 開発ソフトウェアの旧バージョンのリリース・ノートは、Documentation Archive よりご覧ください。



8. Summary [Page 5 of 5] ページ(図 4-12)において、設定してきた内容を一覧で確認し、"Finish" ボタンをク リックします。なお、プロジェクト名以外はプロジェクト作成後でも変更が可能です。

💱 New Project Wizard	
Summary [page 5 of 5]	
When you click Finish, the project will be created with t	he following settings:
Project directory: Project name:	E:\altera_work\sample_prj filtref
Top-level design entity: Number of files added: Number of user libraries added:	filtref 7 0
Device assignments: Family name:	Cyclone V (E/GX/GT/SX/SE/ST)
Device: EDA tools:	5CEBA5F23C7
Design entry/synthesis:	<none> (<none>)</none></none>
Simulation:	QuestaSim (VHDL)
Timing analysis: Operating conditions:	0
Core voltage:	1.1V
Junction temperature range:	0-85 °C
	< Back Next > Finish Cancel Help

図 4-12 Summary ページ (New Project Wizard ダイアログボックス)

プロジェクト作成後にプロジェクトが設定されると、Quartus II 開発ソフトウェアの画面上部(タイトルバー)(図 4-13)に以下の情報が表示されます。

※(6): リビジョンとは、同一プロジェクト内において新たな制約やコンパイル・オプションを試行できる環境のことです。デフ オルトのリビジョン名は、初期に作成したプロジェクト名になります。詳細は、本資料 "8. リビジョンの使用"をご覧く ださい。

また、Quartus II 開発ソフトウェアの画面左上の Project Navigator ウィンドウ(Hierarchy タブ)(図 4-13)には、プロジェクト作成時に指定したデバイス型番と最上位階層のエンティティ名(モジュール名)が表示されます。

プロジェクト・フォルダのパス/プロジェクト名
🥨 Quartus II 64-Bit - E:/altera_work/sample_prj/filtret - filtref 🕶 リビジョン名
File Edit View Project Assignments Processing Tools Window Help 🐬
🗄 🗋 🧭 🗔 🧊 🕺 🖻 🛍 🔊 (*) 🚺 filtref 💿 💌 😵 🖌 🏈 🎙
🛛 🗇 🔁 🖬 🦃 🐥 📝 🕸 🕐 😵 😰 💕 🛸 🧇 発 🏹 🏹 🕸 🚳 🛲 🔳 🐌 🚣
Project Navigator 🛛 🕹 🖉 🗶
Entity Cyclone V: 5CEBA5F23C7 参 filtref 插 最上位階層のエンティティタ
🝐 Hierarchy 📄 Files 🧬 Design Units 🔆 IP Compc 🕢 🕨
Tasks 🕴 🛱 🛪
Flow: Compilation

同様に、作業フォルダには Quartus II プロジェクト・ファイル(.qpf)と、コンパイル時に適用されるオプション設定 などが記録される Quartus II セッティング・ファイル(.qsf)が自動で生成されます(図 4-14)。これら、プロジェクトに 関わるファイルについては、本資料 "7. プロジェクトとファイル" をご覧ください。



図 4-14 プロジェクトのフォルダ内

### 5. 既存プロジェクトの起動と終了

Quartus II 開発ソフトウェアはユーザ・デザインをプロジェクトで管理しています。目的のデザインに対する作業 を行う場合には、そのデザイン用に作成したプロジェクトを起動し、作業を継続します。また、目的のデザインに対 する作業を終了する際は、プロジェクトを終了させます。なお本資料では、Quartus II 開発ソフトウェアのメニュー バーを使用した操作方法でご紹介します。

### 5-1. 既存プロジェクトの起動方法

すでに作成されたプロジェクトを起動するには、以下の手順で行います。

1. File メニュー  $\Rightarrow$  Open Project を選択します。

	😋 Q	uartus II 64-Bit		
	File	Edit View Project	Assignments Proces	sing Tools Wi
		New	Ctrl+N	
	2	Open	Ctrl+0	A 2 7 7
		Close	Ctrl+F4	
		New Project Wizard		
I	1	Open Project	Ctrl+J	
		Save Project		
		Close Project		

図 5-1 Open Project (File メニュー)

2. 作業フォルダから目的のプロジェクト・ファイル(プロジェクト名.qpf)を選択し、"開く"ボタンをクリックします。

Open Project	
✓ ✓ ✓ ✓ ✓ ✓ ✓ ✓ ✓ ✓ ✓ ✓ ✓ ✓ ✓ ✓ ✓ ✓ ✓	★ sample_prjの検索 ♀
整理 ▼ 新しいフォルダー	
altera_work	
🐌 sample_prj	自動で *.qpf ファイルのフィルタが適応
🕌 db	
🍌 incremental_db	
🍱 c3hh cample design 👛	
ファイル名(N): filtref.qpf 🗸 🗸	Quartus II Project File (*.qp 👻
	聞く(0) キャンセル

図 5-2 Open Project ダイアログボックス

3. Quartus II 開発ソフトウェアのタイトルバーに、選択したプロジェクト名および作業フォルダのパスが表示されているかを確認します。

[補足] Windows エクスプローラからプロジェクトを起動する

Windows エクスプローラなどのファイル管理ツールから目的のプロジェクトの qpf ファイルをダブルクリックす ることで、Quartus II 開発ソフトウェアが起動していなくても自動的に起動し、指定したプロジェクトが設定できます。 ただし、使用するパソコンにバージョンの異なる Quartus II 開発ソフトウェアが複数インストールされている場合は、 最後に使用したバージョンの Quartus II 開発ソフトウェア上で指定したプロジェクトが起動します。そのため、注意 が必要です。詳細は、本資料 "5-2. 既存プロジェクトを起動する際の注意点"を必ずご確認ください。

#### 5-2. 既存プロジェクトを起動する際の注意点

すでに作成されたプロジェクトを起動させる際に、そのプロジェクトを作業していた Quartus II 開発ソフトウェア の バージョンと、プロジェクトを起動させる Quartus II 開発ソフトウェアのバージョンが異なる(例えば、過去 Quartus II 開発ソフトウェア v13.1.4 で作業していたプロジェクトを Quartus II 開発ソフトウェア v14.0 で起動させようとする) 場合、以下のように警告のメッセージ・ウィンドウが表示されます。

🔇 Quart	tus II	×
<u> </u>	Do you want to overwrite the database for revision "E:/altera_work/sample_prj/filtref.qpf" created by Quartus II 64-Bit Version 13.1.4 Build 182 03/12/2014 SJ Full Version?	
	Yes No	

図 5-3 警告メッセージ

これは、プロジェクト・フォルダ内の既存データベース情報(db フォルダや incremental\_db フォルダ)を、起動する Quartus II 開発ソフトウェアのバージョン用のデータベース情報に上書きして良いかを促すメッセージです。

"Yes" ボタンをクリックすると、プロジェクト・フォルダ内の既存データベース情報は消去されます。データベース情報が消去されると論理合成や配置配線の結果などがリセットされ、再度やり直す必要がありますのでご注意ください。

"No"ボタンをクリックすると、既存データベース情報は保持され、指定したプロジェクトは起動しません。

Windows エクスプローラからダブルクリックによりプロジェクトを起動させた場合も同様です。なお、Windows エクスプローラ以外のファイル管理ツールを使用している場合は、警告メッセージが表示されず強制的にそのパソコンで最後に起動していた Quartus II 開発ソフトウェアのバージョン上でプロジェクトが起動してしまい、データベース情報が気づかずに消去されてしまう場合がありますのでご注意ください。

もし、バージョンの異なる Quartus II 開発ソフトウェアでもデータベースを消去せずに既存プロジェクトを開くには、 バージョン互換のデータベースを生成する必要があります。詳細は本資料 "11. バージョン互換のデータベース" をご覧ください。

### 5-3. 既存プロジェクトの終了方法

🛆 ALTIMA

起動中のプロジェクトの作業を終了させるには、以下の手順で行います。

1. File メニュー ⇒ Close Project を選択します。(図 5-4)

😂 Q	uartus II 64-Bit - E:/altera	_work/sample_prj/fi	iltref - filtr	ef	
File	Edit View Project	Assignments Pr	rocessing	Tools	Window
	New	Ctrl+N			+
1	Open	Ctrl+0	<u></u>	2 🕫	27 🐼 🕅
	Close	Ctrl+F4	~	~ ~ La	
8	New Project Wizard				-
1	Open Project	Ctrl+J			
	Save Project				
	Close Project				
	Caua	Ctyling			

図 5-4 Close Project (File メニュー)

Quartus II 開発ソフトウェアのタイトルバーにプロジェクト・フォルダのパス、プロジェクト名、およびリビジョン名が表示されてなくブランク(空欄)で、かつ Quartus II 開発ソフトウェアの画面左上の Project Navigator ウィンドウ(Hierarchy タブ)がブランクであれば、プロジェクトは終了しています。(図 5-5)



図 5-5 タイトルバーと Project Navigator ウィンドウ

### 6. 既存プロジェクトの設定変更

プロジェクト作成後、設定した内容(例えばデザイン・ファイルの追加・削除、デバイス型番の変更など)を変更す ることができます。変更が必要な場合には、以下の操作でそれぞれ編集を行ってください。

なお、プロジェクト名は一度作成すると変更することはできません。そのため、別途新規でプロジェクトを作成し 直す、または Copy Project(Project メニュー)からプロジェクトのコピーを行い、その際にプロジェクト名を変更する などの対応が必要です。Copy Project については、本資料 "9. プロジェクトの複製" をご覧ください。

### 6-1. デザイン・ファイルの登録変更

- 1. Project メニュー  $\Rightarrow$  Add/Remove Files in Project を選択します。
- 2. Files カテゴリが指定された環境で Settings ダイアログボックスが起動します。(図 6-1)

ategory:						Device.
Files Libraries IP Settings IP Catalog Search Locations	Files Select the design file project directory to File name:	es you want to inclu the project.	ude in the	: project. Click Add All to add all	design file	s in the
Voltage Temperature Compilation Process Settings Incremental Compilation Physical Synthesis Optimizatior EDA Tool Settings Design Entry/Synthesis	File Name taps.vhd state_m.vhd mult.vhd hvalues.v filtref.v	Type VHDL File VHDL File VHDL File Verilog HDL File Verilog HDL File	Library	Design Entry/Synthesis Tool <none> <none> <none> <none> <none> <none></none></none></none></none></none></none>	HDL \ Defau Defau Defau Defau Defau	Add All Remove
Simulation Formal Verification Board-Level Analysis & Synthesis Settings VHDL Input Verilog HDL Input	accum.v acc.v	Verilog HDL File Verilog HDL File		<vone> <none></none></vone>	Defau Defau	Properties

図 6-1 Files ページ (Settings ダイアログボックス)

3. ダイアログボックスの右に位置する "Add"、"Remove" ボタンにより登録するデザイン・ファイルを変更します。

デザイン・ファイルを追加する場合は、ブラウズ・ボタンをクリックしデザイン・ファイルを選択後、"開く" ボタンならびに "Add" ボタンをクリックします。

デザイン・ファイルを削除する場合は、File name 下部の枠内から目的のデザイン・ファイルを選択し、 "Remove" ボタンをクリックします。

4. VHDL でパッケージ・ファイルをデザイン・ファイルよりも優先的に読み込ませるなど、デザイン・ファイル の読み込み順を指定する場合には、"Up"/"Down" ボタンにより上下入れ替えを行ってください。なお、上 位に登録されているファイルから読み込まれます。 6-2. ユーザ・ライブラリの変更

\Lambda ALTIMA 🗧

- 1. Project メニュー  $\Rightarrow$  Add/Remove Files in Project、または Assignments メニュー  $\Rightarrow$  Settings を選択します。
- 2. 起動した Settings ダイアログボックスのカテゴリを Libraries に切り替えます。(図 6-2)

P Settings - 📲 📰	
Category:	Device
General	Libraries
<ul> <li>IP Settings <ul> <li>IP Catalog Search Locations</li> <li>Operating Settings and Conditions Voltage <ul> <li>Temperature</li> </ul> </li> <li>Compilation Process Settings <ul> <li>Incremental Compilation</li> <li>Physical Synthesis Optimizatior</li> </ul> </li> <li>EDA Tool Settings <ul> <li>Design Entry/Synthesis</li> <li>Simulation</li> <li>Formal Verification</li> <li>Board-Level</li> </ul> </li> <li>Analysis &amp; Synthesis Settings <ul> <li>VHOL Input</li> <li>Default Parameters</li> <li>Fitter Settings</li> <li>TimeQuest Timing Analyzer</li> <li>Analyzer Interface</li> <li>PowerPlay Power Analyzer Setting:</li> <li>SSN Analyzer</li> </ul> </li> </ul></li></ul>	Specify both project and global libraries. List the library names in the order you want to search them. Both project and global libraries can contain user-defined or vendor-supplied megafunctions, Block Symbol Files, and AHDL Include Files. Global libraries (all projects) Global library name: Libraries: Project libraries Project libraries Libraries: Project libraries Project libraries Project library name: Libraries: Project library name: Component of the second of the seco
4 III >	OK Cancel Apply Help

図 6-2 Libraries ページ (Settings ダイアログボックス)

3. ライブラリを追加する場合は、ブラウズ・ボタンをクリックしフォルダを選択後、"フォルダの選択"ボタンをク リックします。ライブラリを削除する場合は、枠内から目的のフォルダ・パスを選択し、"Remove"ボタンをク リックします。

Global libraries (all projects)、Project libraries に関しては、本資料9ページの "ユーザ・ライブラリの登録方法" をご参考ください。

6-3. ターゲット・デバイス型番の変更

\Lambda ALTIMA 🗕

- 1. Assignments メニュー ⇒ Device を選択します。
- 変更するデバイス・ファミリおよび型番を選択します。(図 6-3) このダイアログボックスの操作については、 本資料 10 ページの "Family & Device Settings [Page 3 of 5] ページ"の説明をご覧ください。

Device family Show in 'Avai Family: Cyclone V (E/GX/GT/SX/SE/ST)   Package:	ilable devices' list			
Family: Cyclone V (E/GX/GT/SX/SE/ST)   Package:	Any			
		•		
Devices:   All VIII Pin count:	Any			
Target device	grade: Any	•		
Auto device celected by the Fitter				
Show adv	anced devices			
Specific device selected in 'Available devices' list				
Other: n/a Device and Pir	Device and Pin Ontions			
vailable devices:				
Name Core Voltage ALMs User I/Os GXB Channe	el PMA GXB Channe	el PCS PCIe (PIPE) F		
5CEBA4U19C7 1.1V 18480 224 0	0	0		
5CEBA4U19C8 1.1V 18480 224 0	0	0		
5CEBA5F23C7 1.1V 29080 240 0	0	0		
5CEBA5F23C8 1.1V 29080 240 0	0	0		
5CEBA5U19C7 1.1V 29080 224 0	0	0		
5CEBA5U19C8 1.1V 29080 224 0	0	0		
	0	0		
5CEBA7F23C7 1.1V 56480 240 0	Ÿ			
5CEBA7F23C7 1.1V 56480 240 0 5CEBA7F23C8 1.1V 56480 240 0	0	0		
SCEBA7F23C7         1.1V         56480         240         0           SCEBA7F23C8         1.1V         56480         240         0           SCEBA7F27C7         1.1V         56480         336         0	0	0		
5CEBA7F23C7         1.1V         56480         240         0           5CEBA7F23C8         1.1V         56480         240         0           5CEBA7F27C7         1.1V         56480         336         0           5CEBA7F27C8         1.1V         56480         336         0	0 0 0	0 0 0		

図 6-3 Device ダイアログボックス

Device ダイアログボックスの左下に位置する "Migration Devices" ボタンは、デバイス・マイグレーション設定のためのボタンです。アルテラ社 FPGA および CPLD の同一デバイス・ファミリ内において、同一パッケージであれば集積度の異なるデバイスに基板改版をすることなく置き換えをすることができ、アルテラではそのことをデバイス・マイグレーションと表現しています。

デバイス・マイグレーションの詳細は、担当する各代理店の技術情報サイトにおいて以下のタイトル資料を ご参考ください。

```
『アルテラ社 FPGA/CPLD デバイス・マイグレーション』
```

#### 6-4. EDA ツールの変更

- 1. Assignments  $\vee = \neg \rightarrow$  Settings を選択します。
- 2. 起動した Settings ダイアログボックスのカテゴリを EDA Tool Settings に切り替えます。
- 3. ツール名およびファイル・フォーマットの変更であれば、該当する項目を選択し直してください。(図 6-4)

P Settings -				- • •		
Category:				Device		
General	EDA Tool Settings					
Files Libraries	Specify the other EDA tools used with the Quartus II software to develop your project.					
<ul> <li>IP Settings</li> </ul>	EDA tools:					
IP Catalog Search Locations Operating Settings and Conditions	Teel Tues	Teel Neere	En une at/a)	Due Teel Automatically		
Voltage	Decise Estry/Sys		<pre>rumat(s)</pre>	Run this tool automat		
Temperature	Simulation	QuestaSim		Run dits don adoma		
Incremental Compilation	Formal Verification	<none></none>	Verilog HDL	Ran gate lever simal		
Physical Conthecis Optimization	Board-Level	Timing	SystemVerilog HDL			
Design End y/Synthesis		Symbol	<none></none>			
Simulation		Signal Integrity	<none></none>			
Board-Level		Boundary Scan	<none> 🔻</none>			
Analysis & Synthesis Settings VHDL Input Default Parameters Fitter Settings TimeQuest Timing Analyzer Assembler Design Assistant SignalTap II Logic Analyzer Logic Analyzer Interface PowerPlay Power Analyzer Setting: SSN Analyzer	•	111		P		
4			OK Cancel	Apply Help		

図 6-4 EDA Tool Settings ページ (Settings ダイアログボックス)

4. 各ツールに対するオプションなどの詳細を設定(変更)する場合には、カテゴリをさらに選択し各項目を設 定してください。(図 6-5)このダイアログボックスの詳細は、担当する各代理店の技術情報サイトにおいて以 下のタイトル資料をご参考ください。

ettings	
ategory:	Device.
General Files Libraries D P Settings Orperating Settings and Conditions Compilation Process Settings EDA Tool Settings Dosign END (7) Synthesis Simulation Formar vennecation Board-Level Analysis & Synthesis Settings VHDL Input Verilog HDL Input Default Parameters Fitter Settings TimeQuest Timing Analyzer Assembler Design Assistant SignalTap II Logic Analyzer Logic Analyzer Interface PowerPlay Power Analyzer Setting: SSN Analyzer	Simulation Specify options for generating output files for use with other EDA tools. Tool name: QuestaSim Run gate-level simulation automatically after compilation EDA Netlist Writer settings Format for output netlist: VHDL Time scale: 100 us Output directory: simulation/modelsim Map illegal HDL characters Output directory: simulation Generate Value Change Dump (VCD) file script Script Settings Design instance name: More EDA Netlist Writer Settings NativeLink settings NativeLink settings None Compile test bench: Test Benches
	Use script to set up simulation:

図 6-5 Simulation ページ (Settings ダイアログボックス)

#### 6-5. 最上位階層デザインの変更

Quartus II 開発ソフトウェアは、プロジェクト作成時に設定した最上位階層デザインをコンパイルなどのプロセス 実行の対象とします。現在使用しているプロジェクトにおいて、最上位階層のデザイン・ファイルが別のファイルに 変更になった、あるいは一時的に下位階層デザインを最上位階層デザインと見立てたい場合など、プロセス実行 の対象となる最上位階層デザインを変更することが可能です。

下位階層デザインを最上位階層デザインと見立て、最上位階層のデザインを変更する場合は、以下の操作で変更します。(図 6-6)

- 1. Assignments  $\vee = \neg \rightarrow$  Settings を選択します。
- 2. 起動した Settings ダイアログボックスのカテゴリを General に切り替えます。
- 3. Top-level entity 欄の右横にあるブラウズ・ボタンをクリックし、Select Entity ダイアログボックスを表示します。
- 4. Select Entity ダイアログボックスに表示されたエンティティから、一時的に最上位階層にするエンティティを 選択し、OK ボタンをクリックします。

General	General
Files         Libraries         IP Settings         IP Catalog Search Locations         Operating Settings and Conditions         Voltage         Temperature         Compilation Process Settings         Incremental Compilation         Physical Synthesis Optimization         EDA Tool Settings         Design Entry/Synthesis         Simulation         Formal Verification         Board-Level         Analysis & Synthesis Settings         VHDL Input         Verilog HDL Input         Default Parameters         Fitter Settings         TimeQuest Timing Analyzer         Assembler         Design Assistant         SignalTap II Logic Analyzer         Logic Analyzer Interface         PowerPlay Power Analyzer Setting:         SSN Analyzer	You can change the top-level entity for the design; however, it is recommended that you create new revision for each entity in order to maintain settings information. Top-level entity: Recently selected top-level entities: Description: Select Entity work acc accum filtref hvalues mult state_m taps Design Units OK Cancel Help

図 6-6 General ページ (Settings ダイアログボックス)および Select Entity ダイアログボックス

#### 5. プロジェクト名は変更なく、最上位階層エンティティのみが変更されます。(図 6-7)



図 6-7 最上位階層エンティティが変更された Hierarchy タブ(Project Navigator ウィンドウ)



6. 最終的にコンパイルを実行する際に再び最上位階層エンティティへ切り替えるときは、1~5の操作を繰り返してください。

プロジェクトの下位階層デザインではないデザインを最上位階層デザインに変更する場合は、以下の操作で変更 します。なお、この方法で先ほどの下位階層デザインを最上位階層デザインに変更することも可能です。

- 1. File メニュー ⇒ Open を選択し、最上位階層として扱いたいデザイン・ファイルを開きます。
- 2. 目的のデザイン・ファイルがアクティブになっている画面の状態で、Project メニュー ⇒ Set as Top-Level Entity を選択します。(図 6-8)

(					_			
🔇 Quartus II 64-Bit	- E:/al	tera_work/sample_p	rj/filtref - filtre	ef				
File Edit View	Proj	ect Assignments	Processing	Tools	Window	Help	Ţ	
		Add Current File to Add/Remove Files	Project in Project					
Project Navigator	đ	Revisions Copy Project						
A Cyclone V: 5CE     ✓    A M filtref 4     ✓    PM acc:acc_     ✓    PM hvalues:		Clean Project Archive Project Restore Archived F	roject					164.all; nsigned.all;
해영 mult:mu 해영 state_m 해영 taps:tap		Import Database Export Database						in std_logic; std_logic; it std_logic_vector(3 downto 0);
4		Import Design Part Export Design Part Generate Design P	tition ition artition Script	s				<pre>out std_logic_vector( 6 downto 0); out std_logic_vector( 6 downto 0) );</pre>
A Hierarchy		Generate Tcl File fo Generate PowerPla	or Project Iy Early Powe	r Estimat	tor File			top_design is
Tasks Flow: Compilation		Upgrade IP Compo	inents					std_logic; std_logic;
		Organize Quartus I	I Settings File	•				utstd_logic);
? ▲ ► Com	8	Set as Top-Level E	ntity		C	Ctrl+Shi	ft+J	
?         ▷         ▷         ►           ?         ▷         ►         ►         ►           ?         ▷         ►         ►         ►	itter (i ssemt	Hierarchy Mace & Route) bler (Generate prog	ramming file	24		aclr	• :	pr60 std_logic; in std_logic;

図 6-8 Set as Top-Level Entity (Project メニュー)

3. プロジェクト名は変更なく、最上位階層エンティティのみが変更されます。(図 6-9)



図 6-9 最上位階層エンティティが変更された Hierarchy タブ(Project Navigator ウィンドウ)

### 7. <u>プロジェクトとファイル</u>

プロジェクト作成後の作業フォルダには、プロジェクトを管理するための以下の2ファイルが自動的に生成されます。これらの内容は、Quartus II 開発ソフトウェアでプロジェクトを起動する際に参照・反映されます。

ファイル・ フォーマット	ファイル・タイプ	概要
.qpf	Quartus II プロジェクト・ファイル	プロジェクト名とプロジェクトのすべてのリビジョン名
.qsf	Quartus II 設定ファイル	デザインに適用されるすべてのアサインメント <sup>※(7)</sup>
		(ファイル・リスト、デバイス、合成・配置配線制約、ピンなどの
		レイアウト制約)

※(7): タイミング制約は含まれません。

Quartus II 開発ソフトウェアのプロジェクト・ファイル(.qpf)と Quartus II 設定ファイル(.qsf)は、テキスト・エディタ で閲覧することができます。記載内容を編集することも可能ですが、フォーマットに反した記述をした場合はその内 容は無視されますので注意が必要です。そのため、.qpf および .qsf ファイルの内容を変更するときには、Quartus II 開発ソフトウェア の GUI により設定を変更し、自動的に .qpf および .qsf ファイルに記録し反映させることを 推奨します。

Quartus II プロジェクト・ファイル(.qpf)は、1つのプロジェクトに対して1ファイル存在します。一方、Quartus II 設 定ファイル(.qsf)は、プロジェクトに作成されたリビジョンごと(<リビジョン名>.qsf)に存在します。よって、ユーザの プロジェクト環境により、1 つのプロジェクト内に .qsf ファイルが複数存在する場合があります。なお、リビジョンに ついては本資料 "8. リビジョンの使用"をご覧ください。

Quartus II 設定ファイル(.qsf)に記載される内容は、デフォルトでは記録されている内容がカテゴリごとに整理されておらず、見にくい状態にあります。そのため、整理したフォーマットに生成し直すことができます。

- 1. 該当するプロジェクトを起動後(File メニュー ⇒ Open Project)、該当するリビジョンに切り替えます。
- 2. Project メニュー ⇒ Organize Quartus II Settings File を選択します。(図 7-1)



図 7-1 Organize Quartus II Settings File (Project メニュー)



3. 以下のメッセージが表示され、内容を容認する場合は Yes ボタンをクリックします。(図 7-2)

このコマンドを実行すると、Quartus II 設定ファイルをカテゴリごとに整理するため再フォーマットします。ファイル内の 行の順序が変更され、ユーザが直接記述した # で始まるコメントを削除します。続行しますか?





File メニュー ⇒ Open により .qsf ファイルを開くと、カテゴリごとに整理されていることが確認できます。
 (図 7-3)



図 7-3 フォーマットを整理した .qsf ファイル

### 8. リビジョンの使用

Quartus II 開発ソフトウェアは、プロジェクトによりデザインを管理しています。もし、そのデザインに対してアサイメントやオプションを変更し試した場合は、以前のアサイメントや設定の内容は失われてしまいます。また、プロジェクトの作業フォルダを複製することで対応しようとすると、データの管理が煩雑になりがちです。

Quartus II 開発ソフトウェアはリビジョン機能をサポートしており、1 つのプロジェクト内において以前のアサイン メントや設定を失うことなく、デザインに対する新しいアサインメントおよび設定を作成することができます。また、リ ビジョンごとに作成した設定内容や結果を比較することも可能です。



図 8-1 リビジョンのイメージ

### 8-1. リビジョンの作成および削除

1 つのプロジェクトにリビジョンを複数作成した場合、すべてのアサインメントおよび設定の内容は、リビジョンご とに Quartus II 設定ファイル(.qsf)でソートされます。プロジェクトに新しいリビジョンを作成するたびに、Quartus II 開発ソフトウェア は新しい Quartus II 設定ファイル(<リビジョン名>.qsf)を作成し、Quartus II プロジェクト・ファイ ル(.qpf)のリビジョン・リストには新しいリビジョンの名前を追加します。

リビジョンは、Revisions ダイアログボックスで作成および削除などの管理をします。なお、リビジョンを作成および削除するには、プロジェクトが作成されている必要があります。

### 8-1-1. リビジョンの作成

リビジョンを作成するには、以下のステップで行います。

1. File メニュー  $\Rightarrow$  Open Project により、プロジェクトを開きます。

2. Project メニュー  $\Rightarrow$  Revisions をクリックします。Revisions ダイアログボックス(図 8-2)が起動します。

💱 Revisions						
Specify the current revision, or edit the	Specify the current revision for the project, create a new revision, delete an existing revision, or edit the description of a revision.					
Revisions:						
Revision Name	Top-level Entity	Family	Device	Mee	Set Current	
✔ filtref	filtref	Cyclone V	5CEBA5F23C7		Delete	
< <new revision="">&gt;</new>						
					Compare	
4				•		
		ОК Са	ncel Appl	ly 🗌	Help	

図 8-2 Revisions ダイアログボックス

- 3. Revision Name 欄の <<new revision>> をダブルクリックします。
- 4. Create Revision ダイアログボックス(図 8-3)において、Revisions name 欄に新しいリビジョンの名前を入力 します。
- 5. Based on revision リストより、新規で作成するリビジョンの基となる既存のリビジョンを選択します。
- 6. 必要に応じて Description 欄にリビジョンの説明を入力することができます。

😋 Create Revision	<b>X</b>			
Specify a name and description for the new revision. You can base the revision on an existing revision, and specify the revision as the current revision.				
Revision name:	filtref_A			
Based on revision:	filtref 🔹			
Description:				
Created on:jú, 6 1 Based on:filtref	8, 2014			
📝 Copy database				
Set as current revision				
ок	Cancel Help			

図 8-3 Create Revision ダイアログボックス

- 7. 新しいリビジョンに既存のリビジョンからのデータベース情報を含めたくない場合は、Copy database オプションを OFF にします。Copy database オプションはデフォルトでは ON に設定されています。
- 8. 新しいリビジョンをすぐに使用しない場合は、Set as current revision オプションを OFF にします。Set as current revision オプションはデフォルトでは ON に設定されています。
- 9. Create Revision ダイアログボックスの OK ボタンをクリックし、リビジョンを作成します。



10. Revisions ダイアログボックスのリストに、作成したリビジョンが表示されます。(図 8-4)

😋 Revisions						
Specify the current rev revision, or edit the det などの作業対象となる)リビジョンを表します。						
Revisions:	/					
Revision Name	Top-level Entity	Family	Device	Meet Tin	Set Current	
filtref_A	filtref	Cyclone V	5CEBA5F23C7		Delete	
filtref	filtref	Cyclone V	5CEBA5F23C7		Compare	
< <new revision="">&gt;</new>						
•	III			4		
		ок	Cancel	Apply	Help	

図 8-4 Revisions ダイアログボックス

11. Revisions ダイアログボックスの OK ボタンをクリックし、リビジョンの作成を終了します。

#### 8-1-2. リビジョンの削除

リビジョンを削除するには、以下のステップで行います。

- 1. File メニュー  $\Rightarrow$  Open Project により、プロジェクトを開きます。
- 2. Project メニュー ⇒ Revisions をクリックします。Revisions ダイアログボックスが起動します。
- Revisions ダイアログボックスの Revisions リストから削除したいリビジョンを選択し、Delete ボタンをクリックします。(図 8-5)なお、現在のリビジョンがアクティブのときには削除できません。別のリビジョンを開いておかなければなりません。

💱 Revisions					
Specify the current revision, or edit the	revision for the pro description of a rev	ject, create vision.	a new revision,	delete an	existing
Revisions:					
Revision Name	Top-level Entity	Family	Device	Meet Tin	Set Current
🗸 filtref_A	filtref	Cyclone V	5CEBA5F23C7		Delete
filtref	filtref	Cyclone V	5CEBA5F23C7		Compare
< <new revision="">&gt;</new>					
•	III			۱.	
		ок	Cancel	Apply	Help

図 8-5 Revisions ダイアログボックス

4. Revisions ダイアログボックスの OK ボタンをクリックし、リビジョンの削除を終了します。

### 8-2. リビジョンの切り替え

\Lambda ALTIMA 🛛

プロジェクトに対して複数リビジョンを作成した場合、実際に作業を行うリビジョン環境に切り替える必要があります。リビジョンを指定すると、そのリビジョン用のアサインメントおよび設定環境(.qsf)が自動的に適応されます。

切り替え方法は、"リビジョン・リストで切り替える方法"と "Revisions ダイアログボックスで切り替える方法" のいずれかです。

リビジョンは手軽な操作で切り替えられるため、必ずリビジョン名を確認してから作業してください。

- ◆ リビジョン・リストで切り替える方法
  - 1. Quartus II 開発ソフトウェアのツールバーにあるリビジョン・リストをクリックし、プルダウン・リストに既存のリビジョン一覧を表示(図 8-6)させます。

	プロジェクト・フォルダのパス/プロジェクト名 - 現在のリビジ	シン名
1	💱 Quartus II 64-Bit 🚺 🚺 👘 👘 🥵 🥵 🥵 🥵 🥵 🥵 🥵 🖓 👘 👘 👘 👘 👘 👘 👘 👘 👘 👘 👘 👘 👘	
	Image:	
	Entity Cyclone V: 5CEBA5F23C7	

図 8-6 タイトルバーとツールバーのリビジョン・リスト

 切り替える対象のリビジョンをプルダウン・リストから選択します。ツールバー上のリビジョン・リストと Quartus II 開発ソフトウェアのタイトルバー上のリビジョン名が切り替わっていることを確認します。(図 8-7)

Quartus II 64-Bit/filtref - filtref_A	切り替わったリビジョン名
The Ealt View Project Assignments Processing Tools windo	
🗋 💕 🗐 🔉 🗟 🖺 🤊 (*) 🚺 filtref_A	💌 🔀 🖌 🖌
j 🔷 🔁 🖬 🦃 🐥 🖋 📋 🛸 😰 💕 🛸 🗇 🕊 🥰 💐 🎕	🖻 🛶 🔳 🦥
Project Navigator 🛛 🕹 🖉 🗙	
Entity	
A Cyclone V: 5CEBA5F23C7	
🖻 📴 filtref 📠	

図 8-7 タイトルバーとツールバーのリビジョン・リスト

◆ Revisions ダイアログボックスで切り替える方法

1. Project メニュー ⇒ Revisions をクリックし、Revisions ダイアログボックスを起動します。



2. Revisions ダイアログボックスの Revisions リストから、切り替えるリビジョンを選択し、Set Current ボ タンをクリックします。(図 8-8)

🍃 Revisions					
Specify the current revision, or edit the	revision for the pro description of a rev	ject, create /ision.	a new revision,	delete an	existing
Revisions:					
Revision Name	Top-level Entity	Family	Device	Meet Tim	Set Current
✔ filtref	filtref	Cyclone V	5CEBA5F23C7		Delete
filtref_A	filtref	Cyclone V	5CEBA5F23C7		Compare
filtref_B	filtref	Cyclone V	5CEBA5F23C7		
filtref_C	filtref	Cyclone V	5CEBA5F23C7		
< <new revision="">&gt;</new>					
•	III			Þ	
		ок	Cancel	Apply	Help

図 8-8 Revisions ダイアログボックス

3. ツールバー上のリビジョン・リストと Quartus II 開発ソフトウェアのタイトルバー上のリビジョン名が切り替わっていることを確認します。(図 8-7)

### 8-3. リビジョンの比較

Compare Revisions ダイアログボックスで、複数のリビジョンの適用されたアサイメント内容やコンパイル結果を 隣り合わせで比較することができます。これにより、ユーザは異なる最適化オプションがデザインに与える影響を より深く理解することができます。

- 2. Revisions ダイアログボックスの Compare ボタンをクリックし、Compare Revision ダイアログボックスを表示します。(図 8-9)

	filtref	filtref_A	filtref_B	filtref_C
Classic Timing Assignments				
MIN_CORE_JUNCTION_TEMP	0	0	0	0
MAX_CORE_JUNCTION_TEMP	85	85	85	85
🗁 Analysis & Synthesis Assignments				
FAMILY	Cyclone V	Cyclone V	Cyclone V	Cyclone V
TOP_LEVEL_ENTITY	filtref	filtref	filtref	filtref
OPTIMIZATION_TECHNIQUE		SPEED	SPEED	
SYNTH_TIMING_DRIVEN_SYNTHESIS		ON	OFF	
🗁 Fitter Assignments				
DEVICE	SCEBA5F23C7	SCEBA5F23C7	5CEBA5F23C7	5CEBA5F23C7
ERROR_CHECK_FREQUENCY_DIVISOR	256	256	256	256
OPTIMIZE_HOLD_TIMING		ALL PATHS	ALL PATHS	
OPTIMIZE_MULTI_CORNER_TIMING		ON	ON	
FITTER_EFFORT		STANDARD FIT		
SEED			2	
PHYSICAL_SYNTHESIS_COMBO_LOGIC				ON
PHYSICAL_SYNTHESIS_REGISTER_RETIMING				ON
PHYSICAL_SYNTHESIS_ASYNCHRONOUS_SIGNAL_PIPELINING	3			ON
PHYSICAL_SYNTHESIS_REGISTER_DUPLICATION				ON
PHYSICAL_SYNTHESIS_EFFORT				EXTRA
📴 EDA Netlist Writer Assignments				
EDA_SIMULATION_TOOL	QuestaSim (VHDL)	QuestaSim (VHDL)	QuestaSim (VHDL)	QuestaSim (VHDL)
EDA_TIME_SCALE	1 ps	1 ps	1 ps	1 ps
EDA_OUTPUT_DATA_FORMAT	VHDL	VHDL	VHDL	VHDL
EDA_GENERATE_FUNCTIONAL_NETLIST	OFF			
📴 Power Estimation Assignments				
POWER_PRESET_COOLING_SOLUTION	23 MM HEAT SINK WITH 200 LFPM AIRFLOW	23 MM HEAT SINK WITH 200 LFPM AIRFLOW	23 MM HEAT SINK WITH 200 LFPM AIRFLOW	23 MM HEAT SINK WITH 200 LFP
POWER_BOARD_THERMAL_MODEL	NONE (CONSERVATIVE)	NONE (CONSERVATIVE)	NONE (CONSERVATIVE)	NONE (CONSERVATIVE)
Incremental Compilation Assignments				
PARTITION_NETLIST_TYPE	SOURCE	SOURCE	SOURCE	SOURCE
PARTITION_FITTER_PRESERVATION_LEVEL	PLACEMENT_AND_ROUTING	PLACEMENT_AND_ROUTING	PLACEMENT_AND_ROUTING	PLACEMENT_AND_ROUTING
	16764057	16764057	16764057	16764057

図 8-9 Compare Revisions ダイアログボックス

- 3. 比較されている項目は、フォルダで分類されています。Assignments タブでは、各リビジョンに適用されたす べてのアサイメントを表示します。Results タブでは、コンパイル結果を Analysis & Synthesis、Fitter、 TimeQuest Timing Analyzer のカテゴリに分類して表示します。
- リビジョンに対する Results や Assignments の情報をエクスポートするには、目的のタブを選択および表示を切り替え、Compare Revisions ダイアログボックス内の Export ボタンをクリックします。(図 8-9) Export Compare Revisions ダイアログボックスが表示されたら、ファイルの保存場所とファイル名を指定し、 OK ボタンをクリックします。エクスポート・ファイルは、カンマ区切り値ファイル(.csv)で保存されます。

# 9. プロジェクトの複製

大規模プロジェクトでは、既存のプロジェクトのデザインに対してさらに機能を拡張し、新たなデザインとして管理することがあります。その際、以前のプロジェクトは保持した上で、新たなデザイン用にプロジェクトを構築する必要があります。

この作業を支援するために、Quartus II 開発ソフトウェアでは既存プロジェクトを複製し、新規プロジェクトとして 管理することが可能な Copy Project 機能をサポートしています。この Copy Project で複製したプロジェクトには、 既存プロジェクトのすべてのデザイン・ファイル、Quartus II 設定ファイル、および関連するすべてのリビジョン(す べてのアサインメントと設定)の複製が含まれます。

- 1. コピーの基となるプロジェクトを開きます。
- 2. Project メニュー ⇒ Copy Project を選択し、Copy Project ダイアログボックス(図 9-1)を表示させます。
- Destination directory 欄に、新しいプロジェクト用の作業フォルダを指定します。(ブラウズ・ボタンの使用を 推奨します。)
- 4. New project name 欄に、新しいプロジェクト名を入力します。

🔇 Copy Project	
Destination directory:	E:/altera_work/sample_prj_copy/
New project name:	filtref_enhanced
📝 Open new project.	(This option closes the current project.)
	OK Cancel Help
	h.

図 9-1 Copy Project ダイアログボックス

- 5. 新しいプロジェクトをすぐに開くには、Open new project オプションを ON にします。(このオプションにより 現在開かれているプロジェクトは自動的に閉じます。)
- 6. Copy Project ダイアログボックスの OK ボタンをクリックします。

### 10. プロジェクトのアーカイブ

1 つのプロジェクトには多数のディレクトリに何百ものファイルが含まれている場合があり、エンジニア間でプロ ジェクトを転送するのが困難になる可能性があります。そのような場合に、Archive Project 機能を使用すると、す べてのデザイン、プロジェクト、および設定ファイルを単一の圧縮ファイル Quartus II アーカイブ・ファイル(.qar)と して生成し、複数のエンジニア間で容易にプロジェクトを共有することができます。その他、このアーカイブ機能は、 プロジェクトとその関連ファイルのバックアップ方法としても活用できます。

10-1. プロジェクトのアーカイブ

プロジェクトをアーカイブするには、以下のステップで行います。

- 1. File メニュー  $\Rightarrow$  Open Project により、アーカイブするプロジェクトを開きます。
- 2. Project メニュー ⇒ Archive Project をクリックし、Archive Project ダイアログボックス(図 10-1)を表示します。

💱 Archive Project		X
Archive file name:	filtref	
	Archive all revisions	
Advanced	Archive Cancel He	l <b>p</b>

図 10-1 Archive Project ダイアログボックス

- 3. Archive file name 欄に、アーカイブする Quartus II アーカイブ・ファイルのファイル名を入力する、あるい はブラウズ・ボタンをクリックして Quartus II アーカイブ・ファイル名を選択します。
- 4. プロジェクトのすべてのリビジョン情報をアーカイブに含ませる場合は、Archive all revisions オプションを ON にします。
- 5. アーカイブに含ませるファイルの詳細を設定する場合には、Advanced ボタンをクリックし、Advanced Archive Settings ダイアログボックス(図 10-2)を表示させます。



🚭 Advanced Archive Settings	X
File set:       Source control         File subs       Source control         Source control with incremental compilation and Rapid Recompile database         Proje       Service request         Auto       Service request with incremental compilation database         Incre       Compilation database and output	•
Programming output mes       db/filtref.cmp.rdb       25         Report files       filtref.qpf       1         Version-compatible database files       filtref.qsf       4         Version-incompatible compilation databas       filtref_A.qsf       4         filtref_B.qsf       4       filtref_C.qsf       4         filtref_C.qsf       4       filtref_C.qsf       4	
Total files: 16 Total size: 103954 byte 101 KB Description:	
Archives the project source files specified in the project's Quartus II Settings File (.qsf). If you have project source files not added to the project and you want to archive them, you should add them to the project before archiving. You can use the MISC_FILE QSF assignment to add files you want to include in the archive; this assignment is not used during compilation.	
Includes the following files:	
<ul> <li><project>.qpf</project></li> <li>All the Quartus II Settings files (.qsf) associated with the current project</li> </ul>	
OK Cancel	Help

図 10-2 Advanced Archive Settings ダイアログボックス

 Advanced Archive Settings ダイアログボックスの File Set リストにはあらかじめカテゴリが設けられており、 必要な内容をプリダウン・リストから選択することで、File subsets の内容が自動的に選択されます。アーカ イブする情報に該当する項目を選択します。

下表に File subsets の概要を記載します。詳細は、Advanced Archive Settings ダイアログボックスで File subsets の項目を選択した際に Description 欄に表示される解説をご確認ください。

File Subset 名	概要
Project source and settings files	Quartus II 設定ファイル(.qsf)で指定したプロジェクトのソースファ
	イルが含まれます。もしプロジェクトに追加されていないソースフ
	ァイルをアーカイブする場合は、アーカイブする前に、Add ボタン
	によりプロジェクトに追加する必要があります。
Automatically detected source files	コンパイラにより検出されたソースファイルが含まれます。プロジ
	ェクトに必要な正確なソースファイルのリストを取得するために、
	あらかじめプロジェクトにおいて Analysis & Elaboration の実行
	が必要です。また、もしプロジェクトに追加されていないソースファ
	イルをアーカイブする場合は、アーカイブする前に、Add ボタン
	によりプロジェクトに追加する必要があります。
Incremental compilation and Rapid	Incremental Compile および Rapid Recompile の結果を維持する
Recompile database files	ための合成後、フィッティング後のネットリストが含まれます。この
(version-incompatible)	ファイルは、現在使用している Quartus II のバージョンと互換性
	を持ちます。

Quartus II - プロジェクトの管理 ELSENA

Programming output files	
Report files	レポート・ファイルが含まれます。
Version-compatible database files	バージョンの異なる Quartus II に互換性のあるデータベースが 含まれます。そのためには、あらかじめ異なるバージョン互換の データベースをエクスポート <sup>※(8)</sup> しておく必要があります。
Version-incompatible compilation database files	現在使用している Quartus II のバージョンと互換性のあるデータ ベース、および db フォルダ内のメガファンクションと MegaCore ファイルが含まれます。

※(8): バージョン互換のデータベースの作成は、本資料 "11. バージョン互換のデータベース" をご覧ください。

- 7. File set および File subsets で選択した内容のファイル以外にアーカイブするファイルがある場合には、 Add ボタンによりファイルを追加してください。
- 8. Advanced Archive Settings ダイアログボックスの OK ボタンをクリックします。
- 9. Archive Project ダイアログボックスの Archive ボタンをクリックし、アーカイブを実行します。
- 10. アーカイブが成功したメッセージ(図 10-3)が表示され、プロジェクト・フォルダに、<指定した名前>.qar ファイ ルが生成されます。



図 10-3 メッセージ

### 10-2. アーカイブ・プロジェクトの復元

アーカイブされたプロジェクトを復元するには、以下のステップで行います。

1. Project メニュー ⇒ Restore Archived Project をクリックし、Restore Archived Project ダイアログボックス(図 10-4)を表示します。

💱 Restore Archived Project	×
Archive name:	
E:/altera_work/sample_prj/filtref.qar	
Destination folder:	
E:/altera_work/sample_prj/filtref_restored	
Overwrite any existing files in the destination folder	
Default Destination Folder OK Cancel Help	<b>_</b> #

図 10-4 Restore Archived Project ダイアログボックス

2. Archive name 欄の右に位置するにブラウズ・ボタンにより、復元する Quartus II アーカイブ・ファイルを選択 します。

- 3. Destination folder 欄の右に位置するにブラウズ・ボタンにより、Quartus II アーカイブ・ファイルの内容を復 元するフォルダ・パスを指定します。
- 4. 復元先の指定フォルダ内の既存ファイルを上書きする場合は、Overwrite any existing files in the destination folder オプションを ON にします。
- 5. 復元先の指定フォルダをデフォルト環境にする場合は、Default Destination Folder ボタンをクリックします。 Destination folder 欄のフォルダ・パスがデフォルト環境に変更されます。
- 6. OK ボタンをクリックし、.qar ファイルの復元を実行します。

### 11. バージョン互換のデータベース

本資料 "5-2. 既存プロジェクトを起動する際の注意点"にも記載したように、既存プロジェクトの作業で使用していた Quartus II 開発ソフトウェアのバージョンとは異なるバージョンの Quartus II 開発ソフトウェアでそのプロジェクトを開く場合、既存データベース情報を消去する警告メッセージが表示されます。Yes を選択すると既存データベースは消去され、No を選択すると、プロジェクトを開くことはできません。

そのため、既存のプロジェクトのデータベースを保持したまま別のバージョンの Quartus II 開発ソフトウェアで プロジェクトを起動するには、バージョン互換のデータベース(合成後、フィッティング後のコンパイル情報)を生成 し、インポートする必要があります(上位互換)。例えば、最新リリースのデバイス開発の場合、そのときに提供され ている Quartus II 開発ソフトウェアのバージョンでもタイミング検証用情報が Preliminary のことがあります。デザ イン設計や論理合成およびフィッティングなどの作業は進めることができますが、タイミング検証は暫定値での検 証になります。そのため、タイミング情報が Fix された次の最新 Quartus II 開発ソフトウェアがリリースされると、 ユーザはそのバージョンを用いてタイミング検証を行う必要があります。このような場合に、旧バージョンで開発し ていた既存プロジェクトを最新の Quartus II 開発ソフトウェアで開き、再度コンパイルを実行しても良いのですが、 旧バージョンの配置配線結果を保持した状態でタイミング検証のみ実施することで、不必要なコンパイル時間を削 減することが可能です。

#### 11-1.バージョン互換のデータベースの生成

既存プロジェクトを新しいバージョンに移行するには、以下のステップで行います。なお、旧バージョンの開発環 境をバックアップしておく場合には、あらかじめ Copy Project でプロジェクトを複製しておくことを推奨します。

- 1. 古いバージョンの Quartus II 開発ソフトウェア Open Project (File メニュー)によりプロジェクトを起動しま す。
- 2. Project メニュー ⇒ Export Database を選択し、Export Database ダイアログボックス(図 11-1)を表示させます。
- 3. Export directory 欄に互換データベースの生成先を指定します。デフォルトの出力先は、起動しているプロジェクト内の export\_db フォルダにエクスポートされます。必要に応じて新しいディレトリを作成してください。

💱 Export Database	· · · · · · · · · · · · · · · · · · ·
Specify a directory that will contain exported database. The Quartus II software exports the version-compatible database files to the specified directory.	
Export directory:	E:/altera_work/sample_prj/export_db
	OK Cancel Help

#### 図 11-1 Export Database ダイアログボックス

 Export Database ダイアログボックスの OK ボタンをクリックし、互換用データベースを生成させます。互換 用のデータベースには、論理合成後のデータベース(Post-Synthesis Database)や配置配線後のデータベー ス(Post-Fitter Database)などが含まれたことが Quartus II 開発ソフトウェアのメッセージ・ウィンドウ (Processing タブ)で確認できます。(図 11-2)



図 11-2 Messages ウィンドウ

5. 互換データベースの生成が完了したメッセージ(図 11-3)が表示されます。



コンパイル実行時にバージョン互換のデータベースを生成することもできます。

- 1. Assignments メニュー ⇒ Settings をクリックし、Settings ダイアログボックスを表示します。
- 2. Settings ダイアログボックスのカテゴリを Compilation Process Settings に切り替えます。(図 11-4)
- 3. Export version-compatible database オプションを ON にします。

General	Compilation Process Settings
Files Libraries	Specify Compilation Process options.
▲ IP Settings	
IP Catalog Search Locations	Parallel compilation
<ul> <li>Operating Settings and Conditions</li> </ul>	Use global parallel compilation setting from Options dialog box - Use all available processors
Voltage	Use all available processors
Compilation Process Settings	
Incremental Compilation	Maximum processors allowed: 1 -
Physical Synthesis Optimization	
EDA Tool Settings	Use smart compilation V Preserve fewer node names to save disk space
Design Entry/Synthesis	🛛 Run Assembler during compilation 👘 Run I/O assignment analysis before compilation
Simulation Formal Verification	Run Netlist Viewers preprocessing during compilation
Board-Level	
Analysis & Synthesis Settings	Enable multicorner support for TimeQuest and EDA Netlist Writer
VHDL Input	Save a node-level petilist of the entire design into a persistent source file
Verilog HDL Input	Save a node-level neulsc of the entire design into a persistent source me
Default Parameters	(This option specifies VQM File name for full compilation and Start VQM Writer command)
Fitter Settings TimeQuest Timing Apalyzer	File name:
Assembler	
Design Assistant	V Export version-compatible database
SignalTap II Logic Analyzer	Export directory: export_db
Logic Analyzer Interface	Come anni at antant film in an aifind dinatan.
PowerPlay Power Analyzer Setting:	Save project output mes in specineu unectory
SSN Analyzer	Directory pame: output files

図 11-4 Compilation Process Settings ページ (Settings ダイアログボックス)

Settings

ALTIMA

- 4. データベースを保存するディレクトリ先を指定します。デフォルトでは、現在のプロジェクト・フォルダ内の export\_db フォルダが指定されています。
- 5. OK ボタンをクリックします。
- 6. その後、コンパイルを実行します。

### 11-2.バージョン互換のデータベースのインポート

新しいバージョン用に作成したプロジェクトにバージョン互換のあるデータベースを取り込むには、以下のステップで行います。

- 1. 新しいバージョンの Quartus II 開発ソフトウェアにおいて、File メニュー ⇒ Open Project により旧バージョンで開発していた既存プロジェクトを起動します。
- 2. データベースを上書きする警告メッセージ(図 5-3)が表示され、"Yes" ボタンをクリックします。その際、既存のデータベースは削除(上書き)されますが、エクスポートされたデータベースは削除されません。
- 3. 自動的に Import Database ダイアログボックス(図 11-5)が表示されます。もしダイアログボックスが起動し ない場合は、Project メニュー ⇒ Import Database を選択してください。

💱 Import Database		×
🚱 🔍 🗢 📕 « altera_work )	sample_prj 🕨 export_db 🗸 😽 export_db@	検索・ 🔎
整理 ▼ 新しいフォルダー		·= • 📀
<ul> <li>▲ コンピューター</li> <li>▲ SYSTEM (C:)</li> <li>▲ TOOL (D:)</li> <li>▲ WORK (E:)</li> <li>▲ altera_work</li> <li>▲ asample_prj</li> <li>▲ db</li> <li>▲ export_db</li> <li>▲ greybox_tmp</li> <li>▲ hc_output</li> </ul>	<ul> <li>名前</li> <li>更新日時</li> <li>検索条件に一致する項目はありません。</li> </ul>	種類
<ul> <li>▶ incremental_db</li> <li>incremental_db</li> <li>incremental_d</li></ul>	- <m< td=""><td>,</td></m<>	,
	フォルダーの選択	キャンセル

図 11-5 Import Database ダイアログボックス

- 4. 事前にエクスポートしたデータベースの保存フォルダを選択します。"フォルダの選択"ボタンをクリックし、 互換用データベースのインポートを開始します。
- 5. 互換データベースのインポートが完了したメッセージが表示され、レポート・ファイルが自動的に表示されます。

この時点(旧バージョンの論理合成および配置配線結果を引き継いだ状態)から、再コンパイルを実行すること なく新しい Quartus II 開発ソフトウェアの環境でタイミング検証(Processing メニュー ⇒ Start ⇒ Start TimeQuest Timing Analyzer)を行うことが可能です。

### <u> 改版履歴</u>

Revision	年月	概要
1	2014 年 7 月	初版
1.1	2015年4月	アルテラ社の Web サイトのリニューアルに伴う URL 変更

#### 免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
   株式会社アルティマ ホームページ: <u>http://www.altima.co.jp</u> 技術情報サイト EDISON: <u>https://www.altima.jp/members/index.cfm</u>
  - 株式会社エルセナ ホームページ: <u>http://www.elsena.co.jp</u> 技術情報サイト ETS : <u>https://www.elsena.co.jp/elspear/members/index.cfm</u>
- 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカ発行の英語版の資料もあわせてご利用ください。