

Quartus II はじめてガイド プロジェクトの作成方法

ver.14



2015 年 4 月 Rev.1.1

ELSENA,Inc.





Quartus II はじめてガイド プロジェクトの作成方法

<u>目次</u>

1.	はじめに
2.	プロジェクトとは3
3.	Quartus II 開発ソフトウェアの起動4
4.	新規プロジェクトの作成7
5.	既存プロジェクトの起動と終了15
4	5-1. 既存プロジェクトの起動方法15
4	5-2. 既存プロジェクトを起動する際の注意点16
4	5-3. 既存プロジェクトの終了方法17
6.	既存プロジェクトの設定変更18
(5-1. デザイン・ファイルの登録変更18
(5-2. ユーザ·ライブラリの変更
(5-3. ターゲット・デバイス型番の変更
(5-4. EDA ツールの変更
(5-5. 最上位階層デザインの変更
改	版履歴



1. はじめに

この「Quartus[®] II はじめてガイド」シリーズは、Quartus II 開発ソフトウェアを初めてご利用になられるユーザ向 けの資料です。

Quartus II 開発ソフトウェアは、ユーザ・デザインをプロジェクトで管理します。プロジェクトは、デザインのコンパ イルに必要なすべてのデザイン・ファイル、設定ファイルおよびその他のファイルで構成されます。そのため開発 を始めるには、まずプロジェクトを作成する必要があります。

この資料では、Quartus II 開発ソフトウェアにおいて新規でプロジェクトを作成する方法や、既存プロジェクトの 起動方法など、初歩的な操作方法をご紹介しています。

プロジェクトに関する詳細は、担当する各代理店の技術情報サイトにおいて以下のタイトル資料をご参考ください。

『Quartus II - プロジェクトの管理』

2. <u>プロジェクトとは</u>

Quartus II 開発ソフトウェアは、ユーザ・デザインをプロジェクトで管理し、プロジェクトにはデザインのコンパイル に必要なすべてのデザイン・ファイルや設定ファイルなどが含まれます。

1 つの FPGA あるいは CPLD デバイスに対して開発を行う際、Quartus II 開発ソフトウェアでは 1 つプロジェクトを構築し作業を行います。そのため、基板上に複数のアルテラ社 FPGA あるいは CPLD デバイスが搭載される場合には、個々のデバイスに対してそれぞれプロジェクトが必要になります。



図 2-1 デバイスと Quartus II 開発ソフトウェアのプロジェクトの関係イメージ

🔥 ALTIMA

3. Quartus II 開発ソフトウェアの起動

Quartus II 開発ソフトウェアを起動するには、Windows OS の場合、インストール時に作成したデスクトップ上の ショートカット・アイコンをダブルクリック、もしくは[スタート]メニュー(Windows 8 の場合はスタート画面)から Quartus II 開発ソフトウェアを起動させます。Linux OS の場合には、コマンドにより起動させます。

Quartus II 開発ソフトウェアが起動後 Welcome スクリーン(図 3-1)が表示され、このスクリーンから以下のプロジェクト 作業が行えます。

New Project Wizard ボタン	新規にプロジェクトを作成するためのウィザードを起動する
Open Project ボタン	既存のプロジェクトを開く
Recent Project	過去に使用したプロジェクトの履歴から選択してプロジェクトを開く

これらの操作は、Quartus II 開発ソフトウェアのメニューからも行えます。本資料では、Quartus II 開発ソフトウェアのメニューを使用したプロジェクトの作成方法について説明します。



図 3-1 Quartus II 開発ソフトウェアと Welcome スクリーン

今後 Welcome スクリーンを表示させたくない場合は、スクリーン下の "Don't show this screen again" オプショ ンにチェックを入れてください。もし再度 Quartus II 開発ソフトウェア起動時に Welcome スクリーンを表示させた い場合には、Tools メニュー \Rightarrow Options の General カテゴリにある "Show welcome screen" オプションにチェッ クを入れてください。次回の Quartus II 開発ソフトウェア起動時に反映されます。

また、"Close page after project load"オプションを有効にすると、新規あるいは既存プロジェクトを起動後に Welcome スクリーンは閉じます。

Quartus II 開発ソフトウェアは主にメニューバーで操作を行いますが、頻繁に使用するメニューは Tasks ウィンド ウやツールバーのアイコンからも操作が行えます。

Tasks ウィンドウは、Quartus II 開発ソフトウェアの主な操作を簡単に実行できるようにまとめたウィンドウです。 目的の項目をダブルクリックすることでタスクが実行できます。タスクのフローは4 種類が用意され、各フローで頻 繁に使用するタスクが集約されています。

Compilation Flow コンパイル用タスクにフォーカス

RTL Simulation Flow

🛆 ALTIMA

Tasks				₽ ₽ ×
Flow:	Cor	mpil	ation 🔻 Cu	stomize
			Task	Û
	4		Compile Design	
		\triangleright	Analysis & Synthesis	
		\triangleright	Fitter (Place & Route)	
		\triangleright	Assembler (Generate programming files)	
		\triangleright	TimeQuest Timing Analysis	
		\triangleright	EDA Netlist Writer	
		٩	Program Device (Open Programmer)	

図 3-2

RTL シミュレーション用タスクにフォーカス



☑ 3-3

Full Design Flow
全タスク

₽× T	asks	₽ ₽ ×
ze Flo	ow: Full Design 🔹 Cu	stomize
	Task	Û
	👂 🦲 Start Project	
	🕨 🦲 Create Design	
	🕨 🦲 Assign Constraints	
	🔺 🕨 Compile Design	
	🕨 🕨 Analysis & Synthesis	
	🕨 🕨 Fitter (Place & Route)	
	🕨 🕨 Assembler (Generate programming files)	
	🕨 🕨 TimeQuest Timing Analysis	
	🕨 🕨 EDA Netlist Writer	
	🦥 Program Device (Open Programmer)	
	🔺 📴 Verify Design	
	🕨 🧰 Simulate Design	
	👂 🧰 On-chip Debugging	
	👂 🕨 PowerPlay Power Analyzer	

SSN Analyzer

🗾 Export Database 🔲 Archive Project

🧼 Chip Planner 🚷 Change Manager

Tasks Flow: RTL Simulation • 6 Task Ô Tim Analysis & Elaboration 🕨 🍉 RTL Simulation

図 3-4

図 3-5

4 📴 Engineering Change Order (ECO)

ツールバーのアイコンは、メニューバーのプルダウンで表示されるメニュー名の左に描かれたアイコンと連携しています。また、ツールバーのアイコンにマウスのポインタをかざすと、ポインタの右下にツールチップが表示され、 どのメニューのアイコンかを確認することができます。



図 3-6 メニューバーとアイコン

🔥 ALTIMA

4. 新規プロジェクトの作成

新規のプロジェクトをウィザード形式(対話形式)で作成します。このウィザードでは、プロジェクト作成と同時に 以下の内容が設定できます。

- ・ 作業フォルダ
- プロジェクト名
- ・ 最上位階層のエンティティ名
- ・ コンパイルに必要なデザイン・ファイルおよびライブラリ格納フォルダの登録
- デバイス型番
- ・ プロジェクトの開発に必要なインタフェース用 EDA ツール

新規プロジェクトの作成手順は、以下のとおりです。なお、本資料では Quartus II 開発ソフトウェアのメニューバーを使用した操作方法でご紹介します。

1. File メニュー \Rightarrow New Project Wizard を選択します。

File	Edit View	Project	Assignments	Proces	sing	Tools	Wir
	New		Ctrl+N				
1	Open		Ctrl+0		<u></u>	æ 🕫	27 (
	Close		Ctrl+F4		~	~ ~	~
							~ ~ ! !
酱	New Project W	/izard					
	New Project W Open Project	/izard	Ctrl+J			+ u	
	New Project W Open Project. Save Project	(izard 	Ctrl+J			T U	
	New Project W Open Project. Save Project Close Project	/izard	Ctrl+J				

図 4-1 New Project Wizard (File メニュー)

- 2. New Project Wizard ダイアログボックスが起動します。
- 3. Introduction ページ(図 4-2)は "Next" ボタンをクリックし、次へ進みます。



図 4-2 Introduction ページ (New Project Wizard ダイアログボックス)

🔥 ALTIMA

4. Directory、Name、Top-Level Entity [Page 1 of 5] ページ(図 4-3)では、作業フォルダやプロジェクト名などを 設定します。

なお、各項目は<u>半角英数字</u>で記入してください。特殊文字やスペースは使用できません。各項目を入力 後 "Next" ボタンをクリックします。

💱 New Project Wizard	
Directory, Name, Top-Level Entity [page 1 of 5]	
	\sim
What is the working directory for this project?	
E:/altera_work/sample_prj	
What is the name of this project?	
What is the name of the top-level design entity for this project? This name is case sensitive in the design file.	e and must exactly match the entity name
filtref	
Use Existing Project Settings	
<u></u>	<u>ズ・ボタン</u>
	オルダのパスやファイル名
は、こ	こから選択してください。
<pre>Sack Next ></pre>	Finish Cancel Help

図 4-3 Directory, Name, Top-Level Entity ページ (New Project Wizard ダイアログボックス)

What is the working directory for this project?	作業フォルダのパス
What is the name of this project?	プロジェクト名 ^{※(1)}
What is the name of the top-level design entity for this project?	最上位階層のエンティティ名

※(1): 管理を簡易にするため、プロジェクト名は最上位階層のエンティティ名と同じにすることを推奨します。

また、過去作成したプロジェクトのデバイス型番や EDA ツール設定などを反映させる場合は、"Use Existing Project Settings"ボタンをクリックし、目的の既存プロジェクトを選択します。

- 5. Add Files [Page 2 of 5] ページ(図 4-4)では、コンパイルに必要なデザイン・ファイルや、ライブラリが格納さ れたフォルダを登録します。
 - (1) File name 欄右にあるブラウズ・ボタンをクリックし、Select File ウィンドウからデザイン・ファイルを選 択して "開く" ボタンをクリックします。
 - (2) "Add" ボタンをクリックして下部の枠内に登録してください。Select File ウィンドウにおいて同一フォ ルダから複数のデザイン・ファイルを一度に選択した場合には、"開く" ボタンをクリックするだけで、 下部の枠内にファイルが登録されます。

コンパイルに必要なデザイン・ファイルが複数のフォルダに分散して保存されている場合も、Add Files で登録をしてください。

もしプロジェクトを作成後にデザインを新規に作成あるいは追加する場合は、ここでは何も登録せずに次へ進んでください。プロジェクト作成後でも、デザイン・ファイルの登録や変更が行えます。

New Project Wizaru				ブラウブ・ナ		
Add Files [paq Select the design file Note: you can alway	ge 2 of 5] s you want to include in s add design files to the	the project project late	. Click Add All to er.	レフランス・ 既存フォル は、ここから	ッジング ダのパスやファイル名 ら選択してください。	ie project.
ile name:						Add
File Name taps.vhd state_m.vhd mult.vhd hvalues.v filtref.v accum.v acc.v	Type VHDL File VHDL File Verilog HDL File Verilog HDL File Verilog HDL File Verilog HDL File	Library	Design Entry/S	ynthesis Tool	HDL Version Default Default Default Default Default Default Default	Add All Remove Up Down Properties

図 4-4 Add Files ページ (New Project Wizard ダイアログボックス)

プロジェクトのフォルダ(作業フォルダ)内に、コンパイルに必要なデザイン・ファイルがすべて保存されて いる場合は、デザイン・ファイルの登録は必須ではありません。コンパイル時に、プロジェクトにデザイン・フ ァイルが登録されていなくてもプロジェクト・フォルダ内を自動的に検索し、必要なデザイン・ファイルを読み 込む特性があります。しかし、プロジェクト・フォルダ内にファイル名は異なるがエンティティ名(モジュール 名)が重複するデザイン・ファイルが複数存在している場合には、先に読み込まれたデザイン・ファイルが 適用されるため、ユーザの意向と異なったデザイン・ファイルが読み込まれてしまう可能性があります。そ のため、Add Files により適切なデザイン・ファイルだけを登録することを推奨します。

Quartus II 開発ソフトウェアがサポートするデザイン・ファイルおよび Add Files に登録できる関連ファイルは、以下のとおりです。

VHDL Design Files (.vhd)	VHDL ファイル
Verilog HDL Design Files (.v)	Verilog HDL ファイル
SystemVerilog (. sv)	System Verilog ファイル
Schematic Block Design Files (. bdf)	Quartus II 専用回路図ファイル
Text Design File (.tdf)	AHDL ファイル
Verilog Quartus Mapping (.vqm)	ATOM レベルのネットリスト・ファイル
EDIF Input File (.edf)	EDA 合成ツールの出力ファイル



Ouartus II IP File (.gip) ^{*(2)}	MegaWizard Plug-In Manager で生成したメガファ
	ンクションや IP のすべてのデザイン・ファイル・パ
	スを記載した環境ファイル
Qsys system File (. qsys)	Qsys システム・ファイル

※(2): MegaWizard Plug-In Manager や Qsys によりメガファンクションや IP を生成すると、HDL デザインと共に .qip ファイルが生成されます。HDL ファイルの代わりに .qip ファイルを Add Files に登録すると、メガファンクション あるいは IP に必要な HDL ファイルを全て登録したことに相当するため、複数ファイルで構成される IP をデ ザイン登録する際は、非常に簡単に設定することができます。また、.qip ファイルを Add Files に登録すると、IP Components タブ(Project Navigator ウィンドウ内) や Upgrade IP Components ダイアログボックス(Project メニ ュー) に表示され、管理がしやすくなります。

また、コンパイルに必要なデザイン・ファイルがプロジェクト・フォルダとは別のフォルダに保存されていて、 かつ同一フォルダ内にデザイン・ファイルが多数ある場合や、IP(Intellectual Property)を使用している場合 は、Add Files で登録せずにユーザ・ライブラリを指定することでデザイン・ファイルの登録が行えます。

ユーザ・ライブラリの登録方法は、以下のとおりです。

- (1) Add Files ページ内の "User Libraries" ボタンをクリックします。
- (2) User Libraries ダイアログボックス(図 4-5)において、Global libraries (all projects) または Project libraries いずれかに、目的のフォルダを選択および登録します。

Global libraries	Quartus II で開発するすべてのプロジェクトで有効
Project libraries	現在のプロジェクトのみで有効

Global libraries (all projec	ts)
Global library name:	Add
Libraries:	Remove
	Up
	Down
Project library name:	Add
Libraries:	Remove
e:\design\work\a5gxsdi\:	sdi-library Up
	Down





6. Family & Device Settings [Page 3 of 5] ページ(図 4-6)では、ターゲット・デバイスを選択します。

Select the family and	device you want to ta	rget for con	npilation.					
'ou can install additio	nal device support wit	h the Instal	l Devices con	nmand on the Tools m	enu.			
o determine the ver	sion of the Quartus II	software in	which your ta	arget device is support	ted, refe	r to the <u>Device Support</u>	<u>List</u> webpa	age
Device family				Show in 'Available o	levices'	list		
Family: Cyclone V	(E/GX/GT/SX/SE/ST)		•	Package:	FBGA			•
Devices: All				Pin count:	896			Ţ
				Core Speed grade	(Any			-
Target device				Core speed grade.	(Ally			-
O Auto device sele	cted by the Fitter			Name filter:				
Specific device s	elected in 'Available d	evices' list		📝 Show advanced	devices			
• - F								
Other: n/a								
Other: n/a								
Other: n/a Available devices: Name	Core Voltage	ALMs	User I/(Ds GXB Channel	I PMA	GXB Channel PCS	PCIe	1 ^
Other: n/a Available devices: Name 5CEFA7F31C8	Core Voltage	ALMs 56480	User I/0 480	Ds GXB Channel	I PMA	GXB Channel PCS 0	PCIe 0	1
Other: n/a Available devices: Name 5CEFA7F31C8 5CEFA7F3117	Core Voltage 1.1V 1.1V	ALMs 56480 56480	User I/0 480 480	Ds GXB Channel 0 0	I PMA	GXB Channel PCS 0	PCIe 0 0	E
Other: n/a Available devices: Name 5CEFA7F31C8 5CEFA7F3117 5CEFA7F3117ES	Core Voltage 1.1V 1.1V 1.1V 1.1V	ALMs 56480 56480 56480 56480	User I/0 480 480 480	Ds GXB Channel 0 0 0	I PMA	GXB Channel PCS 0 0	PCIe 0 0 0	I A
Other: n/a Available devices: Name SCEFA7F31C8 SCEFA7F317FS SCEFA7F317FS SCEFA7F31C7	Core Voltage 1.1V 1.1V 1.1V 1.1V 1.1V	ALMs 56480 56480 56480 56480 113560	User I/0 480 480 480 480	Ds GXB Channel 0 0 0 0	I PMA	GXB Channel PCS 0 0 0	PCIe 0 0 0 0 0 0 0 0 0	I A
Other: n/a Available devices: Name SCEFA7F31C8 SCEFA7F3117 SCEFA7F3117ES SCEFA9F31C7 SCEFA9F31C8	Core Voltage 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1	ALMs 56480 56480 56480 113560 113560	User I/0 480 480 480 480 480 480	Os GXB Channel 0 0 0 0 0 0 0	I PMA	GXB Channel PCS 0 0 0 0	PCIe 0 0 0 0 0 0	- III
Other: n/a Available devices: Name 5CEFA7F31C8 5CEFA7F3117 5CEFA7F3117 5CEFA9F31C7 5CEFA9F31C8 5CEFA9F3117	Core Voltage 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1	ALMs 56480 56480 56480 113560 113560 113560	User I/I 480 480 480 480 480 480 480	Ds GXB Channel 0 0 0 0 0 0 0 0 0	I PMA	GXB Channel PCS 0 0 0 0 0 0	PCIe 0 0 0 0 0 0 0 0	H
Other: n/a Available devices: Name 5CEFA7F31C8 5CEFA7F31C7 5CEFA9F31C7 5CEFA9F31C7 5CEFA9F317 5CEFA9F317 5CEFA9F317	Core Voltage 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1	ALMs 56480 56480 113560 113560 113560 56480	User 1/1 480 480 480 480 480 480 522	Ds GXB Channel 0 0 0 0 0 0 0 0 9	I PMA	GXB Channel PCS 0 0 0 0 0 0 0 9	PCIe 0 0 0 0 0 0 0 0 2	I A
Other: n/a Available devices: Name SCEFA7F31C8 SCEFA7F3117 SCEFA9F31C7 SCEFA9F31C8 SCEFA9F3117 SCGFFD7DSF31C7 SCGFFD7D5F3117	Core Voltage 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1	ALMs 56480 56480 56480 113560 113560 113560 56480 56480	User I/4 480 480 480 480 480 480 480 522 522	Ds GXB Channel 0 0 0 0 0 0 0 9 9	I PMA	GXB Channel PCS 0 0 0 0 0 0 0 9 9	PCIe 0 0 0 0 0 0 0 0 2 2 2	E
Other: n/a Available devices: Name SCEFA7F31C8 SCEFA7F3175 SCEFA9F31C7 SCEFA9F31C7 SCGFFD7DSF31C7 SCGTFD7DSF3117 SCGTFD7D5F3117	Core Voltage 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1	ALMs 56480 56480 56480 113560 113560 56480 56480 113560	User 1/4 480 480 480 480 480 522 522 522 536	Ds GXB Channel 0 0 0 0 0 0 0 9 9 9 12	I PMA	GXB Channel PCS 0 0 0 0 0 0 0 9 9 9 12	PCIe 0 0 0 0 0 0 2 2 2 2 2	H
Other: n/a Available devices: Name SCEFA7F31C8 SCEFA7F317 SCEFA7F317 SCEFA9F31C7 SCEFA9F31C7 SCEFA9F317 SCEFA9F317 SCGTFD7D5F317 SCGTFD7D5F3117 SCGTFD9E5F31C7	Core Voltage 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1V 1.1	ALMs 56480 56480 113560 113560 113560 56480 56480 113560	User I/I 480 480 480 480 480 480 480 522 522 522 522 536	Ds GXB Channel 0 0 0 0 0 0 0 0 9 9 9 12	I PMA	GXB Channel PCS 0 0 0 0 0 0 0 9 9 9 12	PCIe 0 0 0 0 0 0 0 2 2 2 2 2	

図 4-6 Family & Device Settings ページ (New Project Wizard ダイアログボックス)

Family & Device Settings ページの各項目は以下のとおりです。

● Device family (選択必須)

デバイス・ファミリを選択します。

Device fami	lγ.	
Family: Cy	clone V (E/GX/GT/SX/SE/ST)	
Devices:	All	図 4-7

Family	デバイス・ファミリを選択します。
Devices ^{**(3)}	選択したファミリにおいて、さらにシリーズを指定して選定できます。

※(3): Stratix[®] V, Arria[®] V, Cyclone[®] V, Stratix IV のみ指定可能。

Target device (選択必須)

型番を選択する方法を選択します。

larget device	
O Auto device selected by the Fitter	
Specific device selected in 'Available devices' list	
◯ Other: n/a	図 4-8

Auto device selected by the Fitter $*(4)$	Quartus Ⅱ に最適な型番を自動で選択させる場 合はこちらを選択。
Specific device selected in 'Available devices' list	希望する型番を Available devices 欄からユー ザが指定する場合はこちらを選択。

※(4): Stratix V、Arria V、Cyclone V ファミリは選択できません。

• Show in 'Available devices' list

希望するデバイス型番の条件を選択します。指定した条件に適合した型番のみが 'Available devices' list に表示されます。

-Show in 'Available o	levices' list	
Package:	FBGA 🗸	
Pin count:	896 🔹	
Core Speed grade:	Any 🔹	
Name filter:		
📝 Show advanced	devices	圛 4-9

Package	パッケージのタイプを指定
Pin count	パッケージのピン数を指定
Core Speed grade	スピード・グレードを指定
Name filter	型番の一部のキーワードを入力(ワイルドカードの使用可)
Show advanced devices	Advanced デバイス ^{※(5)} を表示/非表示する

※(5): Advanced デバイスは、近い将来リリースされる予定の型番のことです。Quartus II でコンパイルやタイミング 解析は行えますが、このバージョンの Quartus II ではプログラミング・ファイルは生成されません。

• Available devices

.

一覧から希望するデバイス型番を選択します。

Available devices:							
Name	Core Voltage	ALMs	User I/Os	GXB Channel PMA	GXB Channel PCS	PCIe	1
5CEFA7F31C8	1.1V	56480	480	0	0	0	
5CEFA7F31I7	1.1V	56480	480	0	0	0	Ξ
5CEFA7F31I7ES	1.1V	56480	480	0	0	0	
5CEFA9F31C7	1.1V	113560	480	0	0	0	
5CEFA9F31C8	1.1V	113560	480	0	0	0	
5CEFA9F31I7	1.1V	113560	480	0	0	0	



- EDA Tool Settings [Page 4 of 5] ページ(図 4-11)では、プロジェクト開発において Quartus II 開発ソフトウェ ア以外に必要な EDA ツールがある場合に、そのツールとインタフェースを図るための設定をします。
 - (1) 使用する Tool Type 行の Tool name より、ツール名を選択します。



(2) Format(s) より、ファイル形式を選択します。

🛊 New Project Wizard			×
EDA Tool Setting	s [page 4 of 5]		
Specify the other EDA too	ols used with the Quartus I	II software to develop y	our project.
EDA tools:			
Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/Synthesis	<none> 💌</none>	<pre>None></pre>	Run this tool automatically to synthesize the current desi
Simulation	QuestaSim 🔹	VHDL -	Run gate-level simulation automatically after compilation
Formal Verification	<none> 💌</none>]	
Board-Level	Timing	<none> 🔻</none>	
	Symbol	<none> 🔻</none>	
	Signal Integrity	<none> -</none>]
	Boundary Scan	<none> -</none>]

図 4-11 EDA Tool Settings ページ (New Project Wizard ダイアログボックス)

Design Entry/Synthesis	論理合成ツール
Simulation	HDL 言語 シミュレータ
Formal Verification	等価検証ツール
Board-Level	基板シミュレーションなど

なお、使用する Quartus II 開発ソフトウェアとインタフェースが可能な EDA ツールおよびバージョンは、 <u>Documentation: Release Notes</u> の "EDA Interface Information" に掲載されていますので、必ず確認の上ご 利用ください。また、Quartus II 開発ソフトウェアの旧バージョンのリリース・ノートは、<u>Documentation</u> <u>Archive</u> よりご覧ください。

8. Summary [Page 5 of 5] ページ(図 4-12)において、設定してきた内容を一覧で確認し、"Finish" ボタンをク リックします。なお、プロジェクト名以外はプロジェクト作成後でも変更が可能です。



図 4-12 Summary ページ (New Project Wizard ダイアログボックス)

プロジェクト作成後にプロジェクトが設定されると、Quartus II 開発ソフトウェアの画面上部(タイトルバー)(図 4-13)に以下の情報が表示されます。

Quartus II - <プロジェクト・フォルダのパス/プロジェクト名> - リビジョン名^(%)</sup></sup>

※(6): リビジョンとは、同一プロジェクト内において新たな制約やコンパイル・オプションを試行できる環境のことです。デフ オルトのリビジョン名は、初期に作成したプロジェクト名になります。詳細は、別資料「Quartus II - プロジェクト管理」 をご覧ください。

また、Quartus II 開発ソフトウェアの画面左上の Project Navigator ウィンドウ(Hierarchy タブ)(図4-13)には、プロジェクト作成時に指定したデバイス型番と最上位階層のエンティティ名(モジュール名)が表示されます。

	プロジェクト・フォルダのパス/プロジェクト名
ĺ	🚱 Quartus II 64-Bit - E:/altera_work/sample_prj/filtref - filtref 🔸 リビジョン名
	File Edit View Project Assignments Processing Tools Window Help 💎
	🕴 🗋 🧀 🖉 🕺 🖧 🖻 🛍 🤟 (*) 🚺 filtref 💿 🔹 😵 🔮
	i 🔶 🔁 🗟 🦃 🐥 i 🖋 📋 i 🗞 🐒 💕 🛸 i 🧇 💐 💐 🕸 📾 🛲 🗃 🐌 i 🚣
ł	Project Navigator 🛛 🕹 🗸
	Entity 参 Cyclone V: 5CEBA5F23C7 イン型番
	🔺 Hierarchy 📄 Files 🖉 Design Units 📉 IP Compc
	Tasks 🛛 🖓 🗗 🗙
	Flow: Compilation

図 4-13 タイトルバーと Project Navigator ウィンドウ

同様に、作業フォルダには Quartus II プロジェクト・ファイル(.qpf)と、コンパイル時に適用されるオプション設定 などが記録される Quartus II セッティング・ファイル(.qsf)が自動で生成されます(図 4-14)。これら、プロジェクトに 関わるファイルについては、別資料「Quartus II - プロジェクト管理」をご覧ください。



図 4-14 プロジェクトのフォルダ内

5. 既存プロジェクトの起動と終了

\Lambda ALTIMA

Quartus II 開発ソフトウェアはユーザ・デザインをプロジェクトで管理しています。目的のデザインに対する作業 を行う場合には、そのデザイン用に作成したプロジェクトを起動し、作業を継続します。また、目的のデザインに対 する作業を終了する際は、プロジェクトを終了させます。なお本資料では、Quartus II 開発ソフトウェアのメニュー バーを使用した操作方法でご紹介します。

5-1. 既存プロジェクトの起動方法

すでに作成されたプロジェクトを起動するには、以下の手順で行います。

1. File メニュー ⇒ Open Project を選択します。



図 5-1 Open Project (File メニュー)

2. 作業フォルダから目的のプロジェクト・ファイル(プロジェクト名.qpf)を選択し、"開く"ボタンをクリックします。



図 5-2 Open Project ダイアログボックス

3. Quartus II 開発ソフトウェアのタイトルバーに、選択したプロジェクト名および作業フォルダのパスが表示されているかを確認します。

[補足] Windows エクスプローラからプロジェクトを起動する

Windows エクスプローラなどのファイル管理ツールから目的のプロジェクトの qpf ファイルをダブルクリックす ることで、Quartus II 開発ソフトウェアが起動していなくても自動的に起動し、指定したプロジェクトが設定できます。 ただし、使用するパソコンにバージョンの異なる Quartus II 開発ソフトウェアが複数インストールされている場合は、 最後に使用したバージョンの Quartus II 開発ソフトウェア上で指定したプロジェクトが起動します。そのため、注意 が必要です。詳細は、本資料 "5-2. 既存プロジェクトを起動する際の注意点"を必ずご確認ください。

5-2. 既存プロジェクトを起動する際の注意点

すでに作成されたプロジェクトを起動させる際に、そのプロジェクトを作業していた Quartus II 開発ソフトウェアの バージョンと、プロジェクトを起動させる Quartus II 開発ソフトウェアのバージョンが異なる(例えば、過去 Quartus II 開発ソフトウェア v13.1.4 で作業していたプロジェクトを Quartus II 開発ソフトウェア v14.0 で起動させようとする) 場合、以下のように警告のメッセージ・ウィンドウが表示されます。

8	🧯 Quart	tus II	X	
Do you want to overwrite the database for revision "E:/altera_work/sample_prj/filtref.qpf" created by Quartus II 64-Bit Version 13.1.4 Build 182 03/12/2014 SJ Full Version?				
		Yes No		

これは、プロジェクト・フォルダ内の既存データベース情報(db フォルダや incremental_db フォルダ)を、起動する Quartus II 開発ソフトウェアのバージョン用のデータベース情報に上書きして良いかを促すメッセージです。

"Yes" ボタンをクリックすると、プロジェクト・フォルダ内の既存データベース情報は消去されます。データベース情報が消去されると論理合成や配置配線の結果などがリセットされ、再度やり直す必要がありますのでご注意ください。

"No"ボタンをクリックすると、既存データベース情報は保持され、指定したプロジェクトは起動しません。

Windows エクスプローラからダブルクリックによりプロジェクトを起動させた場合も同様です。なお、Windows エクスプローラ以外のファイル管理ツールを使用している場合は、警告メッセージが表示されず強制的にそのパソコンで最後に起動していた Quartus II 開発ソフトウェアのバージョン上でプロジェクトが起動してしまい、データベース情報が気づかずに消去されてしまう場合がありますのでご注意ください。

図 5-3 警告メッセージ



5-3. 既存プロジェクトの終了方法

起動中のプロジェクトの作業を終了させるには、以下の手順で行います。

1. File メニュー \Rightarrow Close Project を選択します。

🔇 🖓 o	Quartus II 64-Bit - E:/altera	_work/sample_prj/filtref ·	- filtref
File	Edit View Project	Assignments Proces	sing Tools Window
	New	Ctrl+N	
1	Open	Ctrl+0	📣 🔗 🖙 🖙 🐼 I
	Close	Ctrl+F4	тах Пах
8	New Project Wizard		
1	Open Project	Ctrl+J	
	Save Project		
	Close Project		
	Caua	Ctrling	

図 5-4 Close Project (File メニュー)

Quartus II 開発ソフトウェアのタイトルバーにプロジェクト・フォルダのパス、プロジェクト名、およびリビジョン名が表示されてなくブランク(空欄)で、かつ Quartus II 開発ソフトウェアの画面左上の Project Navigator ウィンドウ(Hierarchy タブ)がブランクであれば、プロジェクトは終了しています。(図 5-5)



図 5-5 タイトルバーと Project Navigator ウィンドウ

6. 既存プロジェクトの設定変更

プロジェクト作成後、設定した内容(例えばデザイン・ファイルの追加・削除、デバイス型番の変更など)を変更す ることができます。変更が必要な場合には、以下の操作でそれぞれ編集を行ってください。

なお、プロジェクト名は一度作成すると変更することはできません。そのため、別途新規でプロジェクトを作成し 直す、または Copy Project(Project メニュー)からプロジェクトのコピーを行い、その際にプロジェクト名を変更する などの対応が必要です。Copy Project については、別資料「Quartus II - プロジェクト管理」をご覧ください。

6-1. デザイン・ファイルの登録変更

- 1. Project メニュー \Rightarrow Add/Remove Files in Project を選択します。
- 2. Files カテゴリが指定された環境で Settings ダイアログボックスが起動します。(図 6-1)

🖊 Settings – 💶 📲						
Category:						Device
	Files					
Libraries I P Settings	Select the design fil project directory to	es you want to inclu the project.	de in the	project. Click Add All to add all	design file	s in the
IP Catalog Search Locations Operating Settings and Conditions	File name:					Add
Voltage Temperature	File Name	Туре	Library	Design Entry/Synthesis Tool	HDL \	Add All
 Compilation Process Settings 	taps.vhd	VHDL File		<none></none>	Defau	
Incremental Compilation	state_m.vhd	VHDL File		<none></none>	Defau	Remove
Physical Synthesis Optimization	mult.vhd	VHDL File		<none></none>	Defau	LID
A EDA Tool Settings	filtref v	Verilog HDL File		<none></none>	Defau	00
Design Entry/Synthesis Simulation	accum.v	Verilog HDL File		<none></none>	Defau	Down
Formal Verification	acc.v	Verilog HDL File		<none></none>	Defau	
Board-Level						Properties
Analysis & Synthesis Settings						
VHDL Input						
Verilog HDL Input						

図 6-1 Files ページ (Settings ダイアログボックス)

3. ダイアログボックスの右に位置する "Add"、"Remove" ボタンにより登録するデザイン・ファイルを変更します。

デザイン・ファイルを追加する場合は、ブラウズ・ボタンをクリックしデザイン・ファイルを選択後、"開く" ボタンならびに "Add" ボタンをクリックします。

デザイン・ファイルを削除する場合は、File name 下部の枠内から目的のデザイン・ファイルを選択し、 "Remove" ボタンをクリックします。

VHDL でパッケージ・ファイルをデザイン・ファイルよりも優先的に読み込ませるなど、デザイン・ファイルの読み込み順を指定する場合には、"Up"/"Down"ボタンにより上下入れ替えを行ってください。なお、上位に登録されているファイルから読み込まれます。



6-2. ユーザ・ライブラリの変更

- 1. Project メニュー \Rightarrow Add/Remove Files in Project、または Assignments メニュー \Rightarrow Settings を選択します。
- 2. 起動した Settings ダイアログボックスのカテゴリを Libraries に切り替えます。(図 6-2)

P Settings - 📲 📰	
Category:	Device
General	Libraries
 Filos IP Catalog Search Locations Operating Settings and Conditions Voltage Temperature Compilation Process Settings Incremental Compilation Physical Synthesis Optimization EDA Tool Settings Design Entry/Synthesis Simulation Formal Verification Board-Level Analysis & Synthesis Settings VHOL Input Default Parameters Fitter Settings TimeQuest Timing Analyzer Assembler Design Assistant SignalTap II Logic Analyzer Logic Analyzer Interface PowerPlay Power Analyzer Setting: SSN Analyzer 	Specify both project and global libraries. List the library names in the order you want to search them. Both project and global libraries can contain user-defined or vendor-supplied megafunctions, Block Symbol Files, and AHDL Include Files. Global libraries (all projects) Global libraries: Ibraries: Ibraries: Project libraries Project libraries Ibraries: Ibraries:
4 m	OK Cancel Apply Help

図 6-2 Libraries ページ (Settings ダイアログボックス)

3. ライブラリを追加する場合は、ブラウズ・ボタンをクリックしフォルダを選択後、"フォルダの選択"ボタンをクリックします。ライブラリを削除する場合は、枠内から目的のフォルダ・パスを選択し、"Remove"ボタンをクリックします。

Global libraries (all projects)、Project libraries に関しては、本資料9ページの "ユーザ・ライブラリの登録方法" をご参考ください。

🔥 ALTIMA 🚃

6-3. ターゲット・デバイス型番の変更

- 1. Assignments メニュー ⇒ Device を選択します。
- 変更するデバイス・ファミリおよび型番を選択します。(図 6-3) このダイアログボックスの操作については、 本資料 10ページの "Family & Device Settings [Page 3 of 5] ページ"の説明をご覧ください。

		i suitware i	n which your targ	et device is supported,	refer to the <u>Device Suppor</u>	<u>rt List</u> webpage.	
Device family				Show in 'Available d	evices' list		
Esculus Cyclone		-\		Packager	0.px		
Family: Cyclone	V (E/GX/G1/SX/SE/S1)	•	Package:			
Devices: All			•	Pin count:	Any 🔻		
				Core Speed grade:	Any	•	
Target device							
Auto device se	elected by the Fitter			Name filter:			
 Constitution 	- coloctod in 'Ausilable	douioos' lie		Show advanced devices			
Specific device	e selecteu III Avaliable	uevices ils	L				
🔘 Other: n/a				Device and Pin Option	ıs		
vailable devices:							
Name	Core Voltage	ALMs	User I/Os	GXB Channel PMA	GXB Channel PCS	PCIe (PIPE) F	
CEBA4U19C7	1.1V	18480	224	0	0	0	
CEBA4U19C8	1.1V	18480	224	0	0	0	
CEBA5F23C7	1.1V	29080	240	0	0	0	
CEBA5F23C8	1.1V	29080	240	0	0	0	
	1.1V	29080	224	0	0	0	
CEBA5019C7	1.1V	29080	224	0	0	0	
CEBA5U19C7	1.1V	56480	240	0	0	0	
CEBA5U19C7 CEBA5U19C8 CEBA7F23C7		56480	240	0	0	0	
CEBA5U19C7 CEBA5U19C8 CEBA7F23C7 CEBA7F23C8	1.1V		336	0	0	0	
ICEBA5U19C7 ICEBA5U19C8 ICEBA7F23C7 ICEBA7F23C8 ICEBA7F27C7	1.1V 1.1V	56480		0	0	0	
CEBASUI9C7 CEBASUI9C8 CEBA7F23C7 CEBA7F23C8 CEBA7F27C7 CEBA7F27C8	1.1V 1.1V 1.1V	56480 56480	336	0			
CEBASU19C7 CEBASU19C8 CEBA7F23C7 CEBA7F23C8 CEBA7F27C7 CEBA7F27C8 CEBA7F31C7	1.1V 1.1V 1.1V 1.1V 1.1V	56480 56480 56480	336 480	0	0	0	

図 6-3 Device ダイアログボックス

Device ダイアログボックスの左下に位置する "Migration Devices" ボタンは、デバイス・マイグレーション設定のためのボタンです。アルテラ社 FPGA および CPLD の同一デバイス・ファミリ内において、同一パッケージであれば集積度の異なるデバイスに基板改版をすることなく置き換えをすることができ、アルテラではそのことをデバイス・マイグレーションと表現しています。

デバイス・マイグレーションの詳細は、担当する各代理店の技術情報サイトにおいて以下のタイトル資料を ご参考ください。

```
『アルテラ社 FPGA/CPLD デバイス・マイグレーション』
```

6-4. EDA ツールの変更

\Lambda ALTIMA 🗧

- 1. Assignments $\prec = \neg \rightarrow$ Settings を選択します。
- 2. 起動した Settings ダイアログボックスのカテゴリを EDA Tool Settings に切り替えます。
- 3. ツール名およびファイル・フォーマットの変更であれば、該当する項目を選択し直してください。(図 6-4)

🚽 Settings - 🔜				
Category:				Device
General	EDA Tool Settings			
Files Libraries	Specify the other ED	A tools used with the Qua	rtus II software to develop y	our project.
 IP Settings IP Catalog Search Locations 	EDA tools:			
 Operating Settings and Conditions 	Tool Type	Tool Name	Format(s)	Run Tool Automatically
Voltage Temperature	Design Entry/Syn	<none> 🔻</none>	<none> 💌</none>	Run this tool automa
 Compilation Process Settings Incremental Compilation 	Simulation	QuestaSim 🔹	VHDL -	🔲 Run gate-level simul
Physical Synthesis Optimization	Formal Verification	<none></none>	SystemVerilog HDL	
EDA Tool Settings	Board-Level	Timing	VHDL	
Simulation		Symbol Signal Integrity	<none></none>	
Formal Verification Board-Level		Boundary Scan	<none> -</none>	
VHDL Input Verilog HDL Input Default Parameters Fitter Settings TimeQuest Timing Analyzer Assembler Design Assistant SignalTap II Logic Analyzer Logic Analyzer Interface PowerPlay Power Analyzer Setting: SSN Analyzer				
	•	III		4
< +			OK Cancel	Apply Help

図 6-4 EDA Tool Settings ページ (Settings ダイアログボックス)

ALTIMA

4. 各ツールに対するオプションなどの詳細を設定(変更)する場合には、カテゴリをさらに選択し各項目を設定してください。(図 6-5)このダイアログボックスの詳細は、担当する各代理店の技術情報サイトにおいて以下のタイトル資料をご参考ください

Quartus II はじめてガー	「ド - EDA ツールの設定方法
Settings a Category: General Files	Device
Libraries) IP Settings) Operating Settings and Conditions) Compilation Process Settings I EDA Tool Settings) Simulation) Tormal Vorification Board-Level 4 Analysis & Synthesis Settings VHDL Input Verilog HDL Input Default Parameters Fitter Settings TimeQuest Timing Analyzer Assembler Design Assistant SignalTap II Logic Analyzer	Specify options for generating output hiles for use with other EDA tools. Tool name: QuestaSim Run gate-level simulation automatically after compilation EDA Netlist Writer settings Format for output netlist: VHDL Output directory: simulation/modelsim Map illegal HDL characters Enable glitch filtering Options for Power Estimation Generate Value Change Dump (VCD) file script Design instance name: Script Settings
Logic Analyzer Interface PowerPlay Power Analyzer Setting: SSN Analyzer	More EDA Netlist Writer Settings NativeLink settings None Compile test bench: Test Benches Use script to set up simulation: Script to compile test bench: Script to compile test bench: Reset

図 6-5 Simulation ページ (Settings ダイアログボックス)

6-5. 最上位階層デザインの変更

\Lambda ALTIMA

Quartus II 開発ソフトウェアは、プロジェクト作成時に設定した最上位階層デザインをコンパイルなどのプロセス 実行の対象とします。現在使用しているプロジェクトにおいて、最上位階層のデザイン・ファイルが別のファイルに 変更になった、あるいは一時的に下位階層デザインを最上位階層デザインと見立てたい場合など、プロセス実行 の対象となる最上位階層デザインを変更することが可能です。

下位階層デザインを最上位階層デザインと見立て、最上位階層のデザインを変更する場合は、以下の操作で変更します。(図 6-6)

- 1. Assignments $\vee = \neg \rightarrow$ Settings を選択します。
- 2. 起動した Settings ダイアログボックスのカテゴリを General に切り替えます。
- 3. Top-level entity 欄の右横にあるブラウズ・ボタンをクリックし、Select Entity ダイアログボックスを表示します。
- 4. Select Entity ダイアログボックスに表示されたエンティティから、一時的に最上位階層にするエンティティを 選択し、OK ボタンをクリックします。

P Settings - filtref	
Category:	Device
Category: General Thes Libraries IP Settings IP Catalog Search Locations Operating Settings and Conditions Voltage Temperature Compilation Process Settings Incremental Compilation Physical Synthesis Optimization EDA Tool Settings Design Entry/Synthesis Simulation Formal Verification Board-Level Analysis & Synthesis Settings VHDL Input Verilog HDL Input Default Parameters Fitter Settings TimeQuest Timing Analyzer Assembler Design Assistant SignalTap II Logic Analyzer Logic Analyzer Interface PowerPlay Power Analyzer Setting: SSN Analyzer	General You can change the top-level entity for the design; however, it is recommended that you create a new revision for each entity in order to maintain settings information. Top-level entity: Recently selected top-level entities: filtref Description:

図 6-6 General ページ (Settings ダイアログボックス)および Select Entity ダイアログボックス

5. プロジェクト名は変更なく、最上位階層エンティティのみが変更されます。(図 6-7)

🔇 Quartus II 64-Bit - E:/altera_work/sample_prj filtref	💱 Quartus II 64-Bit - E:/altera_work/sample_prj filtref filtref		
File Edit View Project Assignments Processing Too	File Edit View Project Assignments Processing	Тоо	
📋 🗋 🧭 🛃 👗 🐁 🛍 🖄 🕫 🥲	🗋 💕 🚽 🦪 👗 🖻 🛍 🤟 (* 🛙 filtref		
🕴 🧇 📸 🗿 🦃 🐥 🛛 🖋 🙂 🚷 🐒 😵 🛸 🗇 🔍	🔶 🔁 🗟 🍣 🐥 🖋 过 🕵 😰 🞸 🚳	2	
Project Navigator 🛛 🛱 🛪	Project Navigator 🛛 🕹 🖉 🗙		
Entity	Entity		
A Cyclone V: 5CEBA5F23C7	A Cyclone V: 5CEBA5F23C7		
🔺 🔤 filtref 📠	→ state_m		
▶ acc:acc_inst			
hvalues:hvalues_inst			
👷 mult:mult_inst			
state_m:state			
abo taps:taps_inst			
🚆 Set as Top-Level Entity			
Hierarchy タブ(Project Navigator ウインドウ内)よ			
▲ Hierarchy ダウン・メニューから Set as Top-Level Entity を選択しても変更可能。 Posign Units 4			

図 6-7 最上位階層エンティティが変更された Hierarchy タブ(Project Navigator ウィンドウ)



6. 最終的にコンパイルを実行する際に再び最上位階層エンティティへ切り替えるときは、1~5 の操作を繰り返 してください。

プロジェクトの下位階層デザインではないデザインを最上位階層デザインに変更する場合は、以下の操作で変更 します。なお、この方法で先ほどの下位階層デザインを最上位階層デザインに変更することも可能です。

- 1. File メニュー ⇒ Open を選択し、最上位階層として扱いたいデザイン・ファイルを開きます。
- 2. 目的のデザイン・ファイルがアクティブになっている画面の状態で、Project メニュー ⇒ Set as Top-Level Entity を選択します。(図 6-8)

🔮 Quartus II 64-Bit	- E:/alt	era_work/sample_prj/filtref - filtref			
File Edit View	Proje	ct Assignments Processing Tools	Window He	elp 🐬	
		Add Current File to Project Add/Remove Files in Project			♥♥♥ ► ♥ \$ \$ \$ 0 0 € ₹
Project Navigator	ð	Revisions Copy Project			
Cyclone V: 5CE Filtref Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Control Filtref Filtre		Clean Project Archive Project Restore Archived Project			164.all; nsigned.all;
融 mult:mu 融 state_m 融 taps:tap		Import Database Export Database			in std_logic; std_logic; it std_logic_vector(3 downto 0);
		Import Design Partition Export Design Partition Generate Design Partition Scripts			<pre>out std_logic_vector(6 downto 0); out std_logic_vector(6 downto 0));</pre>
A Hierarchy		Generate Tcl File for Project Generate PowerPlay Early Power Estima Upgrade IP Components	ator File		top_design is std_logic;
Flow: Compilation	-	Organize Quartus II Settings File			in std_logic; utstd_logic);
? 🔺 🕨 Com	3	Set as Top-Level Entity	Ctrl+	Shift+J	
? ▷ ► A ? ▷ ► Fi ? ▷ ► A	tter (F ssemb	Hierarchy nace & Route) ler (Generate programming file 24	ac	lr : ⊳⊐ ·in	ar60 lstd_logic; in std_logic; etd_logic;

図 6-8 Set as Top-Level Entity (Project メニュー)

3. プロジェクト名は変更なく、最上位階層エンティティのみが変更されます。(図 6-9)

🔇 Quartus II 64-Bit - E:/altera_work/sample_pr	🚭 Quartus II 64-Bit - E:/altera_work/sample_prj filtref - filtref
File Edit View Project Assignments Processing Tools	File Edit View Project Assignments Processing To
🗋 😂 🗔 🥥 🕺 🖧 🖻 🛍 🔊 🛯 filtref	📋 💕 🗔 🐉 🕺 🏝 🛍 💙 (*) 🗍
🖗 🔁 🗗 🦃 👫 🖋 👿 📋 🕵 🐒 🛠 🚳 💐 🂐	j 🧇 🔁 🗊 🏶 🐥 📝 🖽 📋 🕵 💕 🐝 🧇 ⋞
Project Navigator 🛛 🕹 🗸	Project Navigator 🛛 🕹 🗸 🍕
Entity	Entity
A Cyclone V: 5CEBA5F23C7	A Cyclone V: 5CEBA5F23C7
🔺 🔤 filtref 📠	top_design 2
▶ acc:acc_inst	
hvalues:hvalues_inst	
體 mult:mult_inst	6
🔛 state_m:state_m_inst	
app taps:taps_inst	8
	9
	10
	12
	· · · 13
A Hierarchy 📄 Files P Design Units	A Hierarchy 📄 Files 🗗 Design Units 🕢 14

図 6-9 最上位階層エンティティが変更された Hierarchy タブ(Project Navigator ウィンドウ)



<u> 改版履歴</u>

Revision	年月	概要
1	2014 年 7 月	初版
1.1	2015 年 4 月	アルテラ社の Web サイトのリニューアルに伴う URL 変更

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社アルティマ ホームページ: <u>http://www.altima.co.jp</u> 技術情報サイト EDISON: <u>https://www.altima.jp/members/index.cfm</u>
 - 株式会社エルセナ ホームページ: <u>http://www.elsena.co.jp</u> 技術情報サイト ETS : <u>https://www.elsena.co.jp/elspear/members/index.cfm</u>
- 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカ発行の英語版の資料もあわせてご利用ください。