

アルテラ社 FPGA / CPLD 消費電力見積り ~ PowerPlay Early Power Estimators ~ ver.11



2012年4月 Rev.1

ELSENA,Inc.





ALTIMA アルテラ社 FPGA / CPLD 消費電力見積り

~ PowerPlay Early Power Estimator ~

<u>目次</u>

| 1. | はじ | めに | 3 |
|----|--------------|------------------------|----|
| - | l -1. | 仕様検討時の消費電力見積り | 4 |
| 2. | Pow | erPlay EPE | .5 |
| , | 2-1. | PowerPlay EPE の入手方法 | 5 |
| | 2-2. | PowerPlay EPE の説明 | 7 |
| | 2-2- | 1. PowerPlay EPE の動作環境 | 7 |
| | 2-2- | 2. PowerPlay EPE の各ページ | 8 |
| | 2-2- | 3. 見積もり結果 | 0 |
| 3. | 最大 | :の消費電力見積り手順 | 24 |
| 4. | 設計 | 資産を流用した消費電力見積り手順 | :7 |
| 改版 | 反履歴 | | 31 |

FI SEN/



1. <u>はじめに</u>

この資料は、アルテラ社 FPGA/CPLD の消費電力見積りについて説明しています。

アルテラ社は、設計工程にあわせて最適な消費電力見積りを行う為に様々なテクノロジ・ツールを用意しています。

- PowerPlay Power テクノロジ・ツール
 - PowerPlay Early Power Estimator (以下: PowerPlay EPE)
 - Power Play Power Analyzer
 - PowerPlay Power Optimization

PowerPlay EPE は、設計工程の初期段階において消費電力を概算するために使用できます。スプレッド シート形式になっており、使用予定のデバイスや動作条件、デバイスのリソース数を入力することで消費電 力の見積りが可能です。

また、PowerPlay Power Analyzer は、Quartus II に標準搭載されているツールとなっており、FPGA/ CPLD のデザイン完成後に消費電力を見積るために使用できます。

図 1-1 は、FPGA / CPLD の設計段階と消費電力の見積り精度に関して示しています。



図 1-1 設計工程と PowerPlay テクノロジ・ツール

本資料では、PowerPlay EPE について説明します。

尚、PowerPlay EPE を使用する場合、Microsoft[®] 社 Excel[®] が必要です。

FISENA

1-1. 仕様検討時の消費電力見積り

\Lambda ALTIMA 🗖

FPGA/CPLD のデザインが未完成の場合、PowerPlay EPE を使用する事で消費電力の見積りが可能です。

仕様検討時に消費電力を見積る場合、いくつかの想定で消費電力を見積もります。

● 最大の消費電力見積り

使用予定のデバイスが消費する最大の消費電力

● 設計資産を流用した消費電力見積り

既存の設計資産を一部流用した消費電力の見積り

仕様検討時は消費電力の見積り精度はそれほど必要ではありません。つまり、デザインが未完成の状態 なので実機に近い状態の消費電力を見積ることができません。そこで、概算の消費電力見積りとして PowerPlay EPE を使用します。

デザイン完了後、より実機に近い条件を設定できる段階になり、消費電力の精度を高める必要がある場合は、PowerPlay Power Analyzer をご使用ください。詳細については、EDISON 内『アルテラ社 FPGA/ CPLD 消費電力見積り ~ PowerPlay Power Analyzer ~』をご参照ください。





2. PowerPlay EPE

PowerPlay EPE は、デバイス・ファミリ毎に用意されています。

2-1. PowerPlay EPE の入手方法

PowerPlay EPE は、アルテラ社 Web サイト内 下記リンク (図 2-1-1 参照) に用意されています。

[PowerPlay Early Power Estimators (EPE) and Power Analyzer]

http://www.altera.com/support/devices/estimator/pow-powerplay.jsp

| PowerPlay Early Power Estimators (EPE) and Power Analyzer | | | | | | | | |
|---|---|---|--|--|--|--|--|--|
| Home > Support > Devices > Early Power Estimators | | | | | | | | |
| Table 1 lists Altera® device families with links to respective P have design files or a project set up in the Quartus II softwar automatically populate the spreadsheets. During implementar software's PowerPlay power analyzer tool. | owerPlay early pov re, you can have th tion, you can refine | ver estimator spread le Quartus II softwa e your power estima | dsheets. If you already re generate data to tes using the Quartus II | | | | | |
| Tools | Doc Version | Estimator | User Guide (PDF) | | | | | |
| Stratix III, Stratix IY, Stratix Y, HardCopy III and HardCopy IY PowerPlay Early Power Estimator 🕬 | 11.1 SP2 | Download | Download | | | | | |
| Stratix II, Stratix II GX, and HardCopy II PowerPlay Early Power Estimator | 8.1 | <u>Download</u> | Download | | | | | |
| Stratix PowerPlay Early Power Estimator | 3.3 | <u>Download</u> | Download | | | | | |
| Stratix GX PowerPlay Early Power Estimator | 2,4 | <u>Download</u> | <u>Download</u> | | | | | |
| Cyclone III, Cyclone I¥ and Cyclone ¥ PowerPlay Early Power Estimator 7000 | 11.1 SP2 | Download | Download | | | | | |
| Cyclone II PowerPlay Early Power Estimator | 8.0 SP1 | Download | Download | | | | | |
| Cyclone PowerPlay Early Power Estimator | 2.5 | Download | Download | | | | | |
| Arria II GX, Arria II GZ and Arria ¥ PowerPlay Early Power Estimator 🏧 | 11.1 SP2 | Download | Download | | | | | |
| Arria GX PowerPlay Early Power Estimator | 8.1 | <u>Download</u> | Download | | | | | |
| HardCopy HC20K PowerPlay Early Power Estimator | 1.0 | <u>Download</u> | - | | | | | |
| HardCopy Stratix PowerPlay Early Power Estimator | 1.3 | <u>Download</u> | - | | | | | |
| MAX V PowerPlay Early Power Estimator | 11.0 | <u>Download</u> | Download | | | | | |
| MAX II and MAXIIZ PowerPlay Early Power Estimator | 9.0 SP2 | Download | Download | | | | | |
| Max PowerPlay Early Power Estimator | 1.2 | Download | - | | | | | |

図 2-1-1 アルテラ社 Web サイト内 PowerPlay EPE ダウンロード・ページ

(手順1) 上記リンクにアクセスします。

(手順2)対象デバイス・ファミリの Estimator 欄 "Download"をクリックします。



FISENA

(手順3) 使用許諾をご確認いただき同意された場合は、"I Agree" ボタンを押します。(図 2-1-2 参照)

※ 同意していただけない場合、PowerPlay EPE はご使用いただけません。



図 2-1-2 使用許諾確認ページ

(手順 4) ご使用中の Microsoft 社 Excel バージョン 欄 "Download Estimator" をクリックし、

PowerPlay EPE を保存します。(図 2-1-3 参照)









2-2. PowerPlay EPE の説明

2-2-1. PowerPlay EPE の動作環境

PowerPlay EPE を使用する場合、下記の環境が必要です。

- OS: Windows
- Microsoft Excel 2003、Microsoft Excel 2007、Microsoft Excel 2010 のいずれか
- Quartus II v9.1 以上

尚、下記手順にてセキュリティ・レベルの設定が必要です。

【Microsoft Excel 2003 の場合】

(手順 1) Microsoft Excel を開きます。

(手順1) Tools メニュー > Options を選択します。

(手順 2) [Security] タブ内の Macro Security を選択します。

(手順 3) [Security Level] タブ内の Medium を選択し、"OK" ボタンを押します。

(手順4) "OK" ボタンを添い、設定画面を閉じます。

(手順 5) PowerPlay EPE を開きます。

【Microsoft Excel 2007 の場合】

- (手順 1) Microsoft Excel を開きます。
- (手順 2) 左上にある "Office" ボタンを押します。
- (手順3) "Excel Options" ボタンを押します。
- (手順 4) 左上の "Trust Center" ボタンを押し、"Trust Center Settings" ボタンを押します。
- (手順 5) "Macro Settings" ボタンを押し、Disable all macros with notification を有効にします。
- (手順 6) Microsoft Excel を閉じます。
- (手順 7) PowerPlay EPE を開きます。
- (手順 8) ワーニング・メッセージが表示されるので、"Options"をクリックします。
- (手順 9) "Microsoft Office Security Options" ダイアログ内 Enable this content を有効にします。

【Microsoft Excel 2010 の場合】

- (手順1)[File] タブを選択します。
- (手順2) "オプション"をクリックします。
- (手順3) "セキュリティ センター"を選択し、"セキュリティ センターの設定" ボタンを押します。

EI SEN/

(手順 4) "マクロの設定"を選択し、"警告を表示してすべてのマクロを無効にする"にチェックを 入れます。

(手順 5) "OK" ボタンを 2 回押し、設定画面を閉じます。

- (手順 6) PowerPlay EPE を開き、ワーニングが表示されたら "Options" をクリックします。
- (手順 7) "Microsoft Office Security Options"内 "Enable content for this session" にチェックを 入れます。

2-2-2. PowerPlay EPE の各ページ

ALTIMA 🗖

PowerPlay EPE は、各タブに分割されており、使用予定のリソースをタブ毎に入力します。 ※デバイス・ファミリによりタブの個数とタブ名称は異なります。

- Main: デバイスと使用環境の設定、計算結果表示
- Logic: ロジック・エレメントやフリップ・フロップの使用数、動作周波数、トグル率
- RAM: エンベデッド・メモリの使用数、データやアドレス幅、動作周波数、トグル率など
- DSP: エンベデッド乗算器や DSP ブロックの使用数、動作周波数、入出カレジスタの有無、 トグル率など
- IO: I/O Standard、出力電流、スルーレート、ピンの本数、動作周波数など
- PLL: PLL の使用数、動作周波数、VCO 周波数
- Clock: クロック周波数、ファンアウト数、トグル率など
- HSDI: Serializer / Deserializer チャネル数、データ・レートなど
- XCVR: 高速トランシーバ・チャネル数、プロトコル、データ・レートなど
- HMC: Hard Memory Controller の動作周波数、データ幅、コマンド・ポート数など
- IP: DDR2 や DDR3 SDRAM Memory Controller などの IP のデータ幅、動作周波数など
- Report: 項目毎の詳細レポート表示





(Main)

デバイスと使用環境の設定、計算結果の表示 (図 2-2-2-1 参照)



図 2-2-2-1 Main タブ

表 2-2-2-1 は、Main タブ内の設定項目について説明しています。

表 2-2-2-1 Main タブ

| 項目 | 概要 |
|------------------------------|--------------------|
| Family | デバイス・ファミリを選択 |
| Device | デバイス型番を選択 |
| Package | パッケージを選択 |
| Temperature Grade | 温度グレードを選択 |
| Power Characteristics | 標準もしくはワーストケースの値を選択 |
| Ambient Temp, T _A | デバイスの周囲温度を設定 |
| Heat Sink | ヒートシンクの選択 |
| Airflow | デバイスの周囲空気流量を設定 |
| Board Thermal Model | ボードの熱抵抗を設定 |





[Logic]

ロジック・エレメントやフリップ・フロップの使用数、動作周波数、トグル率 (図 2-2-2-2 参照)



図 2-2-2-2 Logic タブ

表 2-2-2-2 は、Logic タブ内の設定項目について説明しています。

表 2-2-2-2 Logic タブ

| 項目 | 概要 |
|------------------|--------------------------------|
| Module | モジュール名 (任意) |
| #LUTs もしくは #ALUT | LUT もしくは ALUT の個数 (組み合わせ回路) |
| #FF | フリップ・フロップ数 |
| Clock Freq (MHz) | 動作周波数 |
| Toggle % | トグル率 |
| Averate Fanout | 平均ファンアウト数 |





[RAM]

エンベデッド・メモリの使用数、データやアドレス幅、動作周波数、トグル率など (図 2-2-2-3 参照)



図 2-2-2-3 RAM タブ

表 2-2-2-3 は、RAM タブ内の設定項目について説明しています。

表 2-2-2-3 RAM タブ

| 項目 | 概要 | | | | |
|------------------|-----------------------------------|--|--|--|--|
| Modulo | モジュール名 | | | | |
| Wodule | (任意) | | | | |
| RAM Type | エンベデッド・メモリ・ブロックのタイプ | | | | |
| #RAM Blocks | エンベデッド・メモリ・ブロックの個数 | | | | |
| Data Width | データ幅 | | | | |
| RAM Depth | アドレスの深さ | | | | |
| | メモリ・モード | | | | |
| RAIVI Wode | (Signle-Port / True Dual-Port など) | | | | |
| Clock Freq (MHz) | Port A の動作周波数 | | | | |
| Enable % | Port A のクロック・イネーブルの有効率 | | | | |
| Write % | Port A の Write モード率 | | | | |
| Clock Freq (MHz) | Port B の動作周波数 | | | | |
| Enable % | Port B のクロック・イネーブルの有効率 | | | | |
| R/W % | Port B の Read / Write モードの比率 | | | | |
| Toggle % | 各ブロックの出力信号トグル率 | | | | |





エンベデッド乗算器や DSP ブロックの使用数、動作周波数、入出カレジスタの有無、トグル率など (図 2-2-2-4 参照)

| DSP | Return to Main | 1 | | | | | | | | | | |
|-----------------------------|--|----------|---------|-------------------|------------------------|-------------|----------------|-----------------|-----------------|---------|----------|--------|
| Total Ther | mal Power (W) | 0.000 | | | | | | | | | | |
| DSP (| Jtilization | 0.0% | | | | | | | | | | |
| Power | Saving (W) | 0.000 | more >> | | | | | | | | | |
| | | | | | | | | | | Therr | nal Powe | er (W) |
| Module | Config | juration | | # of Instances | Clock Freq (MHz) | Toggle % | Reg Inputs? | Reg Outputs? | Pipe- lined? | Routing | Block | Total |
| | 9 | x9 | | • 0 | 0.0 | 12.5% | Yes | Yes | | 0.000 | 0.000 | 0.000 |
| | 9×9 | | | ▲ 0 | 0.0 | 12.5% | Yes | Yes | No | 0.000 | 0.000 | 0.000 |
| |] 12×12] 18×18 Partial | | | 0 | 0.0 | 12.5% | Yes | Yes | No | 0.000 | 0.000 | 0.000 |
| | 18x18 Partial with Con | stant | | 0 | 0.0 | 12.5% | Yes | Yes | No | 0.000 | 0.000 | 0.000 |
| | 18x18 Partial with PreAdder Coefficient 18x18 Compact | | icient | 0 | 0.0 | 12.5% | Yes | Yes | No | 0.000 | 0.000 | 0.000 |
| 18x18 Compact with Constant | | 0 | 0.0 | 12.5% | Yes | Yes | No | 0.000 | 0.000 | 0.000 | | |
| | 18x18 Compact with PreAdder Coefficient | | | 0.0 | 12.5% | Yes | Yes | No | 0.000 | 0.000 | 0.000 | |
| | 9x9 | | | 0 | 0.0 | 12.5% | Yes | Yes | No | 0.000 | 0.000 | 0.000 |
| | 9 | x9 | | 0 | 0.0 | 12.5% | Yes | Yes | No | 0.000 | 0.000 | 0.000 |
| | 9 | x9 | | 0 | 0.0 | 12.5% | Yes | Yes | | 0.000 | 0.000 | 0.000 |

図 2-2-2-4 DSP タブ

表 2-2-2-4 は、DSP タブ内の設定項目について説明しています。

表 2-2-2-4 DSP タブ

| 項目 | 概要 |
|------------------|----------------------|
| Module | モジュール名 (任意) |
| Configuration | 乗算器ブロックや DSP ブロックの構成 |
| #of Instances | 乗算器ブロックや DSP ブロックの個数 |
| Clock Freq (MHz) | 動作周波数 |
| Toggle % | 出力データのトグル率 |
| Reg Inputs | 入力レジスタの使用 |
| Reg Outputs | 出力レジスタの使用 |

ELSENA



【IO】

I/O Standard、出力電流、スルーレート、ピンの本数、動作周波数など (図 2-2-2-5 参照)

| I/O | Return To Main | | | A boar allows | d trace m the EPE | iodel correspond to more accurat | ing to t ely esti | he I/O sta imate ther | ndard you : mal power | specify is a by account | pplied to al ing for the I | l output and oads exerte | d bidirectior ed by the bo | al pins in t bard trace. | he desigi |
|--|----------------|-------------|--|------------------|----------------------------|-------------------------------------|----------------------|--------------------------|--------------------------|----------------------------|-------------------------------|-----------------------------|-------------------------------|-----------------------------|-----------|
| Total Thermal Power (W) 0.000 | | | This device has 240 general purpose I/O pins and 28 HSSI I/O pins. | | | | | | | | | | | | |
| Off Chip Power (W) 0.000 I/O Utilization 0.0% Power Saving (W) 0.000 | | more >> | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | |
| Power Rails | Voltage (V) | Current (A) | | | | | | | | | | | | | |
| Vccio | 1.20 | 0.0000 | | | | | | | | | | | | | |
| Vccio | 1.25 | 0.0000 | - | | | | | | | | | | | | |
| Vccio | 1.35 | 0.0000 | | | | | | | | | | | | | |
| Vccio | 1.50 | 0.0000 | | | | | | | | | | | | | |
| Vccio | 1.80 | 0.0000 | | | | | | | | | | | | | |
| Vccio | 2.50 | 0.0029 | | | | | | | | | | | | | |
| Vccio | 3.00 | 0.0000 | | | | | | | | | | | | | |
| Vccio | 3.30 | 0.0000 | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | |
| VCCPD | 2.5 | 0.0084 | | | | | | | | | | | | | |
| VCCPD | 3.0 | 0.0000 | | | | | | | | | | | | | |
| VCCPD | 3.3 | 0.0000 | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | The |
| Module | I/O Sta | undard | Current Strength / Output Termination | Slew Rate | V ₀₀ Setting | Pre-Emphasis Setting | # Input Pins | # Output Pins | # Bidir Pins | Data Rate | Clock Freq (MHz) | Toggle % | OE % | Load (pF) | Routin |
| | 2.5 | i V | - 4mA | 0 | N/A | N/A | 0 | 0 | 0 | SDR | 0.0 | 12.5% | 100.0% | 0 | 0.000 |
| | 2.5 | iΥ | 4mA | 0 | N/A | N/A | 0 | 0 | 0 | SDR | 0.0 | 12.5% | 100.0% | Ó | 0.000 |
| | 2.5 | iν | 4mA | 0 | N/A | N/A | 0 | 0 | 0 | SDR | 0.0 | 12.5% | 100.0% | 0 | 0.000 |
| | 2.5 | i V | 4mA | 0 | N/A | N/A | 0 | 0 | 0 | SDR | 0.0 | 12.5% | 100.0% | 0 | 0.000 |
| | 2.5 | 5 V | 4mA | | N/A | N/A | 0 | 0 | | SDR | 0.0 | 12.5% | 100.0% | 0 | 0.000 |

図 2-2-2-5 IO タブ

表 2-2-2-5 は、IO タブ内の設定項目について説明しています。

表 2-2-2-5 IO タブ

| 項目 | 概要 |
|--------------------|-----------------|
| NA 11 | モジュール名 |
| Nodule | (任意) |
| I/O Standard | I/O Standard |
| Input Termination | 内部入力終端抵抗の使用 |
| Current Strength / | 山も電法県/山も線端抵けの使用 |
| Output Termination | 山力电流里/山力於靖抵抗の使用 |
| Slew Rate | スルーレートの使用 |
| #Input Pins | 入力ピン数 |
| #Output Pins | 出力ピン数 |
| #Bidir Pins | 双方向ピン数 |
| Data Rate | SDR か DDR |
| Clock Freq (MHz) | 動作周波数 |
| Toggle % | トグル率 |
| OE % | 出力イネーブルの有効率 |
| Load (pF) | 出力負荷容量 |





[PLL]

PLL の使用数、動作周波数、VCO 周波数 (図 2-2-2-6 参照)

| PLL | Return to | Main | | | | |
|-----------------|--|---------------------------------------|---|---|--|--|
| Total Therm | al Power (W) | 0.000 | | | | |
| PLL Ut | PLL Utilization | | | | | |
| Power S | aving (W) | 0.000 | more >> | | | |
| | | | | | | |
| | | | | | | |
| This section on | ly estimates pow | ver from th | e PLL bloc | ks and do | es not incl | ude the po |
| additional para | motors in the "C | · · · · · · · · · · · · · · · · · · · | • | | | |
| | meters in the C | IOCKS Sect | ion. | | | |
| | | IOCKS" SEC | ion. | | | |
| Module | PLL Type | # PLL Blocks | # DPA Buses | Output Freq (MHz) | VCO Freq (MHz) | Total Power (W) |
| Module | PLL Type | # PLL Blocks | # DPA Buses N/A | Output Freq (MHz) 0.0 | VCO Freq (MHz) 700.0 | Total Power (W) 0.000 |
| Module | PLL Type | # PLL Blocks | # DPA Buses N/A N/A | Output Freq (MHz) 0.0 0.0 | VC0 Freq (MHz) 700.0 700.0 | Total Power (W) 0.000 0.000 |
| Module | PLL Type Left/Right Left/Right Top/Bottom LVDS | # PLL Blocks | # DPA Buses N/A N/A N/A | Output Freq (MHz) 0.0 0.0 0.0 | VCO Freq (MHz) 700.0 700.0 700.0 | Total Power (W) 0.000 0.000 |
| Module | PLL Type Left/Right Left/Right Top/Bottom LVDS Left/Right | # PLL Blocks | H DPA Buses N/A N/A N/A N/A N/A | Output Freq (MHz) 0.0 0.0 0.0 0.0 | VCO Freq (MHz) 700.0 700.0 700.0 700.0 | Total Power (W) 0.000 0.000 0.000 |

図 2-2-2-6 PLL タブ

表 2-2-2-6 は、PLL タブ内の設定項目について説明しています。

表 2-2-2-6 PLL タブ

| 項目 | 概要 |
|-------------------|-----------------------|
| Module | モジュール名 (任意) |
| PLL Type | PLL タイプ |
| #PLL Blocks | PLL の個数 |
| #DPA Buses | LVDS PLL 使用時の DPA バス数 |
| Output Freq (MHz) | 出カクロック周波数 |
| VCO Freq (MHz) | VCO 周波数 |





[Clock]

クロック周波数、ファンアウト数、トグル率など (図 2-2-2-7 参照)

| Clocks | Return | to Main | | | |
|------------------|------------------------|-----------------|--------------------|-------------------|-----------------------|
| Total Therma | 0.000 | | | | |
| Power Saving (W) | | 0.000 | more >> | | |
| Domain | Clock Freq (MHz) | Total Fanout | Global Enable % | Local Enable % | Total Power (W) |
| | 0.0 | 0 | 100% | 50% | 0.000 |
| | 0.0 | 0 | 100% | 50% | 0.000 |
| | 0.0 | 0 | 100% | 50% | 0.000 |
| | 0.0 | 0 | 100% | 50% | 0.000 |
| | 0.0 | 0 | 100% | 50% | 0.000 |
| | 0.0 | 0 | 100% | 50% | 0.000 |
| | 0.0 | 0 | 100% | 50% | 0.000 |
| | 0.0 | 0 | 100% | 50% | 0.000 |
| | 0.0 | | 100% | 50% | 0.000 |

図 2-2-2-7 Clock タブ

表 2-2-2-7 は、Clock タブの設定項目について説明しています。

表 2-2-2-7 Clock タブ

| 項目 | 概要 |
|------------------|-------------------------------|
| Damain | クロック・ドメイン名 |
| Domain | (任意) |
| Clock Freq (MHz) | クロック周波数 |
| Total Fanout | ファンアウト数 |
| Global Enable % | クロック・ツリーの有効な時間の平均割合 |
| Local Enable % | フリップ・フロップに対するクロック・イネーブルの有効な割合 |





[HSDI]

Serializer / Deserializer チャネル数、データ・レートなど (図 2-2-2-8 参照)

| HSDI | Return to Main | | | | |
|--------------|----------------------------------|------------------|---------------------------|---------------|-----------------------|
| Total The | Total Thermal Power (W) 0.000 | | | | |
| Tx Chann | Tx Channel Utilization | | | | |
| Rx Chann | el Utilization | 0.0% | | | |
| Power | Saving (W) | 0.000 | more >> | | |
| This sectio | n only estimat | tes nower w | ithin the SERDES | S hlocks and | t does not in |
| Please ent | er the approp | riate param | eters in the "IO" | section for l | /O power, an |
| Tx Module | Data Rate (Mbps) | # of Channels | Serialization Factor | Toggle % | Total Power |
| | 0 | n n | 7 | 50.0% | |
| | | <u> </u> | 7 | 50.0% | 0.000 |
| | 0 | Ō | 7 | 50.0% | 0.000 |
| | 0 | 0 | 7 | 50.0% | 0.000 |
| | 0 | 0 | 7 | 50.0% | 0.000 |
| | 0 | 0 | 7 | 50.0% | 0.000 |
| | 0 | 0 | 7 | 50.0% | 0.000 |
| | 0 | 0 | 7 | 50.0% | 0.000 |
| | 0 | 0 | 7 | 50.0% | 0.000 |
| | 0 | 0 | 7 | 50.0% | 0.000 |
| | | | | | |
| Rx Module | Data Rate (Mbps) | # of Channels | Deserialization Factor | Toggle % | Total Power (W) |
| | 0 | 0 | 7 | 50.0% | 0.000 |
| | 0 | 0 | 7 | 50.0% | 0.000 |
| | 0 | 0 | 7 | 50.0% | 0.000 |

図 2-2-2-8 HSDI タブ

表 2-2-2-8 は、HSDI タブ内の設定項目について説明しています。

表 2-2-2-8 HSDI タブ

| 項目 | 概要 |
|------------------------|---------------------|
| Tx Module | Tx モジュール名 (任意) |
| Data Rate (Mbps) | Tx のデータ・レート |
| #of Channels | Tx チャネル数 |
| Serialization Factor | シリアル・パラレル化のデータ・ビット数 |
| Toggle % | 各クロック・サイクルのトグル率 |
| Rx Module | Rx モジュール名 (任意) |
| Data Rate (Mbps) | Rx のデータ・レート |
| #of Channels | Rx チャネル数 |
| Deserialization Factor | パラレル・シリアル化のデータ・ビット数 |
| Toggle % | 各クロック・サイクルのトグル率 |







(XCVR)

高速トランシーバ・チャネル数、プロトコル、データ・レートなど (図 2-2-2-9 参照)

| VCCR | 1.1 | 0.000 | | | | | | | | |
|------------------|----------------------------|--|---|--|---|--|--|--|---|-------|
| V _{CCR} | 1.2 | 0.000 | | | | | | | | |
| V _{CCT} | 0.85 | N/A | | | | | | | | |
| V _{CCT} | 1.0 | N/A | | | | | | | | |
| V _{CCT} | 1.1 | 0.000 | | | | | | | | |
| V _{CCT} | 1.2 | 0.000 | | | | | | | | |
| | | | | | | | | | | |
| XCVR Page Mode | Simple | | | | | | | | | |
| | | | | | | | | | | Pr |
| Module | # of Channels | Protocol | V _{CCA} Voltage | V _{CCH_GXB} Voltage | V _{CCL_GXB} , V _{CCR} , and V _{CCT} Voltage | Operation Mode | Data Rate (Mhns) | V ₀₀ Setting | PLL Sharing | Pre-T |
| | | | | | | | (mphs) | | | |
| | 0 | Basic | 2.5 | 1.4 | 1.20 | Receiver and Transmitter | (MDpS) 4250 | 800 | 1 | 0 |
| | 0 | Basic Basic (PM0 Direct) | 2.5▲ 2.5 | 1.4 1.4 | 1.20 1.20 | Receiver and Transmitter Receiver and Transmitter | 4250 4250 | 800 800 | 1 | 0 |
| | 0 0 0 | Basic Basic Basic (PMA Direct) (OIF) CELPHY Interface | ✓ 2.5 ▲ 2.5 2.5 | 1.4 1.4 1.4 | 1.20 1.20 1.20 | Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter | 4250 4250 4250 4250 | 800 800 800 | 1 1 1 | 0 |
| | 0 0 0 0 | Basic Basic (PMA Direct) (OIF) CEI PHY Interface Deterministic Latency | ✓ 2.5 ▲ 2.5 2.5 2.5 | 1.4 1.4 1.4 1.4 | 1.20 1.20 1.20 1.20 1.20 | Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter | 4250 4250 4250 4250 4250 | 800 800 800 800 | 1 1 1 1 | |
| | | Basic Basic (PMA Direct) (OIF) CEI PHY Interface Deterministic Latency CIGE Interfaken | ▼ 2.5 ▲ 2.5 2.5 2.5 2.5 2.5 | 1.4 1.4 1.4 1.4 1.4 1.4 | 1.20 1.20 1.20 1.20 1.20 1.20 | Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter | 4250 4250 4250 4250 4250 4250 | 800 800 800 800 800 | 1 1 1 1 1 | |
| | | Basic Basic (PMA Direct) (OIF) CEI PHY Interface Deterministic Latency GIGE Interfaken PCI Express (PIPE) Gen 1 (with hard IP) | ▼ 2.5 ▲ 2.5 2.5 2.5 2.5 2.5 2.5 | 1.4 1.4 1.4 1.4 1.4 1.4 1.4 | 1.20 1.20 1.20 1.20 1.20 1.20 1.20 | Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter | 4250 4250 4250 4250 4250 4250 4250 4250 | 800 800 800 800 800 800 800 | 1 1 1 1 1 1 1 | |
| | 0 0 0 0 0 0 | Basic Basic (PMA Direct) (OIF) CEI PHY Interface Deterministic Latency GRE Interlaken PCI Express (PIPE) Gen 1 (with hard IP) PCI Express (PIPE) Gen 1 (no hard IP) | 2.5 2.5 2.5 2.5 2.5 2.5 2.5 2.5 2.5 | 1.4 1.4 1.4 1.4 1.4 1.4 1.4 1.4 | 1.20 1.20 1.20 1.20 1.20 1.20 1.20 1.20 | Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter | 4250 4250 4250 4250 4250 4250 4250 4250 | 800 800 800 800 800 800 800 800 | 1 1 1 1 1 1 1 1 1 | |
| | | Basic Basic (PMA Direct) (OIF) CEI PHY Interface Deterministic Latency CIBE Interfaken PCI Express (PIPE) Gen 1 (with hard IP) PCI Express (PIPE) Gen 1 (no hard IP) Basic | ✓ 2.5 2.5 2.5 2.5 2.5 2.5 2.5 2.5 2.5 2.5 | 1.4 1.4 1.4 1.4 1.4 1.4 1.4 1.4 1.4 | 1.20 1.20 1.20 1.20 1.20 1.20 1.20 1.20 | Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter Receiver and Transmitter | 4250 4250 4250 4250 4250 4250 4250 4250 | 800 800 800 800 800 800 800 800 800 800 | 1 1 1 1 1 1 1 1 1 1 | |
| | | Basic Basic (PMA Direct) (OIF) CEI PHY Interface Deterministic Latency GISE Interfaken PCI Express (PIPE) Gen 1 (with hard IP) PCI Express (PIPE) Gen 1 (no hard IP) PCI Express (PIPE) Gen 1 (no hard IP) Basic Basic | ▼ 2.5 ▲ 2.5 2.5 2.5 2.5 2.5 2.5 2.5 2.5 2.5 2.5 2.5 2.5 2.5 | 1.4 1.4 1.4 1.4 1.4 1.4 1.4 1.4 1.4 1.4 | 1.20 1.20 1.20 1.20 1.20 1.20 1.20 1.20 | Receiver and Transmitter Receiver and Transmitter | 4250 4250 4250 4250 4250 4250 4250 4250 | 800 800 800 800 800 800 800 800 800 800 | 1 1 1 1 1 1 1 1 1 1 1 | |
| | | Basic Basic (PMA Direct) (OIF) CEI PHY Interface Deterministic Latency GGE Interlaken PCI Express (PIPE) Gen 1 (with hard IP) PCI Express (PIPE) Gen 1 (no hard IP) Basic Basic Basic | ▼ 2.5 ▲ 2.5 ↓ 2.5 ↓ 2.5 ↓ 2.5 ↓ 2.5 ↓ 2.5 ↓ 2.5 ↓ 2.5 ↓ 2.5 ↓ 2.5 ↓ 2.5 ↓ 2.5 ↓ 2.5 ↓ 2.5 ↓ 2.5 | 1.4 1.4 1.4 1.4 1.4 1.4 1.4 1.4 1.4 1.4 | 1.20 1.20 1.20 1.20 1.20 1.20 1.20 1.20 | Receiver and Transmitter Receiver and Transmitter | 4250 4250 4250 4250 4250 4250 4250 4250 | 800 800 800 800 800 800 800 800 800 800 | 1 1 1 1 1 1 1 1 1 1 1 | |

図 2-2-2-9 XCVR タブ

表 2-2-2-9 は、XCVR タブ内の設定項目について説明しています。

表 2-2-2-9 XCVR タブ

| 項目 | 概要 |
|----------------------------------|---------------------------------------|
| Madula | モジュール名 |
| Module | (任意) |
| #of Channels | チャネル数 |
| Protocol | プロトコル |
| VCCA Voltage | VCCA の電圧レベル |
| VCCH_GXB Voltage | VCCH_GXB の電圧レベル |
| VCCL_GXB、VCCR、, and VCCT Voltage | VCCL_GXB、VCCR、VCCT の電圧レベル |
| Operation Mode | Transmitter / Receiver などのモード |
| Data Rate (Mbps) | データ・レート |
| VOD Setting | Transmitter チャネルの VoD 設定 |
| PLL Sharing | Transmitter と Receiver 間での共有化した PLL 数 |





[HMC]

Hard Memory Controller の動作周波数、データ幅、コマンド・ポート数など (図 2-2-2-10 参照)

| Hard Memory Controller | | Return to | Main | | |
|------------------------|---------------------|----------------------------|------------------------------|------------------------------|-----------------------|
| Total Thermal Pow | ver (W) | N/A | | | |
| HMC Utilizatio | n | N/A | | | |
| Module | Clock Freq (MHz) | DRAM Interface Width | Number of Command Port | Fabric Interface Width | Total Power (W) |

図 2-2-2-10 HMC タブ

表 2-2-2-10 は、HMC タブ内の設定項目について説明しています。

表 2-2-2-10 HMC タブ

| 項目 | 概要 |
|------------------------|----------------------|
| Martula | モジュール名 |
| Module | (任意) |
| Clock Freq (MHz) | 動作周波数 |
| DRAM interface Width | DQ ピンの本数 |
| Number of Command Port | コマンド・ポートの本数 |
| Fabric Interface Width | FPGA 内の Local データの本数 |





【IP】

DDR2 や DDR3 SDRAM Memory Controller などの IP のデータ幅、動作周波数など (図 2-2-2-11 参照)

| IP | Return to Main | | | | | |
|------------------------|--------------------------------|--------------|---|--------------------------------------|------------------------|-------------------|
| - | Fotal Thermal Power (W) | | 0.000 | | | |
| he resources Module | that belong to specific IP are | e based on t | <mark>he default con</mark> Data Width (Bits) | figuration Clock Freq (MHz) | of Quartus Enable % | s II I T P(|
| | | | | 0.0 | 50% | 0 |
| | | | | 0.0 | 50% | 0 |
| | DDR2 SDRAM UNIPHY | | | 0.0 | 50% | 0 |
| | QDRII UNIPHY | | | 0.0 | 50% | 0 |
| | | | | 0.0 | 50% | 0 |
| | | | | 0.0 | 50% | 0 |

図 2-2-2-11 IP タブ

表 2-2-2-11 は、IP タブ内の設定項目について説明しています。

表 2-2-2-11 IP タブ

| 項目 | 概要 |
|-------------------|----------------|
| Module | モジュール名 (任意) |
| IP | IP |
| Data Width (Bits) | データ幅 |
| Clock Freq (MHz) | 動作周波数 |
| Enable % | IP が有効な割合 |

ELSENA

🔥 ALTIMA 🗖

2-2-3. 見積もり結果

消費電力の見積り結果は、[Main] タブと [Report] タブに表示されます。

[Main] タブの見積り結果について説明します。(図 2-2-3-1 参照)



図 2-2-3-1 Main タブ

EISEI



《Thermal Power》

"Thermal Power" では、各タブの見積り合計結果が表示されます。

- Pstatic: スタティック消費電力
- Total: デバイスの消費電力の合計

《Thermal Analysis》

"Thermal Analysis"では、ジャンクション温度などの温度環境を表示します。

● Junction Temp, T_j: ジャンクション温度 (デバイス / ダイ の温度) ジャンクション温度は、デバイスで規定されている絶対最大定格内に 抑える必要があります。

θ_{JA} Junction-Ambient:ジャンクションから周囲までの熱抵抗

パッケージごとに定義されています。

● Maximum Allowed T_A: デバイス / ダイからデバイス周囲 (空気) までの熱抵抗

● Detail ボタン:

計算式が表示されます。 (図 2-2-3-2 参照)



図 2-2-3-2 計算式表示

★☆★☆★☆ 参考資料 ☆★☆★☆★

[Documentation: Package]

http://www.altera.com/literature/lit-pkg.jsp

《Power Supply Current》

各電圧レベルの電流合計結果が表示されます。

FISENA



《Thermal Power》

各タブの見積り合計結果が表示されます。

Power Saving とは、プログラマブル・パワー・テクノロジを使用した場合、低消費電力モードで実現した場合の消費電力見積り結果を反映させた値です。

- After Power Saving
- Before Power Saving
- Power Saving

| Altera Corporation PowerPlay Early Power Estimator Stratix V V11 1502 B6 | Return to | Main | | | |
|---|------------------------|-------------------------|------------------|---------|----|
| V11.13F2 00 | | | | | |
| Device | 5SEE9 | | | | |
| Package | F45 | | | | |
| Temperature Grade | Commercial | | | | |
| Power Characteristics | Typical | | | | |
| | | - デバイマ | レは田瑞塔 | るいいた | 志田 |
| Ambient Temp, Te (°C) | 25 | 1111 | て区内境均 | | 北小 |
| Heat Sink | 23 mm - Medium Profile | | | | |
| Airflow | 200 lfm (1.0 m/s) | | | | |
| Custom Theta-SA (CAV) | 1.50 | | | | |
| Board Thermal Model | None (Conservative) | | | | |
| | | | | | |
| Thermal Power (W) | After Power Saving (W) | Before Power Saving (W) | Power Saving (W) | more >> | |
| Total | 0.883 | 0.886 | 0.003 (0.38%) | | |
| Logic | 0.000 | 0.000 | 0.000 (0.00%) | | |
| RAM | 0.000 | 0.000 | 0.000 (0.00%) | | |
| DSP | 0.000 | 0.000 | 0.000 (0.00%) | | |
| 1/0 | 0.000 | 0.000 | 0.000 (0.00%) | | |
| HSDI | 0.000 | 0.000 | 0.000 (0.00%) | | |
| PLL | 0.000 | 0.000 | 0.000 (0.00%) | | |
| Clocks | 0.000 | 0.000 | 0.000 (0.00%) | | |
| XCVR | N/A | N/A | N/A | | |
| PCS/HIP | N/A | N/A | N/A | | |
| Statio | 0.883 🕂 | 0.886 | 0.003 (0.38%) | | |

低消費電力モードの場合の 見積り結果

図 2-2-3-2 Report タブ

《Thermal Analysis》

ジャンクション温度などの温度環境を表示します。

ELSENA



《Power Supply Current》

各電圧レベルの電流合計結果が表示されます。

Min Current と User Mode Current の高い値にあわせて電源をご用意ください。

- Min Current Requirement: Power Up 時の電流を含んでいます。
- User Mode Current Requirement: ユーザ・モード時の消費電流値です。

| Junction Temp, Tj (C) 26.5 Theta-JA (C/W) 170 Static Current (A) Static Current Requirement (A) Static Current Requirement (A) User Mode Current Requirement (A) Static Current (A) N/A N/A cc. (N/A) N/A N/A N/A N/A N/A N/A Co00 0635 cco.gru. (1.50V) 0.035 0.635 0.635 0.000 0.635 cco.gru. (1.50V) 0.0113 0.113 0.000 0.011 cci. (1.2V) 0.009 0.009 0.000 0.003 cci. (1.2V) 0.009 0.009 0.000 0.003 cci. (1.2V) 0.009 0.000 0.000 0.000 cci. (1.2V) N/A 0.000 0.000 0.000 lcci. (1.5V) N/A 0.000 0.000 0.000 |
|--|
| Theta-JA (C/M) 1.70 Maximum Allowed T _A [®] C) 78.1 Detailed Text Junction-to-Ambient (Theta-JA) = 1.70 C/M Power Supply Current (A) Min Current Requirement (A) Static Current (A) N/A VA N/A Cot (N/A) N/A Cot (0.85V) 0.635 0.635 0.635 Cot (0.5V) 0.002 0.002 0.002 Cot (1.5V) 0.009 Coto (1.2V) 0.009 Coto (1.2V) N/A N/A 0.000 Iccin (1.3V) N/A N/A 0.000 Coto (1.5V) N/A N/A 0.000 Iccin (1.5V) N/A N/A 0.000 |
| Maximum Allowed Tax ⁶ C) 78.1 Unclossing the transmission of transmissin of transmission of transmiss |
| Detailed Text Junction-to-Ambient (Theta-JA) = 1.70 CW User Mode Current Requirement (A) Power Supply Current (A) Min Current Requirement (A) User Mode Current Requirement (A) Total Current (A) CcL (N/A) N/A N/A N/A N/A N/A ccc (0.85V) 0.635 0.635 0.635 0.000 0.635 ccr (1.50V) 0.0113 0.000 0.002 0.000 0.003 ccra (1.50V) 0.113 0.000 0.003 0.003 0.003 0.003 ccra (1.50V) 0.113 0.000 0.001 0.000 0.003 0.003 ccra (1.25V) 0.009 0.001 0.000 0.000 0.000 0.000 lccin (1.25V) N/A 0.000 0.000 0.000 0.000 0.000 lccin (1.5V) N/A 0.000 0.000 0.000 0.000 lccin (1.5V) N/A 0.000 0.000 0.000 1.000 lccin (1.5V) N/A 0.000 0.000 0.000 1.0 |
| Power Supply Current (A) Min Current Requirement (A) User Mode Current Requirement (A) Total Current (A) Total Current (A) cct. (IV/A) N/A N/A N/A N/A N/A cc (0.85V) 0.635 0.635 0.000 0.635 ccco_re.u (1.50V) 0.002 0.002 0.000 0.002 ccer (1.50V) 0.113 0.000 0.003 0.003 ccer (1.50V) 0.113 0.000 0.003 0.003 ccer (1.50V) 0.003 0.001 0.003 0.003 ccio (1.2V) N/A 0.001 0.000 0.000 lccio (1.2V) N/A 0.000 0.000 0.000 lccio (1.3V) N/A 0.000 0.000 0.000 lccio (1.5V) N/A 0.000 0.000 0.000 |
| Static Current (A) Dynamic Current (A) Total Current (A) VCA N/A N/A N/A cc (0.85V) 0.635 0.635 0.000 0.635 cc (0.85V) 0.002 0.002 0.000 0.002 cc (1.50V) 0.013 0.113 0.000 0.009 ccer (1.50V) 0.009 0.001 0.000 0.009 ccio 2.760 0.001 0.000 0.000 ccio (1.25V) N/A 0.000 0.000 0.000 lccio (1.35V) N/A 0.000 0.000 0.000 lccio (1.5V) N/A 0.000 0.000 0.000 lccio (1.5V) N/A 0.000 0.000 0.000 lccio (1.5V) N/A 0.000 0.000 0.000 lccio (2.5V) N/A 0.000 0.000 0.000 |
| Occ. (N/A) NA N/A N/A N/A N/A cc (0.85V) 0.635 0.635 0.000 0.635 ccor_Fru: (1.50V) 0.002 0.000 0.002 0.000 0.002 ccor_Fru: (2.50V) 0.113 0.113 0.000 0.009 0.009 0.000 0.009 ccio 2.760 0.001 0.000 0.000 0.000 0.000 lccio (1.2V) N/A 0.000 0.000 0.000 0.000 0.000 lccio (1.2SV) N/A 0.000 0.000 0.000 0.000 0.000 lccio (1.3SV) N/A 0.000 0.000 0.000 0.000 lccio (1.5V) N/A 0.000 <t< td=""></t<> |
| cc (0.85V) 0.635 0.635 0.000 0.635 cccp_rpL (1.50V) 0.002 0.002 0.000 0.002 cccp (1.50V) 0.013 0.013 0.000 0.002 cccp (1.50V) 0.113 0.000 0.009 0.009 0.000 0.009 ccca (2.50V) 0.009 0.009 0.000 0.000 0.009 ccio 2.760 0.001 0.000 0.000 0.000 lccio (1.25V) N/A 0.000 0.000 0.000 lcoio lccio (1.35V) N/A 0.000 0.000 0.000 lcoio lccio (1.5V) N/A 0.000 0.000 lcoio lccio (1.5V) N/A 0.000 0.000 0.000 lcoio lccio (1.5V) N/A 0.000 0.000 lcoio lccio (1.5V) N/A 0.000 0.000 0.000 lccio (1.5V) N/A 0.001 0.000 |
| ccc_pru. (1.50V) 0.002 0.002 0.002 0.002 ccr (1.50V) 0.113 0.113 0.000 0.113 ccr (1.50V) 0.113 0.100 0.009 0.009 ccr (1.50V) 0.009 0.000 0.009 0.000 0.009 ccr (1.50V) 0.009 0.001 0.000 0.001 0.001 ccr (1.2V) N/A 0.000 0.000 0.000 0.000 lccr (1.2V) N/A 0.000 0.000 0.000 0.000 lccr (1.3SV) N/A 0.000 0.000 0.000 0.000 lccr (1.5V) N/A 0.000 0.000 0.000 1.000 lccr (1.5V) N/A 0.000 0.000 0.000 1.000 lccr (1.5V) N/A 0.000 0.000 0.000 1.000 |
| cerr (1:50V) 0.113 0.113 0.000 0.113 ccar (1:50V) 0.009 0.009 0.000 0.009 ccio 2.760 0.001 0.000 0.001 lccio (1:2V) N/A 0.000 0.000 0.000 lccio (1:2SV) N/A 0.000 0.000 0.000 lccio (1:3SV) N/A 0.000 0.000 0.000 lccio (1:5V) N/A 0.000 0.000 0.000 lccio (1:SV) N/A 0.000 0.000 0.000 lccio (2:SV) N/A 0.000 0.000 0.000 |
| ccc_A_FPLL (2:50V) 0.009 0.009 0.009 0.009 cco 2.750 0.001 0.000 0.001 lccio (1:2V) N/A 0.000 0.000 0.000 lccio (1:3V) N/A 0.000 0.000 0.000 lccio (1:3V) N/A 0.000 0.000 0.000 lccio (1:3V) N/A 0.000 0.000 0.000 lccio (1:5V) N/A 0.000 0.000 0.000 lccio (1:5V) N/A 0.000 0.000 0.000 lccio (2:5V) N/A 0.001 0.000 0.001 |
| ccio 2.760 0.001 0.000 0.001 lccio (1.25V) N/A 0.000 0.000 0.000 lccio (1.25V) N/A 0.000 0.000 0.000 lccio (1.35V) N/A 0.000 0.000 0.000 lccio (1.35V) N/A 0.000 0.000 0.000 lccio (1.5V) N/A 0.000 0.000 0.000 lccio (1.5V) N/A 0.000 0.000 0.000 lccio (2.5V) N/A 0.001 0.000 0.001 |
| Iccio (1.2%) N/A 0.000 0.000 0.000 Iccio (1.2%) N/A 0.000 0.000 0.000 Iccio (1.5%) N/A 0.000 0.000 0.000 Iccio (1.5%) N/A 0.000 0.000 0.000 Iccio (1.6%) N/A 0.000 0.000 0.000 Iccio (1.6%) N/A 0.000 0.000 0.000 Iccio (2.5%) N/A 0.001 0.000 0.001 |
| Iccio (1.25V) N/A 0.000 0.000 0.000 Iccio (1.35V) N/A 0.000 0.000 0.000 Iccio (1.5V) N/A 0.000 0.000 0.000 Iccio (1.5V) N/A 0.000 0.000 0.000 Iccio (1.6V) N/A 0.000 0.000 0.000 Iccio (2.5V) N/A 0.001 0.000 0.001 |
| Iccio (1.35%) N/A 0.000 0.000 0.000 Iccio (1.5%) N/A 0.000 0.000 0.000 Iccio (1.5%) N/A 0.000 0.000 0.000 Iccio (1.5%) N/A 0.000 0.000 0.000 Iccio (2.5%) N/A 0.001 0.000 0.001 |
| Iccio (1.5V) NVA 0.000 0.000 0.000 Iccio (1.8V) NVA 0.000 0.000 0.000 Iccio (2.5V) NVA 0.001 0.000 0.001 |
| Iccio (1.8V) N/A 0.000 0.000 0.000 Iccio (2.5V) N/A 0.001 0.000 0.001 |
| lccro (2.5V) N/A 0.001 0.000 0.001 |
| |
| Iccio (3.0V) N/A 0.000 0.000 0.000 |
| Iccio (3.3V) N/A N/A N/A N/A |
| ccpp 1.546 0.007 0.000 0.007 |
| I _{CCP0} (2.5V) N/A 0.007 0.000 0.007 |
| Iccep (3.0V) N/A 0.000 0.000 0.000 |
| Iccpp (3.3V) N/A N/A N/A N/A |
| |
| |

図 2-2-3-3 Report タブ (続き)

詳細の消費電力や消費電流の見積り結果を確認できます。

FISENA

3. 最大の消費電力見積り手順

\Lambda ALTIMA

FPGA/CPLD の最大消費電力量については、使用される状況に依存するため、特定値が定義されていません。そこで、PowerPlay EPE を使用し、最大値を見積ります。

最大の消費電力量を見積る場合、リソース数を 100% 使用すると仮定した場合が最大消費電力量となり ます。ただし、信号のトグル率や動作周波数にも依存するため、最大といっても入力される条件により値は 異なります。

目安値としての最大消費電力量を見積る場合、ある程度の条件を設定し、見積ります。

表 3-1 は、最大となるような条件設定の一例です。

| 項目 | 設定条件例 |
|-----------------------|--------------------|
| Family | |
| Device | ご使田予定のデバイスを選択 |
| Package | こ使用了足の方で行入を送択 |
| Temperature Grade | |
| Power Characteristics | Maximum |
| Ambient Temp | 25 |
| Heat Sink | None |
| Airflow | Still Air |
| リソース数 | 対象デバイスの 100% |
| L <i>片</i> u 支 | 標準: 12.5 % |
| トグル平 | 遷移率の高い場合: 20 ~ 25% |
| クロックの動作周波数 | 使用予定のクロック |

表 3-1 最大の消費電力見積の条件設定例

Power Characteristics を Maximum にする事でワースト値での計算が行われます。また、Heat Sink や Air flow を最も厳しい条件にすることにより最大値の設定になります。

ダイナミック消費電力に最も影響を及ぼす項目としてトグル率があります。トグル率というのは信号の遷移 率です。トグル率を計算するのは非常に困難な事から標準値として 12.5% が使用され、信号の遷移が多い 場合は 20 ~ 25% の値を適用されることを推奨します。



FISENA

Logic をはじめ、各タブの Utilization が 100% になるように値を入力していきます。(図 3-1 参照)



図 3-1 最大の消費電力見積りの入力例





値を入力すると入力された値をもとに自動計算され、見積もり結果が表示されます。(図 3-2 参照)



図 3-2 見積り結果 [Main] タブの表示例

FPGA/CPLD のデザインがない場合、PowerPlay EPE を使用することで最大消費電力量を容易に見積ることができます。

FISENA

4. 設計資産を流用した消費電力見積り手順

既存の設計資産の一部流用が決定している場合、PowerPlay EPE に Quartus II のコンパイル結果を取り 込み、追加機能ブロック分を追加・編集する事で消費電力を容易に見積ることができます。

図 4-1 は、設計資産を一部流用する際の消費電力見積りフローを示しています。



図 4-1 設計資産を一部流用する際の消費電力見積りフロー

(手順1) Quartus II にて流用デザインをコンパイル



ELSENA

(手順 2) Quartus II にて PowerPlay EPE 用のデータ出力

メニューバー Project > Generate PowerPlay Early Power Estimator File を選択 (図 4-2 参照)



図 4-2 Project メニュー

図 4-3 のダイアログが表示され、.csv ファイルがプロジェクトファイル内に自動生成されます。

ファイル生成後、Compilation Report 内に "PowerPlay Early Power Estimator File Generator"の 項目が追加されます。



図 4-3 ダイアログ・ボックスと Compilation Report



| (手順3) PowerPlay EPE に | こてデータをインポート |
|-----------------------|-------------|
|-----------------------|-------------|

Import QII File ボタンを押し、(手順 2) で生成した .csv ファイルを

選択します。

PowerPlay EPE 内

ALTIMA

ダイアログ・ボックスが起動した場合 (図 4-4) は、"はい" を押すことで PowerPlay EPE の値を リセットします。

| Microsoft Excel | × |
|--------------------------------|--------------|
| This action will reset the EPI | E. Continue? |
| (はい(ソ) | いいえ(N) |

図 4-4 ダイアログ・ボックス

Import complete! のダイアログが表示されると選択した .csv ファイルの値が反映されます。



(図 4-5 参照)

図 4-5 Import complete ダイアログ・ボックスと値が反映された PowerPlay EPE



(手順 4) PowerPlay EPE にて値を編集

追加機能ブロックの使用予定リソース数を PowerPlay EPE にて追加し、消費電力を見積り ます。

Quartus II のコンパイル結果を取り込む事で全ての値を手入力する必要なく、消費電力を見積ることができます。





改版履歴

| Revision | 年月 | 概要 |
|----------|---------|------|
| 1 | 2012年4月 | 新規作成 |

免責、及び、ご利用上の注意 弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。 本資料は非売品です。許可無く転売することや無断複製することを禁じます。 1. 本資料は予告なく変更することがあります。 2. 3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご 一報いただければ幸いです。 株式会社アルティマ : 〒222-8563 横浜市港区新横浜 1-5-5 マクニカ第二ビル TEL: 045-476-2155 HP: <u>http://www.altima.co.jp</u> 技術情報サイト EDISON : <u>https://www.altima.jp/members/index.cfm</u> 株式会社エルセナ : 〒163-0928 東京都新宿区西新宿 2·3·1 新宿モノリス 28F TEL: 03·3345-6205 HP: <u>http://www.elsena.co.jp</u> 技術情報サイト ETS : <u>https://www.elsena.co.jp/elspear/members/index.cfm</u> 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。 4. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。 5.