

ModelSim-Altera Edition

RTL シミュレーション -VHDL-

ver.11

ModelSim-Altera Edition RTL シミュレーション -VHDL-

目次

| | |
|--|----|
| 1. はじめに..... | 3 |
| 2. RTL シミュレーションの操作手順..... | 3 |
| 3. RTL シミュレーション実施..... | 4 |
| 3-1. ModelSim-Altera を起動して新規プロジェクトを作成..... | 4 |
| 3-2. ファイルの作成、登録..... | 6 |
| 3-2-1 新規ファイルの作成..... | 6 |
| 3-2-2 既存ファイルの登録..... | 7 |
| 3-3. ファイルの並べ替え..... | 8 |
| 3-4. コンパイル..... | 9 |
| 3-5. ロード..... | 10 |
| 3-6. シミュレーションの実行..... | 11 |
| 3-7. シミュレーション結果の確認..... | 12 |
| 3-8. シミュレーションとプロジェクトの終了..... | 12 |
| <u>改版履歴</u> | 13 |

1. はじめに

ModelSim®-Altera®では、論理合成前の“RTL シミュレーション”と配置配線後の“タイミング・シミュレーション”を行うことができます。この資料では、ModelSim-Altera を使用した RTL シミュレーション (VHDL) 手順について説明します。

対応ツールとバージョン: ModelSim-Altera 10.0c

Quartus® II v11.1 ServicePack 2

2. RTL シミュレーションの操作手順

RTL シミュレーションでは、論理合成前に、設計した RTL コードがどのような動作をするか確認します。論理合成、配置配線は行っていませんので、各信号に伝搬遅延情報が含まれない論理機能のみのシミュレーションを行います。

伝搬遅延を含んだシミュレーションはタイミング・シミュレーションで行うことができます。『ModelSim-Altera Edition タイミング・シミュレーション -VHDL-』、『ModelSim-Altera Edition タイミング・シミュレーション -VerilogHDL-』をご参照ください。

図 2-1 に ModelSim-Altera を使用した RTL シミュレーションの手順を示します。VHDL と VerilogHDL、どちらの言語を使用しているかによって操作が異なる箇所があります。この資料は、VHDL をご使用の場合のフローを説明します。VerilogHDL をご使用の場合は、『ModelSim-Altera Edition RTL シミュレーション -VerilogHDL-』をご参照ください。

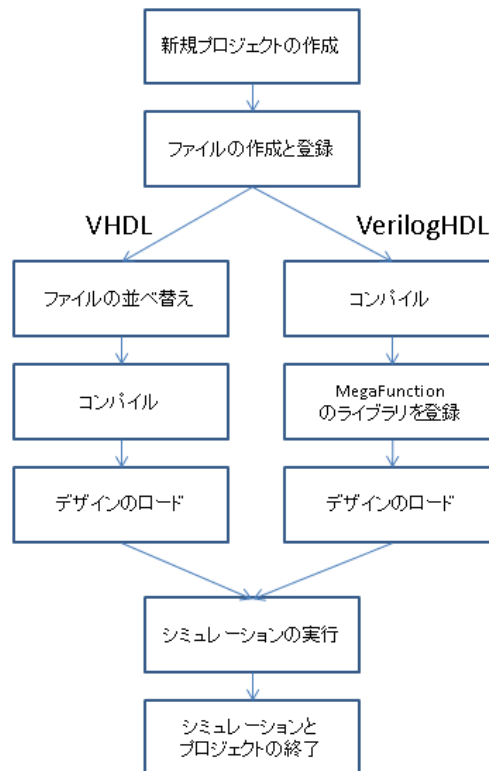



図 2-1 RTL シミュレーション・フロー

3. RTL シミュレーション実施

ModelSim-Altera における RTL シミュレーションを実施します。この資料は VHDL をご使用の場合の操作手順を説明します。

3-1. ModelSim-Altera を起動して新規プロジェクトを作成

ModelSim-Altera を起動してシミュレーション用の新規プロジェクトを作成します。

- ① デスクトップの ModelSim-Altera のショートカット・アイコン  をダブルクリックして ModelSim-Altera を起動します。
- ② File メニュー > New > Project をクリックします。Create Project ウィンドウが起動します。(図 3-1-1)

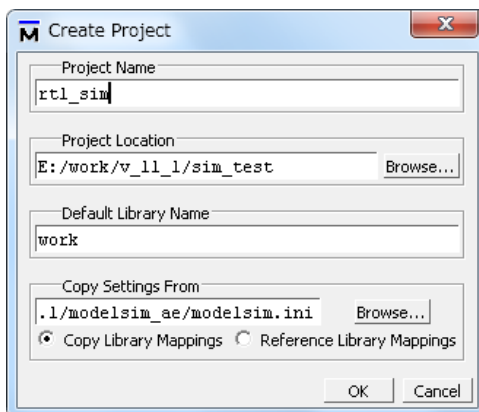


図 3-1-1 Create Project ウィンドウ

- ③ プロジェクト名、プロジェクト・ディレクトリを設定します。設定項目については表 3-1-1 の通りです。

表 3-1-1 Create Project 設定

| | |
|----------------------|----------------------|
| Project Name | プロジェクト名を入力 |
| Project Location | プロジェクトを作成するディレクトリを指定 |
| Default Library Name | ライブラリ・フォルダ名を入力 |

- ④ “OK”をクリックして、Create Project ウィンドウを閉じます。

- ⑤ Add items to the Project ウィンドウを“Close”をクリックして終了します。(図 3-1-2)

※Create Project ウィンドウを閉じると、Add items to the Project ウィンドウが表示されます。このウィンドウを活用して次の操作(デザインの登録・作成)を行うことも可能ですが、この資料では、メニューから操作する方法を説明します。

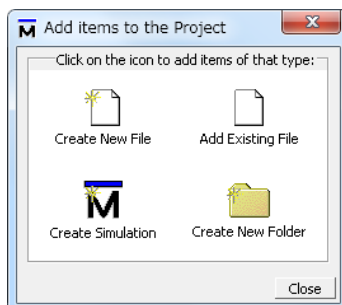


図 3-1-2 Add items to the Project

3-2. ファイルの作成、登録

3-1 章で作成したプロジェクトにおいて、シミュレーション実行に必要なファイル(デザイン、テストベンチ)を作成および登録します。

3-2-1 新規ファイルの作成

新規でデザインおよびテストベンチ・ファイルを作成します。既存のファイルがある場合にはこの手順は省略します。

- ① Project ウィンドウをアクティブにします。
- ② Project メニュー > Add to Project > New File.. を選択します。Create Project File ウィンドウが表示されます。
- ③ Create Project File ウィンドウ内の各項目を入力し(表 3-2-1-1)、“OK”をクリックします。(図 3-2-1-1)

表 3-2-1-1 Create Project File 設定

| | |
|------------------|-------------------|
| File Name | ファイル名を入力 |
| Add file as type | ファイルの種類をプルダウンから選択 |
| Folder | ファイルの保存先を指定 |

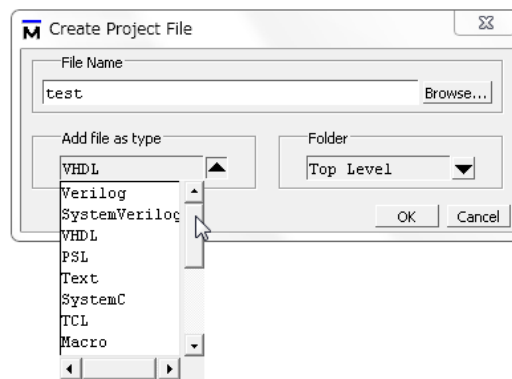


図 3-2-1-1 Create Project File ウィンドウ

※File メニュー > New > Source から新規ファイルを生成することもできますが、その場合新規作成したファイルは自動的にプロジェクトに登録されないので注意が必要です。

- ④ Project ウィンドウに作成したファイルが登録されていることを確認します。(図 3-2-1-2)

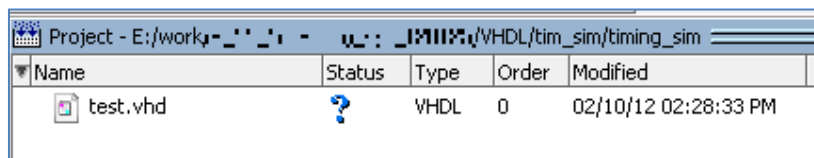


図 3-2-1-2 新規作成ファイル

- ⑤ Project ウィンドウに登録されたファイルを選択し、右クリック > Edit でファイルを編集します。

- ⑥ 編集したファイルを保存します。

※コンパイル時、自動保存はされません。コンパイル前に必ずファイルを保存します。

3-2-2 既存ファイルの登録

既存のデザイン、テストベンチ・ファイルがある場合にはプロジェクトにファイルを登録します。

- ① Project ウィンドウをアクティブにします。
- ② Project メニュー > Add to Project > Existing File.. を選択します。
- ③ Add file to Project ウィンドウ内 File Name の“Browse” をクリックし、プロジェクトに追加するファイルを選択します。ファイルの複数選択も可能です。(図 3-2-2-1)

“OK”をクリックしてウィンドウを閉じます。

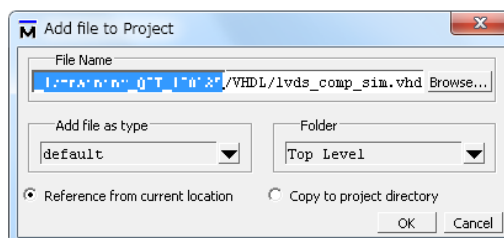


図 3-2-2-1 既存ファイルの選択

- ④ Project ウィンドウに追加したファイルが登録されていることを確認します。(図 3-2-2-2)

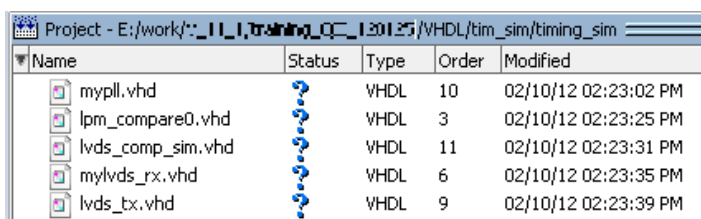


図 3-2-2-2 既存ファイルの追加

3-3. ファイルの並べ替え

VHDL の場合、コンパイル前にファイルの階層を指定する必要があります。下位階層(パッケージやユーザ・ライブラリ)から順にコンパイルし、最後に最上位階層のファイル(テストベンチ)をコンパイルします。

以下の手順でコンパイル対象のファイルの順番を設定します。

- ① Compile メニュー > Compile Order を選択します。
 - ② Compile Order ウィンドウにおいて、ファイルの順番を ▲ または ▼ ボタンで並び替えます。最上位階層はテストベンチになります。同階層に位置するファイルに関しては順不同です。(図 3-3-1)
- 並べ替えが完了したら“OK”で Compile Order ウィンドウを閉じます。

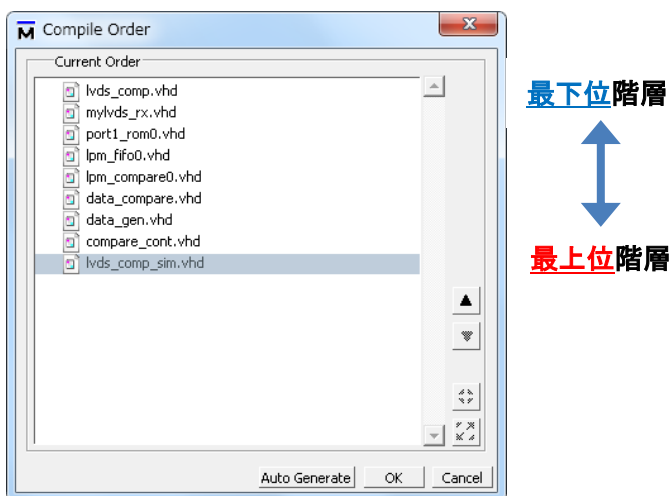


図 3-3-1 VHDL ファイルの並べ替え

3-4. コンパイル

プロジェクトに登録したシミュレーションに必要なファイル(デザイン・ファイルおよびテストベンチ・ファイル)をコンパイルします。

- 登録したすべてのファイルを一度にコンパイル

Compile メニュー > Compile All を選択します。

- 各ファイルを個別にコンパイル

Project ウィンドウ内でコンパイルするファイルを選択後、右クリックし Compile > Compile Selected を選択します。

コンパイルが問題なく完了しているか、エラーがあるかについては Status の表示で確認することができます。(図 3-4-1)

エラーがある場合には、エラー箇所を確認し修正して再度コンパイルします。コンパイル後全ファイルにエラーがないことを確認します

| Name | Status | Type | Order | Modified |
|-------------------|--------|------|-------|----------------------|
| lpm_compare0.vhd | ✓ | VHDL | 4 | 12/09/09 12:57:22 AM |
| data_gen.vhd | ✓ | VHDL | 6 | 12/15/09 04:18:34 PM |
| port1_rom0.vhd | ✓ | VHDL | 2 | 06/21/11 08:20:22 AM |
| lvds_comp_sim.vhd | ? | VHDL | 8 | 02/01/12 05:10:31 PM |
| lvds_comp.vhd | ✓ | VHDL | 0 | 06/21/11 08:22:00 AM |
| lpm_fifo0.vhd | ✗ | VHDL | 3 | 02/01/12 05:09:51 PM |
| data_compare.vhd | ? | VHDL | 5 | 12/09/09 04:59:12 PM |
| mylvds_rx.vhd | ? | VHDL | 1 | 06/20/11 05:54:38 PM |
| compare_cont.vhd | ? | VHDL | 7 | 12/07/09 03:46:58 PM |

? 未コンパイル
✓ コンパイル済(エラーなし)
✗ コンパイル済(エラーあり)

図 3-4-1 コンパイル Status 確認

3-5. ロード

シミュレーション対象となるデザインをロードします。

- ① Simulate メニュー > Start Simulation を選択し、Start Simulation ウィンドウを表示させます。
- ② Design タブを選択します。プロジェクト作成時に設定したワーキング・ライブラリ(デフォルト名 work)を展開すると、コンパイルしたデザイン・ユニットが表示されます。

VHDL の場合テストベンチ(最上位ファイル)の Architecture 名を選択します。(図 3-5-1)

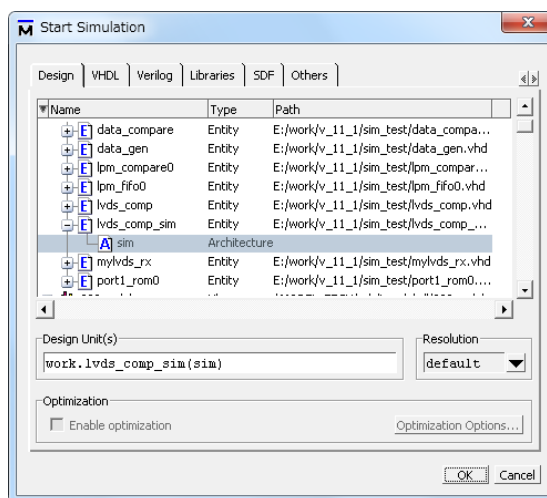


図 3-5-1 Start Simulation ウィンドウ (VHDL)

- ③ “OK”をクリックします。デザインのロードが開始されます。
- ④ ロードが完了すると、sim ウィンドウが追加されます。(図 3-5-2)

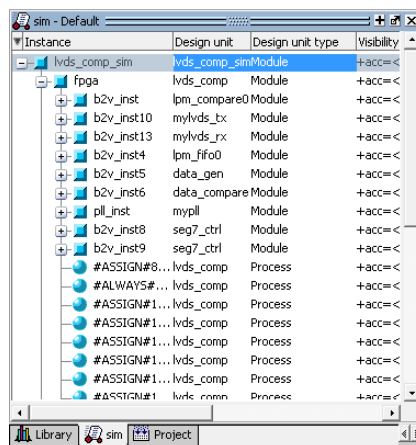


図 3-5-2 sim ウィンドウ例

3-6. シミュレーションの実行

シミュレーションを実行します。

- ① モニタしたい信号を選択するため、Object ウィンドウを表示させます。

View メニュー > Object を選択します。

※ロード完了時にすでに Object ウィンドウが表示されている場合にはこのステップを省略します。

- ② シミュレーション結果を波形で確認するため、Wave ウィンドウを表示させます。

View メニュー > Wave を選択します。

※ロード完了時にすでに Wave ウィンドウが表示されている場合にはこのステップを省略します。

- ③ メイン・ウィンドウ内に Wave ウィンドウが表示されます。

- ④ sim ウィンドウの目的のユニットを指定します。Object ウィンドウに表示されたユニット内の信号から、検証したい信号を選択して Wave ウィンドウヘドラッグ&ドロップで移動します。(図 3-6-1)

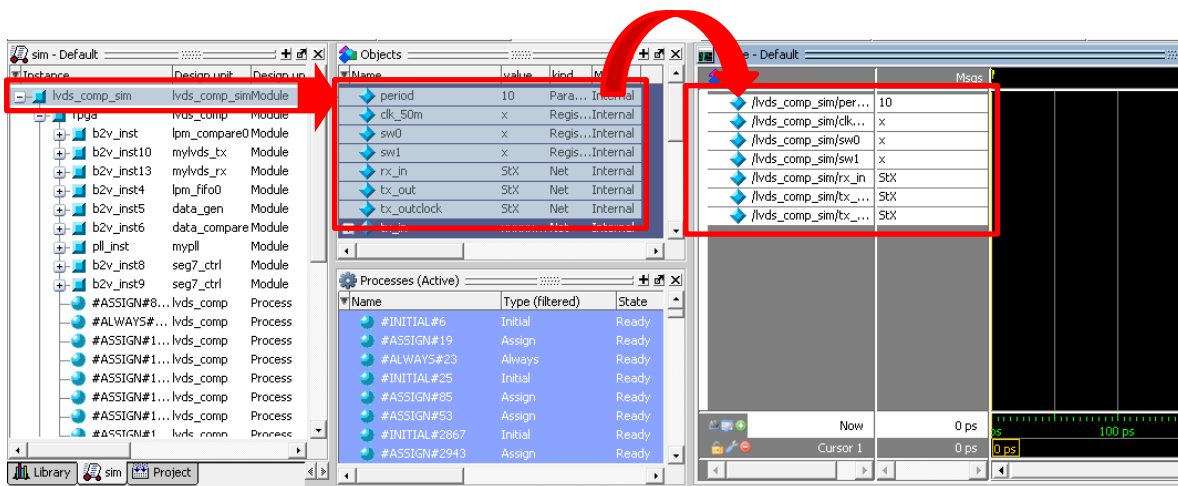


図 3-6-1 Wave ウィンドウへ信号を追加

- ⑤ Transcript ウィンドウで“run <実行時間><単位>”とコマンド入力し、Enter を押します。シミュレーションが実行されます。

例: VSIM> run 100us

もしくはメイン・ウィンドウを選択し、Run Length 欄に実行したいシミュレーション時間を入力し、“Run”をクリック、でもシミュレーションを実行できます。(図 3-6-2)



図 3-6-2 Run Length 設定&Run

3-7. シミュレーション結果の確認

得られたシミュレーション結果の波形を確認します。(図 3-7-1)

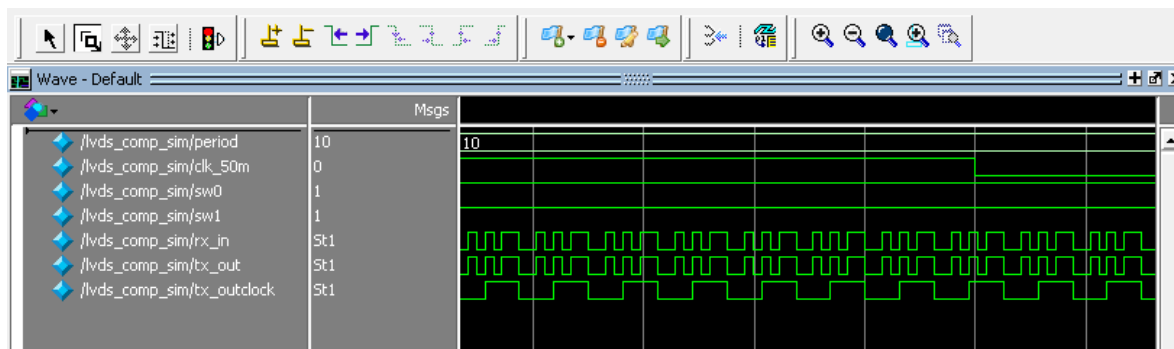


図 3-7-1 シミュレーション波形例

3-8. シミュレーションとプロジェクトの終了

シミュレーションが完了したら、シミュレーションとプロジェクトを終了します。

- ① Simulate メニュー > End Simulation でシミュレーションを終了します。
- ② Project ウィンドウをアクティブにし、File メニュー > Close でプロジェクトを終了します。

以上で RTL シミュレーション完了です。

改版履歴

| Revision | 年月 | 概要 |
|----------|---------|------|
| 1 | 2012年2月 | 新規作成 |

免責、及び、ご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

株式会社アルティマ : 〒222-8563 横浜市港北区新横浜 1-5-5 マクニカ第二ビル TEL: 045-476-2155 HP: <http://www.altima.co.jp>
 技術情報サイト EDISON : <https://www.altima.jp/members/index.cfm>

株式会社エルセナ : 〒163-0928 東京都新宿区西新宿 2-3-1 新宿モノリス 28F TEL: 03-3345-6205 HP: <http://www.elsena.co.jp>
 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。