

Quartus II における タイミング解析の概要 ～ TimeQuest ～

ver.11

2012年1月 Rev.1

Quartus II におけるタイミング解析の概要

～ TimeQuest ～

目次

1. はじめに.....	3
2. タイミングの考え方.....	3
2-1. バスの種類.....	3
2-2. 送信エッジと受信エッジ.....	4
2-3. セットアップ・タイムとホールド・タイム.....	5
2-4. リカバリ・タイムとリムーバル・タイム.....	6
3. TimeQuest の概要.....	7
3-1. サポート・デバイス.....	7
3-2. TimeQuest GUI.....	7
3-3. タイミング制約ファイル.....	9
4. タイミング・レポート生成フロー.....	10
4-1. タイミング制約の設定フロー.....	10
4-1-1. SDC ファイル・エディタを使用した制約ファイルの作成フロー.....	11
4-1-2. TimeQuest Timing Analyzer Wizard を使用した制約ファイルの作成フロー.....	15
4-2. タイミング・レポート生成の操作フロー.....	21
4-2-1. Quartus II Compilation Report を使用して詳細のタイミング・レポートを作成するフロー.....	21
4-2-2. TimeQuest を使用し詳細のタイミング・レポートを作成するフロー.....	25
4-3. タイミング・モデル切り替え時のタイミング・レポート生成フロー.....	26
4-4. タイミング制約変更時のタイミグ・レポート生成フロー.....	31
改版履歴.....	33

1. はじめに

この資料は、Quartus[®] II におけるタイミング解析の概要についてまとめています。

Quartus II ver.10.0 以降タイミング解析ツールは TimeQuest のみに統合されました。TimeQuest は、旧バージョンの Classic Timing Analyzer とは考え方が異なっており、FPGA / CPLD の内部タイミングだけではなく、システムを考慮したタイミング解析が可能になりました。すべてのパスにタイミング制約を与える事で完全なタイミング解析を行う事ができ、結果としてタイミング・シミュレーションの工程を省くことができます。

対象バージョン: Quartus II v11.1

2. タイミングの考え方

本章では、TimeQuest におけるパスの種類について説明します。

2-1. パスの種類

パスは下記 3 タイプに分けられます。(図 2-1-1)

- クロック・パス
- データ・パス
- 非同期パス

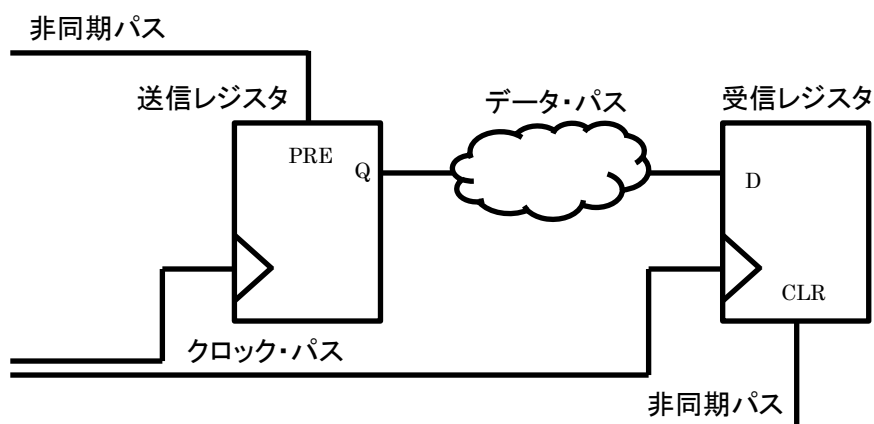


図 2-1-1 パスの種類

FPGA / CPLD 内部のみではなく、基板上のシステムでは 3 つのパスに分けられます。

- クロック・パス

クロック・パスは、クロック・ソースからレジスタのクロック・ポートまでのパスを示します。

- データ・パス

送信レジスタの Q ポートから受信レジスタの D ポートまでのパスを示します。

- 非同期パス

レジスタのプリセット・ポートやクリア・ポートまでのパスを示します。

2-2. 送信エッジと受信エッジ

タイミング解析を行う上で基本となるのがクロック・エッジです。(図 2-2-1)

データ・パスや非同期パスの解析を行う際にエッジを元にしたタイミング解析を行います。

- 送信エッジ (Launch Edge)

送信側レジスタを駆動するクロック・エッジ

- 受信エッジ (Latch Edge)

受信側レジスタを駆動するクロック・エッジ

送信側のクロック・エッジに関連し、通常は 1 サイクルになります。

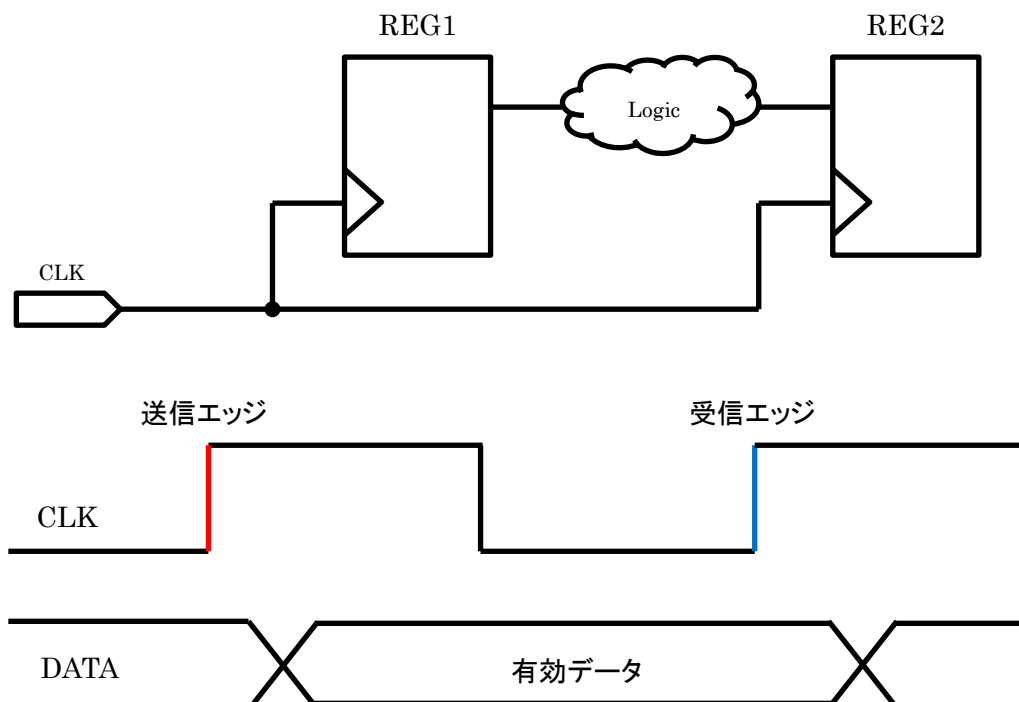


図 2-2-1 送信エッジと受信エッジ

送信エッジと受信エッジの関係を元にしたタイミング解析を行います。

2-3. セットアップ・タイムとホールド・タイム

データ・パスを解析するにあたり、送信エッジと受信エッジを解析することによってセットアップ関係を決定します。(図 2-3-1) また、各セットアップに対して 2 つのホールド・タイムを検証します。(図 2-3-2)

● セットアップ・タイム (Tsu)

クロック・エッジに対してどの程度前からデータを保持する必要があるかを定義した時間

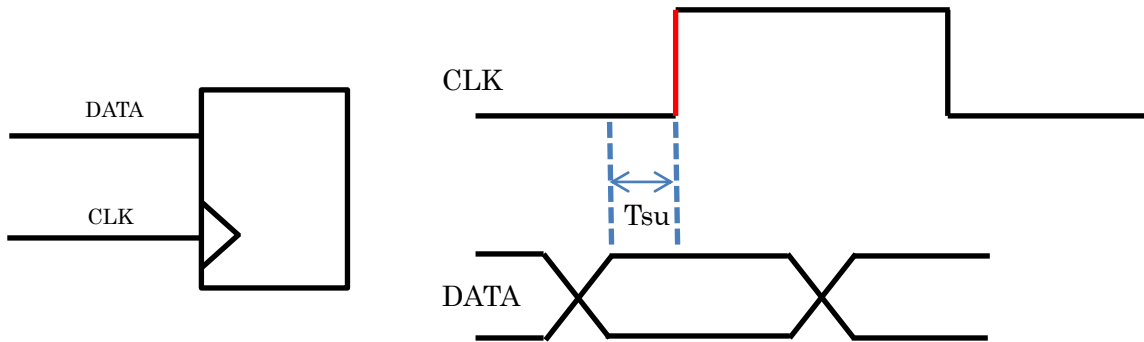


図 2-3-1 セットアップ・タイム

● ホールド・タイム (Th)

クロック・エッジに対してどの程度データを保持する必要があるかを定義した時間

TimeQuest では、2 つのホールド・タイムを規定しており、

- ・ 送信エッジに送信されたデータが 1 つ前の受信エッジにキャプチャされない
- ・ 次の送信エッジにより送り出されたデータが現在の受信エッジによりキャプチャされない

事を確認します。

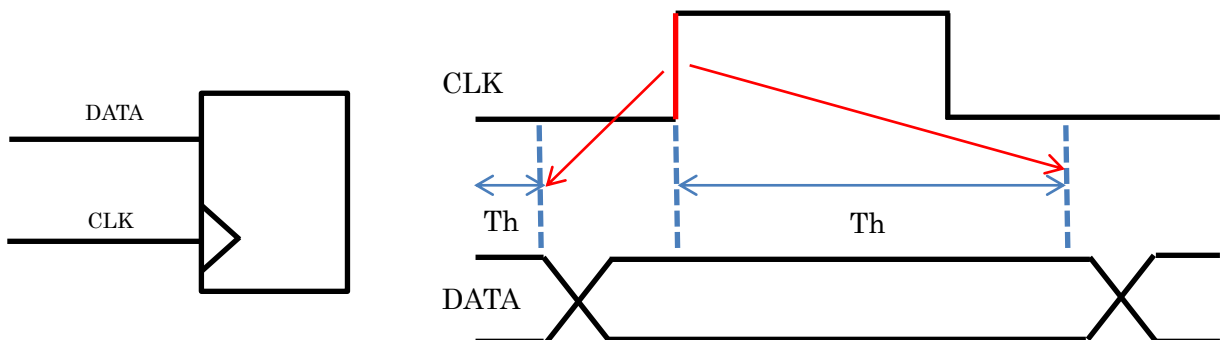


図 2-3-2 ホールド・タイム

TimeQuest は、FPGA / CPLD 内部レジスタ間のパスに対して、セットアップ・スラック / ホールド・スラックを算出します。

2-4. リカバリ・タイムとリムーバル・タイム

非同期パスについては、レジスタのメタステーブル状態を防ぐためにクロック・エッジに対して信号が安定している期間が必要となります。TimeQuest では、リカバリ・タイムとリムーバル・タイムと呼んでいます。

(図 2-4-1)

- リカバリ・タイム (Trec)

クロック・エッジに対してどの程度前から非同期信号を保持する必要があるかを定義した時間

- リムーバル・タイム (Trem)

クロック・エッジに対してどの程度信号を保持する必要があるかを定義した時間

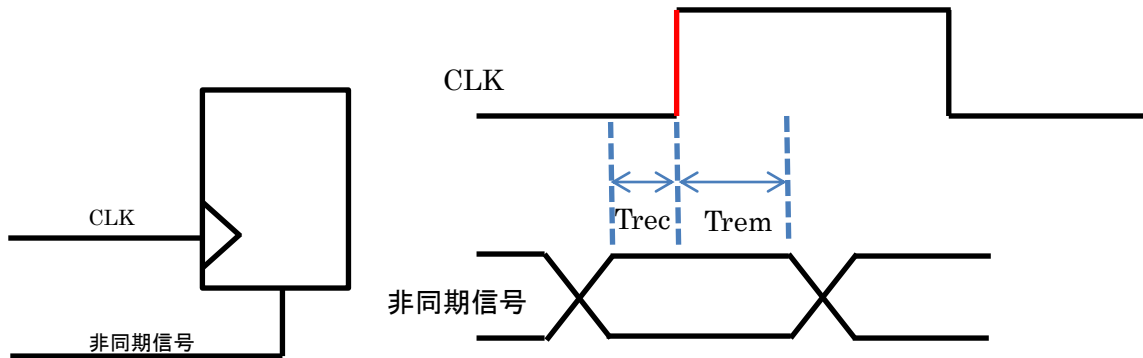


図 2-4-1 リカバリ・タイム / リムーバル・タイム

非同期コントロールがレジスタで使用されているデザインの場合に TimeQuest は、リカバリ・スラックやリムーバル・スラックを計算します。

3. TimeQuest の概要

本章では、TimeQuest の概要について説明します。

3-1. サポート・デバイス

TimeQuest タイミング・アナライザは、MAX[®] 3000 と MAX 7000 シリーズを除き、Quartus II でサポートされているデバイスを全てサポートしています。

Quartus II Help > Running Timing Analysis 『About TimeQuest Timing Analysis』をあわせてご参照ください。

3-2. TimeQuest GUI

TimeQuest は、効率的にタイミング制約やタイミング解析を実行することができる、直感的で使いやすいグラフィック・ユーザ・インタフェースを提供しています。(図 3-2-1)

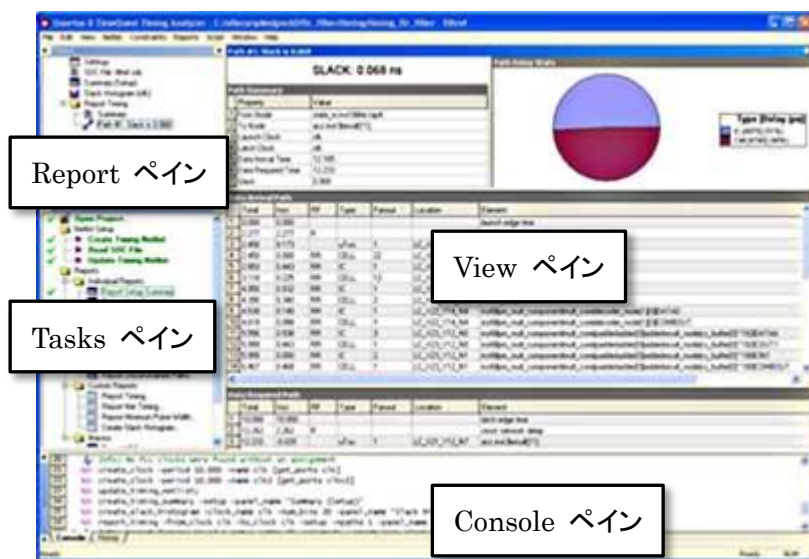


図 3-2-1 TimeQuest GUI

TimeQuest は、デフォルトで 4 つのペインに分割されています。

- View ペイン

タイミング解析結果を主に表示する領域です。View ペインでは、サマリ・レポートやカスタム・レポート、ヒストグラムを表示できます。

- Report ペイン

Tasks ペインから生成されたレポートのリストを表示します。Report ペインにて選択されたレポートが View ペインに表示されます。

● Tasks ペイン

ネットリストの読み込みやレポートの生成など、よく利用されるコマンドが表示されています。ダブルクリックする事で容易にコマンドを実行できます。(図 3-2-2)

※Tasks ペインを使用し、実行するコマンドはすべてデフォルトの設定で実行されます。その為、オプションを変更し、実行する場合は、Tasks ペインではなく、メニューから実行する必要があります。

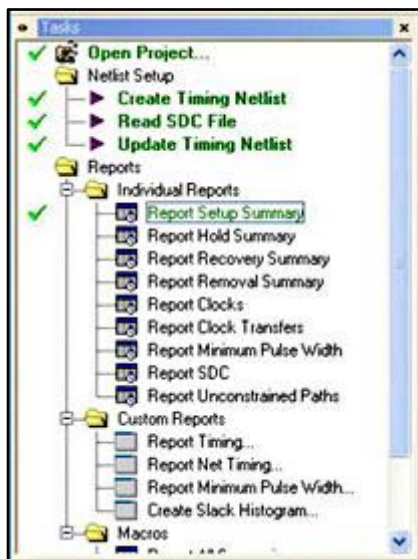


図 3-2-2 Tasks ペイン

● Console ペイン

メッセージの表示やコマンドを実行できます。

[Console] タブ

メッセージの表示やコマンドを実行

[History] タブ

実行された Synopsys Design Constraints コマンドや Tcl コマンドが記録されています。

3-3. タイミング制約ファイル

TimeQuest では、Synopsys Design Constraints ファイル (.sdc) をタイミング制約ファイルとして使用します。Quartus II の制約ファイル (.qsf) とは異なりますのでご注意ください。

Quartus II は論理合成や配置配線時には .qsf ファイルを使用しますが、タイミング制約については、.sdc を使用し、.qsf とは独立したファイルです。その為、.sdc で設定されたタイミング制約については、.qsf ファイルには反映されません。タイミング制約を与える場合には、.sdc ファイルが必要となります。(図 3-3-1)

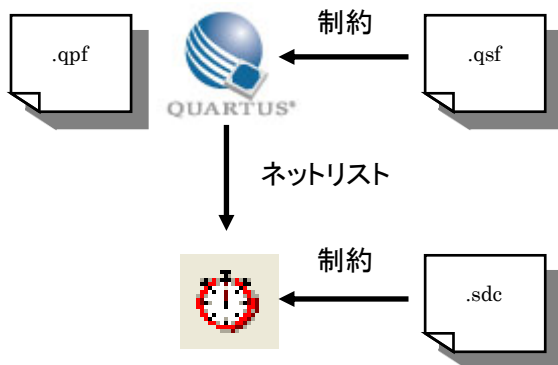


図 3-3-1 ファイル・イメージ

.sdc ファイルは、ASIC 業界では標準となっており、ワイルドカード(*) を活用する事で容易にさまざまなタイミング制約を設定する事ができます。全パスに対してタイミング制約を行う事でタイミング・シミュレーションの工数を削減でき、全体の設計期間の短縮につながります。また、1 つの Quartus II プロジェクトに対して複数の .sdc ファイルを設定することも可能で、管理も容易になります。

4. タイミング・レポート生成フロー

本章では、TimeQuest を使用するタイミング解析フローについて説明しています。

Quartus II における論理合成後、タイミング制約を設定してタイミング・レポートを生成するまでの一連の操作方法を説明します。また、タイミング・モデルを切り替えてのタイミング・レポート生成など複数の操作フローも説明します。

図 4-1 は、Quartus II における操作と TimeQuest における操作イメージを図示しています。

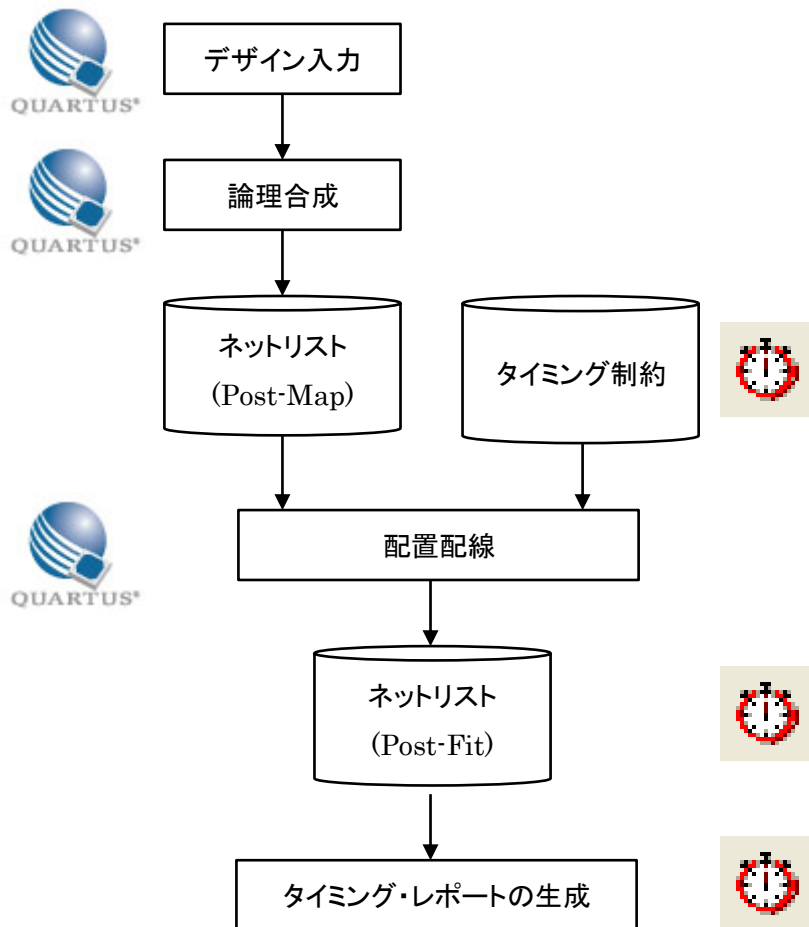


図 4-1 タイミング・レポート生成フロー・イメージ

4-1. タイミング制約の設定フロー

タイミング制約の設定までのフローを説明します。タイミング制約は下記 2 つの設定方法があります。

- ・ .sdc ファイルを使用 (推奨)
- ・ コマンドを直接実行

タイミング最適化を考慮した論理合成や配置配線の実行、さらにユーザ制約として複数回タイミング解析を実行するなどタイミング制約を複数回設定することがあるため、タイミング制約を .sdc ファイルに保存し使用されることをお勧めしています。

.sdc ファイルの生成方法としては、

- ・ SDC ファイル・エディタ
- ・ TimeQuest Timing Analyzer Wizard

を使用する方法があります。

本資料では、SDC ファイル・エディタを使用して .sdc ファイルを新規作成するフローと TimeQuest Timing Analyzer Wizard を使用した .sdc ファイルの新規作成フローについてそれぞれ説明します。

4-1-1. SDC ファイル・エディタを使用した制約ファイルの作成フロー

タイミング制約は論理合成後もしくは配置配線後のどちらの工程後でも作成することができますが、本章では論理合成後にタイミング制約を作成するフローを説明します。(図 4-1-1-1)

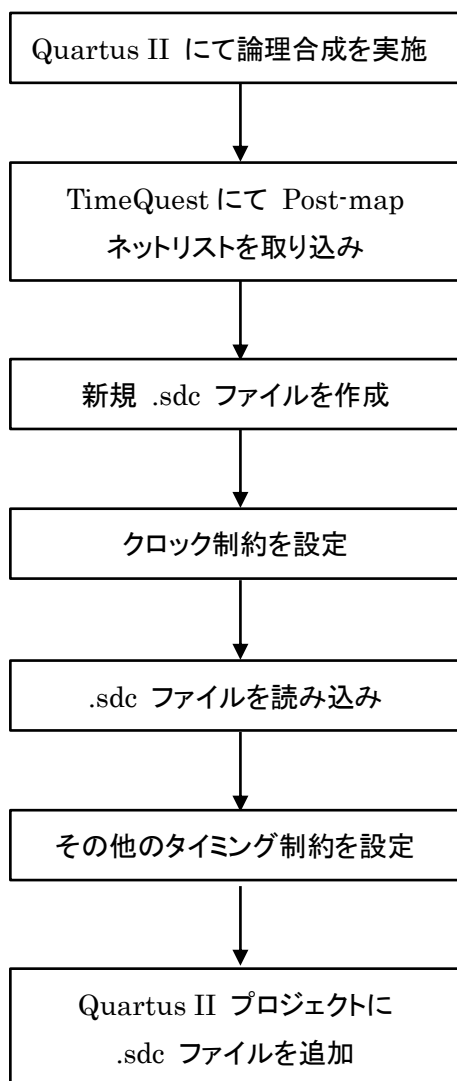




図 4-1-1-1 SDC ファイルを使用したタイミング解析フロー

(手順 1) Quartus II にて論理合成を実施します。

メニューバー Processing > Start > Start Analysis & Synthesis を選択 もしくは  アイコンをクリック

(手順 2) TimeQuest を起動します。

メニューバー Tools > TimeQuest Timing Analyzer を選択、もしくは  アイコンをクリック

(手順 3) 論理合成後のネットリストを取り込みます。

メニューバー Netlist > Create Timing Netlist を選択 (図 4-1-1-2)

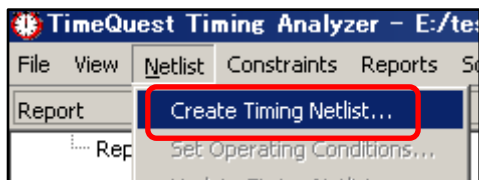


図 4-1-1-2 Netlist

(手順 4) ネットリストの種類を選択します。(図 4-1-1-3)

下記 1 項目のみ設定し、"OK" ボタンを押す

Input netlist: Post-map

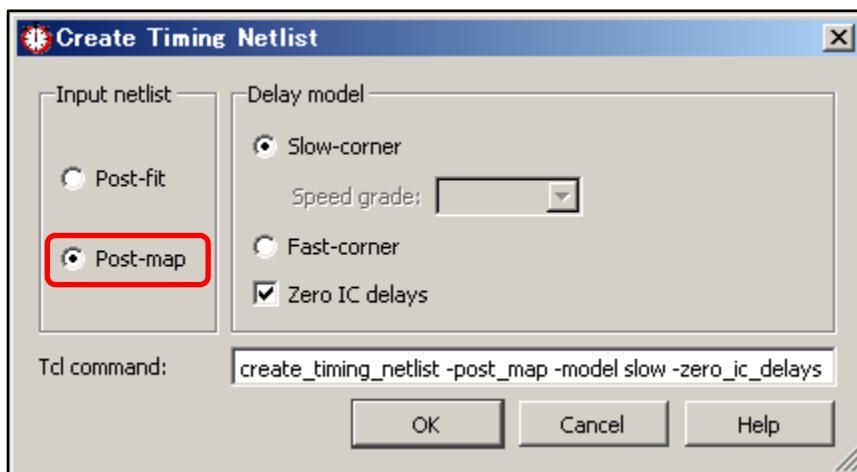


図 4-1-1-3 Create Timing Netlist

表 4-1-1-1 Create Timing Netlist は、図 4-1-1-3 Create Timing Netlist 設定項目について説明しています。

表 4-1-1-1 Create Timing Netlist

Input Netlist	
Post-fit (デフォルト)	配置配線後のネットリストを取り込みます。
Post-map	論理合成後のネットリストを取り込みます。
Delay model	
Slow-corner (デフォルト)	ワーストケースのタイミング・モデルを使用します。 ・ 最高動作温度 ・ VCCmax
Fast-corner	ベストケースのタイミング・モデルを使用します。 ・ 最低動作温度 ・ VCCmin
Zero IC delays	配線遅延を考慮しないタイミング・モデルを使用します。

Quartus II で論理合成のみ実施している場合は、Post-map のネットリストを取り込みます。Tasks ウィンドウでは、デフォルト設定で実施されるため、Post-map のネットリストを取り込む場合は、Tasks ウィンドウからコマンドは実行できず、メニューを使用する必要があります。(図 4-1-1-4 は、Tasks ペインからコマンドを実行した際のエラーです。)
また、タイミング・レポート生成を行うわけではなく、タイミング制約を行う段階のため、Delay model は現段階では 重要ではありません。タイミング・レポート生成時に Delay model を選択します。

```

...tcl> project_open -force "E:/test/QIIT10_1/Intro/pipemult.qpf" -revision pipemult_lc_phys_syn
...tcl> create_timing_netlist -model slow
...← ERROR: Can't run TimeQuest Timing Analyzer (quartus_sta) -- Fitter (quartus_fit) failed or was not run.
    
```

図 4-1-1-4 エラー・メッセージ

(手順 5) 新規 SDC ファイルをオープンします。

メニューバー File > New SDC File を選択 (図 4-1-1-5)

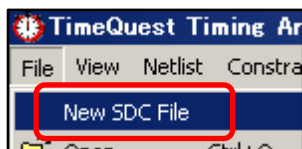


図 4-1-1-5 File メニュー

(手順 6) クロック制約を設定します。

Insert Constraint メニューやテンプレート等を使用し、クロック信号すべてに対してクロック制約を行ってください。

タイミング制約についての詳細は、『タイミング制約の設定』をあわせてご参照ください。

(手順 7) 名前を付けて .sdc ファイルを保存します。

メニューバー File > Save As を選択し、

- ・ 保存先のディレクトリ
- ・ ファイル名

を設定し、“保存”ボタンを押す

(手順 8) SDC ファイルを読み込みます。

メニューバー Constraints > Read SDC File を選択し、(手順 7) で作成したファイルを選択し、“Open” ボタンを押す

(手順 9) I/O やその他のタイミング制約を設定し上書き保存します。

Insert Constraint メニューやテンプレート等を使用し、I/O やその他のタイミング制約を行ってください。

(手順 10) Quartus II にて SDC ファイルを追加します。

メニューバー Assignments > Settings を選択 (図 4-1-1-6)

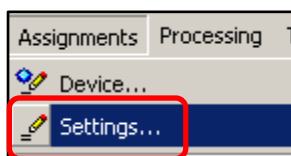

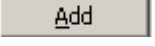


図 4-1-1-6 Assignments メニュー

(手順 11) SDC ファイルを追加します。

TimeQuest Timing Analyzer を選択し、 ボタンをクリックし、.sdc ファイルを選択
.sdc ファイルを選択後、 ボタンをクリックして .sdc ファイルを Quartus II プロジェクトに追加 (図 4-1-1-7)

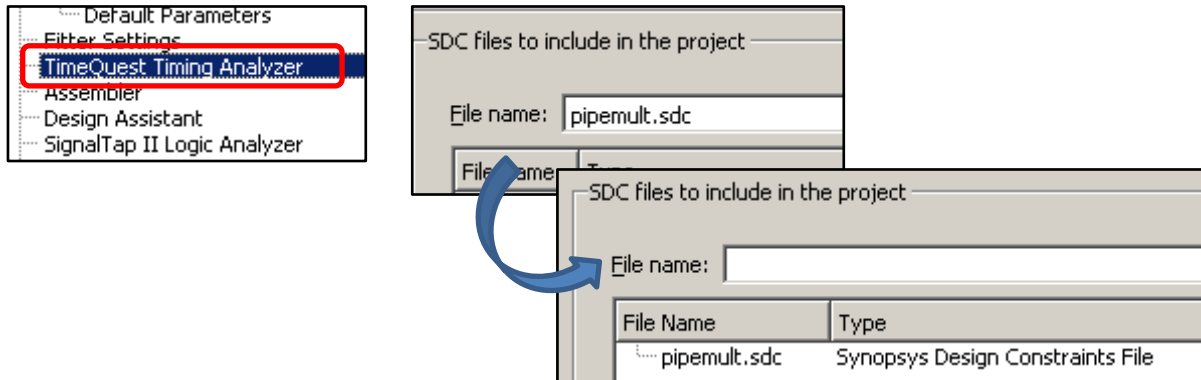


図 4-1-1-7 Settings

ネットリストを取り込んだ後にクロック設定と I/O などその他のタイミング制約の設定を一括で行う事もできますが、クロック設定を行った後に .sdc ファイルを読み込む事でクロック設定を活用してその他のタイミング制約を行うことができ、操作の手間を省くことができます。

4-1-2. TimeQuest Timing Analyzer Wizard を使用した制約ファイルの作成フロー

Quartus II v10.1 から Classic Timing Analyzer の概念で制約を与えることができる TimeQuest Timing Analyzer Wizard がサポートされました。TimeQuest Timing Analyzer Wizard はタイミング制約ファイルを新規作成する際にのみ使用可能です。既存の SDC ファイルを読み込むことができない為、SDC ファイル・エディタを使用した制約ファイルの設定方法をご習得いただくことをお勧めします。

(手順 1) Quartus II にて論理合成を実施します。

メニューバー Processing > Start > Start Analysis & Synthesis を選択 もしくは  アイコンをクリック

(手順 2) TimeQuest Timing Analyzer Wizard を起動します。

メニューバー Assignments > TimeQuest Timing Analyzer Wizard を選択

(手順 3) Wizard に従ってタイミング制約を設定します。

「Introduction」 ページ: Next ボタンをクリック

「Clock」 ページ: ピンから入力しているクロックの周波数を定義 (図 4-1-2-1)

- ・ Clock Name: クロック定義名 (任意)
- ・ Input Pin: 入力クロック・ピン
 ダブルクリックし、ドロップダウン・リストから選択可能
- ・ Period: クロック周期を入力

TimeQuest Timing Analyzer Wizard

Intro > Clock > tsu/th > tco

Duty Cycle

0.000 3.000 6.000

Period

Specify base clock settings:

	Clock Name	Input Pin	Period
1	clk1	clk1	6.000ns
2	<< New >>		

Equivalent SDC commands:

SDC Command
create_clock -name "clk1" -period 6.000ns [get_ports {clk1}]

図 4-1-2-1 Clock

「tsu / th」 ページ: 入力レジスタに対するセットアップ・タイム / ホールド・タイムを定義

(図 4-1-2-2)

- ・ Port Name: 入力ピン名
ダブルクリックし、ドロップダウン・リストから選択可能
- ・ tsu: セットアップ・タイムを入力
- ・ th: ホールド・タイムを入力
- ・ Clock Name: 関連するクロック入力ピンを定義
- ・ Clock Inverted: Yes / No - 反転クロック使用の有無

Note: If an I/O register is clocked by a PLL with a small positive phase shift, add one clock value and subtract one clock period from the th value.

Specify tsu/th settings:

	Port Name	tsu	th	Clock Name
1	dataa[0]			
2	dataa[1]			
3	<< New >>			

Equivalent SDC commands:

SDC Command
set_input_delay -clock "<Clock Name>" -max/min <value> [get ports {dataa[0]}]
set_input_delay -clock "<Clock Name>" -max/min <value> [get ports {dataa[1]}]

図 4-1-2-2 tsu / th

「tco」 ページ: 出力レジスタに対する Clock-to-Output タイムを定義 (図 4-1-2-3)

- Port Name: 出力ピン名
ダブルクリックし、ドロップダウン・リストから選択可能
- tco: Clock-to-Output タイムを入力
- Minimum tco: 最小の Clock-to-Output タイムを入力
- Clock Name: 関連するクロック入力ピンを定義
- Clock Inverted: Yes / No - 反転クロック使用の有無

Note: If an I/O register is clocked by a PLL with a small negative phase shift, add one clock period to both tco and minimum tco values.

Specify tco settings:

	Port Name	tco	Minimum tco	Clock Name	Clock Inverted
1	q[0]				
2	<< New >>				

Equivalent SDC commands:

SDC Command
set_output_delay -clock "<Clock Name>" -max/min <value> [get ports {q[0]}]

図 4-1-2-3 tco

「tpd」 ページ: 入力ピンから出力ピンまでのピン間遅延を定義 (図 4-1-2-4)

- Input Port: 入力ピン名
ダブルクリックし、ドロップダウン・リストから選択可能
- Output Port: 出力ピン名
ダブルクリックし、ドロップダウン・リストから選択可能
- tpd: ピン間遅延値を入力
- Minimum tpd: 最小のピン間遅延値を入力

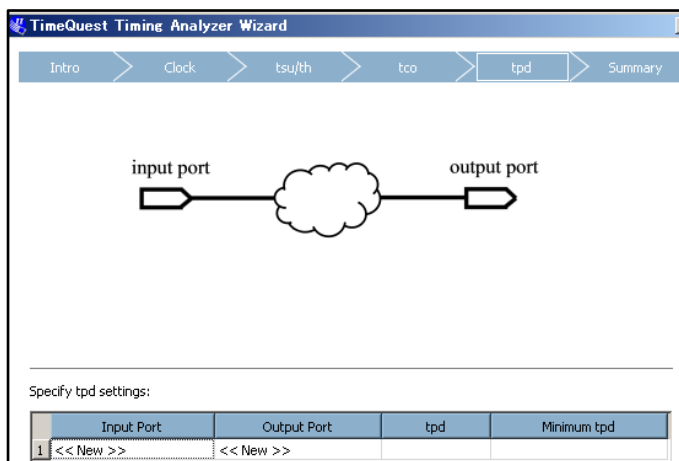


図 4-1-2-4 tpd

「Summary」 ページ: sdc ファイルの保存先を設定 (図 4-1-2-5)

- ・ Add this output SDC file to the current project: 生成される .sdc ファイルを Quartus II プロジェクトに追加
- ・ SDC Preview: 生成される .sdc ファイルの内容を表示

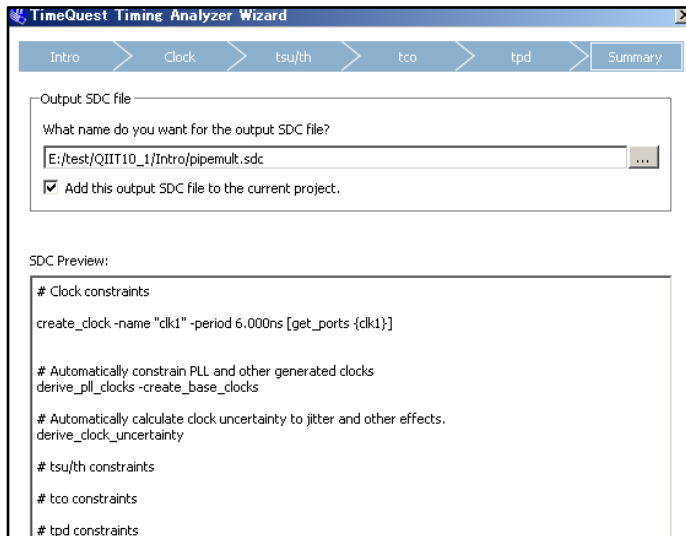


図 4-1-2-5 Summary

(手順 4) “Finish” ボタンを押します。

(手順 3) で設定したディレクトリに .sdc ファイルが自動生成され、Quartus II プロジェクトに .sdc ファイルが自動追加

.sdc ファイルが Quartus II プロジェクトに追加されたことを確認される場合は、メニューバー Assignments > Settings > TimeQuest Timing Analyzer にてご確認いただけます。(図 4-1-2-6)

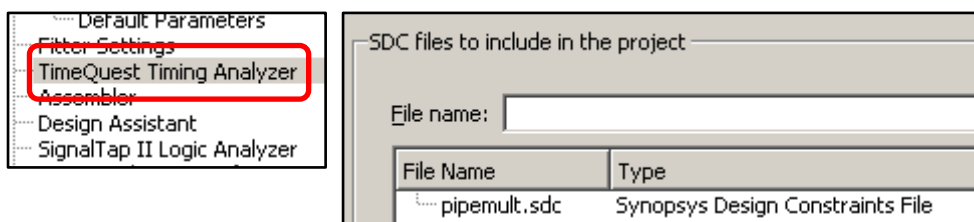


図 4-1-2-6 Settings

尚、TimeQuest Timing Analyzer Wizard は .sdc ファイルを新規作成するときのみ使用可能です。その為、作成された .sdc ファイルを編集する場合には、SDC ファイル・エディタ等のテキスト・エディタでファイルを開き、編集していただく必要があります。

.sdc ファイルを編集される場合は、『タイミング制約の設定』をあわせてご参照ください。

TimeQuest の概念になれていない場合でも Classic Timing Analyzer の概念でタイミング制約を行う事ができます。Wizard を使用し基本的な設定を行ってから .sdc ファイルを編集する事で .sdc のコマンド習得にもつながります。

4-2. タイミング・レポート生成の操作フロー

タイミング制約については、第 4-1 章『タイミング制約の設定フロー』を実施し、Quartus II プロジェクトに .sdc ファイルが追加されていることを前提とします。

Quartus II でコンパイルを実行するとバックグラウンドで TimeQuest が実行され、タイミングのサマリ・レポートが生成されます。タイミング・エラーや詳細パスのタイミング・レポートを生成する場合は、TimeQuest を起動し、詳細レポートを生成する必要があります。

Quartus II Compilation Report 内の TimeQuest Timing Analyzer にてタイミングのサマリ・レポートから TimeQuest の詳細レポートの生成も可能です。

4-2-1. Quartus II Compilation Report を使用して詳細のタイミング・レポートを作成するフロー

Quartus II でコンパイルを実行するとバックグラウンドで TimeQuest が実行され、タイミングのサマリ・レポートが生成されます。Compilation Report 内のタイミングのサマリ・レポートから詳細レポートを生成するフローについて説明します。(図 4-2-1-1)

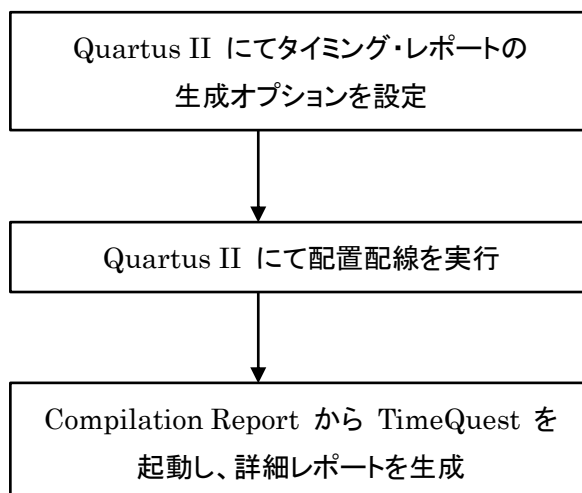


図 4-2-1-1 タイミング・レポート生成フロー

(手順 1) Quartus II にてタイミング・レポート生成オプションを設定します。

メニューバー Assignments > Settings を選択 (図 4-2-1-2)

.sdc ファイルが設定されていることを確認し、必要に応じてオプションを設定します。

“Apply”、“OK” ボタンを押し、Settings ウィンドウを閉じます。

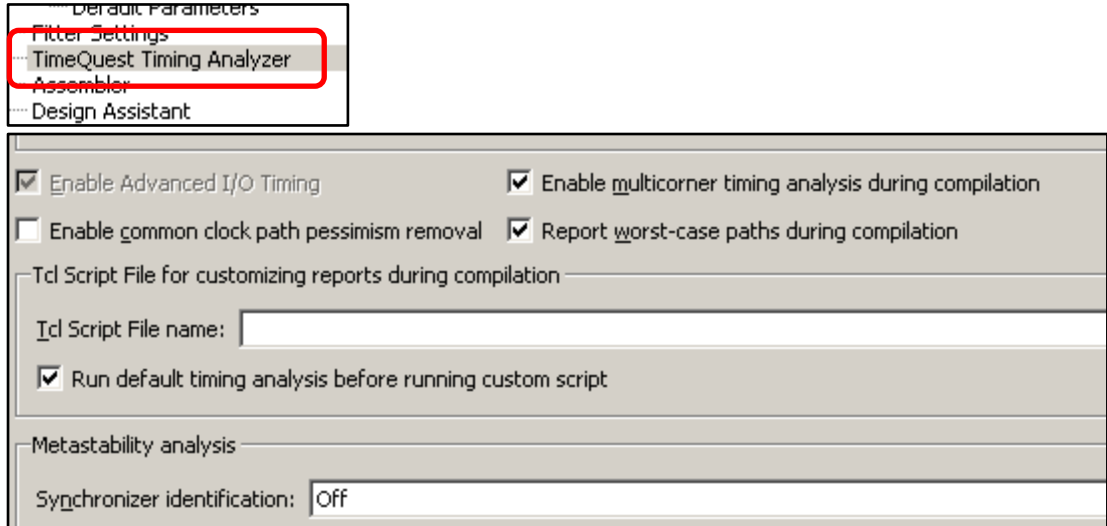


図 4-2-1-2 TimeQuest Timing Analyzer オプション設定

- Enable multicorner timing analysis during compilation
Slow-Corner や Fast-Corner (65nm デバイスより新しいデバイス・ファミリでは Slow の最低動作温度) といった複数の Delay model でのレポート生成を実施します。
- Enable common clock path pessimism removal
共通クロック・パスの遅延値の違いを考慮します。
データ到着時間に最大の遅延値を使用し、データ要求時間に最小の遅延値を使用して計算します。
- Report worst-case paths during compilation
Compilation Report にワースト・パスを含んでレポートを生成します。
- Tcl Script File for customizing reports during compilation
ユーザ定義したスクリプトを使用してタイミング・レポートを生成することもできます。

(手順 2) コンパイルを実行します。

必要に応じて論理合成から実行することも可能です。

(手順 3) コンパイル終了後、Compilation Report 内 TimeQuest Timing Analyzer を選択します。

(手順 1) にて設定したオプション設定にあわせて、レポートが生成されます。

図 4-2-1-3 のようにカテゴリ毎にフォルダ分けされています。

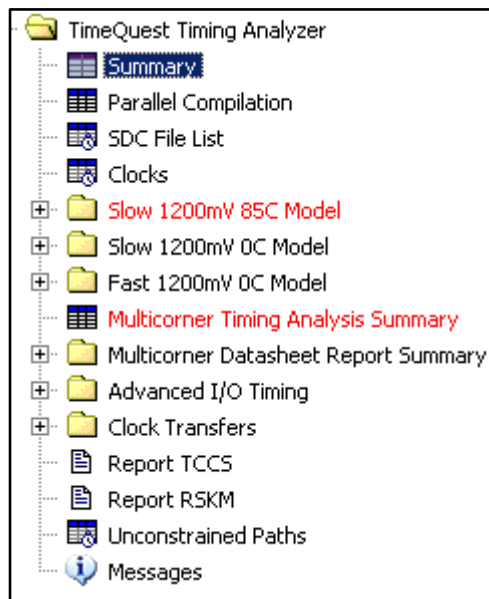


図 4-2-1-3 TimeQuest Timing Analyzer レポート一覧

赤文字で表示されている項目は、タイミング制約に対して満足していないパスが含まれています。(タイミング・エラーがある項目)

(手順 4) 詳細レポートを確認したいレポートを開き TimeQuest にて詳細レポートを生成します。
 確認したいパスを選択し、右クリック > Report Timing ... (In TimeQuest UI) を選択
 (図 4-2-1-4)

Worst-Case Timing Paths など場合によっては、直接詳細レポートが表示されます。

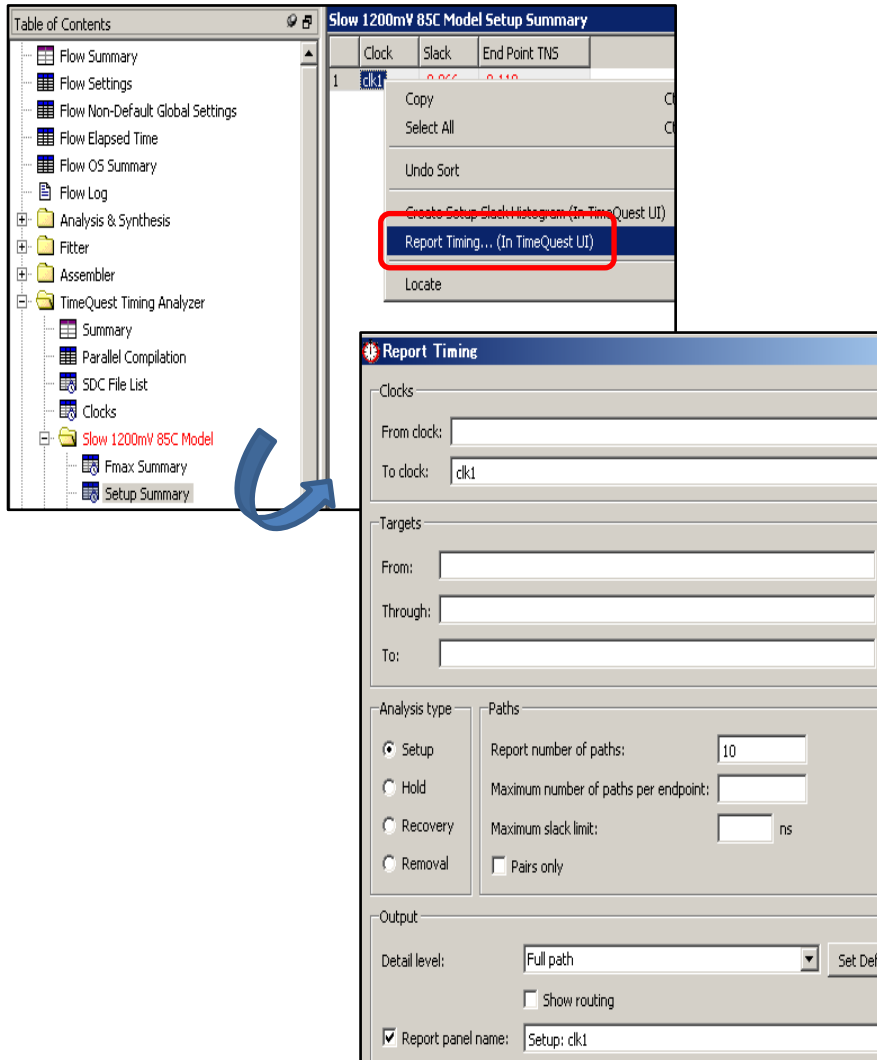


図 4-2-1-4 Compilation Report から TimeQuest の Report Timing を起動

Quartus II の Compilation Report から TimeQuest へジャンプすることにより、ネットリストの更新作業の手間を省くことができます。

4-2-2. TimeQuest を使用し詳細のタイミング・レポートを作成するフロー

Quartus II でコンパイル実行後、タイミング・レポートは TimeQuest にて生成される場合のフローについて説明します。(図 4-2-2-1)

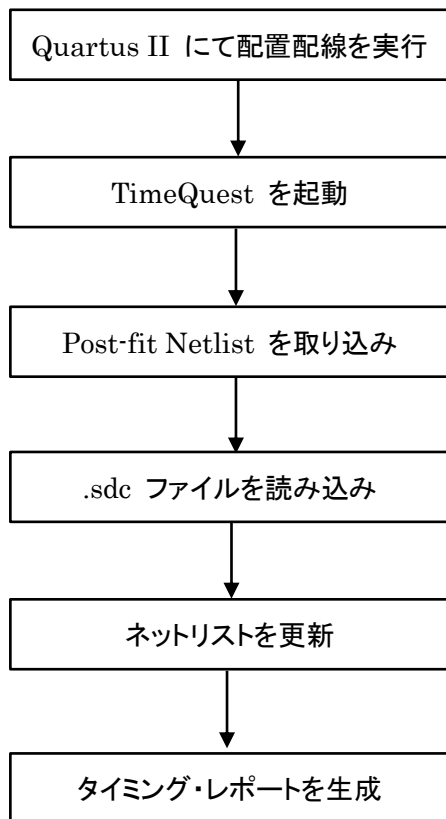



図 4-2-2-1 タイミング・レポート生成フロー

(手順 1) コンパイルを実行します。

必要に応じて論理合成から実行することも可能です。

(手順 2) TimeQuest を起動します。

メニューバー Tools > TimeQuest Timing Analyzer を選択、もしくは  アイコンをクリック

(手順 3) Post-fit Netlist と SDC ファイルを取り込みます。

Tasks ペイン内 Netlist Setup > Update Timing Netlist をダブルクリック (図 4-2-2-2)

Tasks ペイン内で Update Timing Netlist を実行すると未実行の下記 2 つの工程も自動的に実行します (生成したい詳細レポートを Tasks ペイン内 Report でダブルクリックすると Update Timing Netlist までの 3 つの工程を自動実行後にレポートが生成されます)。

- ・Create Timing Netlist: ネットリストの取り込み

※デフォルトの Post-fit ネットリストで slow corner delay model で取り込まれます。

タイミング・モデルを切り替える場合は、第 4-3 章『タイミング・モデル切り替え時のタイミング・レポート生成フロー』をご参照ください。

- ・ Read SDC File

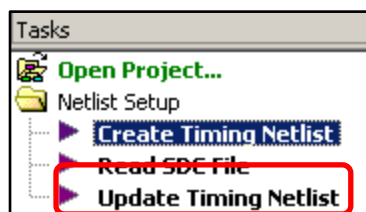


図 4-2-2-2 Tasks ペイン

(手順 4) 生成したいタイミング・レポートを生成します。

TimeQuest でネットリストの更新まで行っておく事で複数のタイミング・レポートを生成することができ、より詳細なタイミング解析を行うことができます。

4-3. タイミング・モデル切り替え時のタイミング・レポート生成フロー

FPGA / CPLD のデザインをあらゆる条件のもとで動作させるために、PVT (Power、Voltage、Temperature) 条件でタイミング・マージンを評価する必要があります。アルテラ社は PVT 条件でタイミング・マージンを評価できるよう、複数のタイミング・モデルを提供しています。

Quartus II コンパイル実行時に複数のタイミング・モデルでのタイミング・サマリ・レポートを生成する際は、TimeQuest Timing Analyzer 内の multicorner のオプションを有効にします。

■ multicorner timing analysis ■

(手順 1) メニューバー Assignments > Settings を選択します。

(手順 2) TimeQuest Timing Analyzer を選択し、

“Enable multicorner timing analysis during compilation” にチェックを入れ、

“Apply”、“OK” ボタンを押します。

TimeQuest で詳細のタイミング・レポートを解析したいときなど、TimeQuest で Delay model を切り替えてレポートを再生成することができます。Delay model を切り替えてタイミング・レポートを再生成する方法について説明します。(図 4-3-1)

Delay model を切り替える際、生成されたネットリストには Delay model が反映されている為、一旦ネットリストを削除する必要があります。ネットリストを削除後、条件を設定し、ネットリストを再読み込みします。

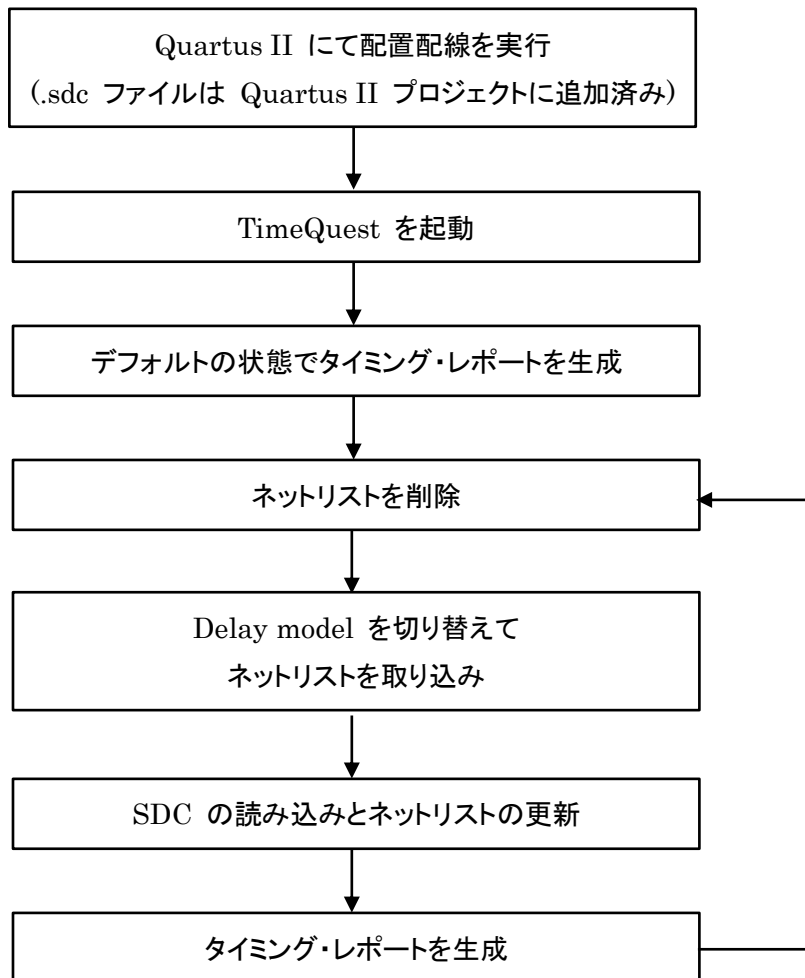



図 4-3-1 Delay model を切り替えてタイミング・レポートを生成するフロー

(手順 1) Quartus II にてコンパイルを実行します。

(手順 2) TimeQuest を起動します。

メニューバー Tools > TimeQuest Timing Analyzer を選択、もしくは  アイコンをクリック

(手順 3) Post-fit Netlist と SDC ファイルを取り込みます。

Tasks ペイン内 Netlist Setup > Update Timing Netlist をダブルクリック

デフォルトのネットリスト (Post-map、Slow-corner) が取り込まれ、SDC ファイルを読み込み、取り込んだネットリストにタイミング制約を適応させます。

(手順 4) 詳細を確認したいタイミング・レポートを生成します。

(手順 5) ネットリストを削除します。

読み込まれているネットリストはデフォルトでの Delay model が適用されているため、一旦ネットリストを削除する必要があります。

メニューバー Netlist > Delete Timing Netlist を選択 (図 4-3-2)

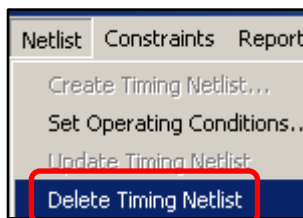


図 4-3-2 Delete Timing Netlist

(手順 6) Delay model を切り替えてネットリストを取り込みます。

メニューバー Netlist > Create Timing Netlist (図 4-3-3)

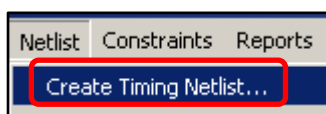


図 4-3-3 Create Timing Netlist

この時、Input netlist は Post-fit (配置配線後のネットリスト) を設定します。

Delay model を切り替えて、“OK” ボタンを押します。(図 4-3-4)

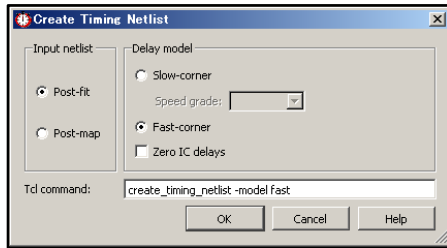


図 4-3-4 Create Timing Netlist

表 4-3-1 は、図 4-3-1 の設定項目について詳細を説明しています。

表 4-3-1 Create Timing Netlist

Input Netlist	
Post-fit (デフォルト)	配置配線後のネットリストを取り込みます。
Post-map	論理合成後のネットリストを取り込みます。
Delay model	
Slow-corner (デフォルト)	ワーストケースのタイミング・モデルを使用します。 ・ 最高動作温度 ・ VCCmax
Fast-corner	ベストケースのタイミング・モデルを使用します。 ・ 最低動作温度 ・ VCCmin
Zero IC delays	配線遅延を考慮しないタイミング・モデルを使用します。

(手順 7) 65nm デバイスよりも新しいデバイスは、第 3 のモデル (Slow の最低動作温度) があるため、第 3 のモデルを選択する場合は、条件を設定します。

メニューバー Netlist > Set Operating Conditions を選択
条件を選択し、“OK” ボタンを押す (図 4-3-5)

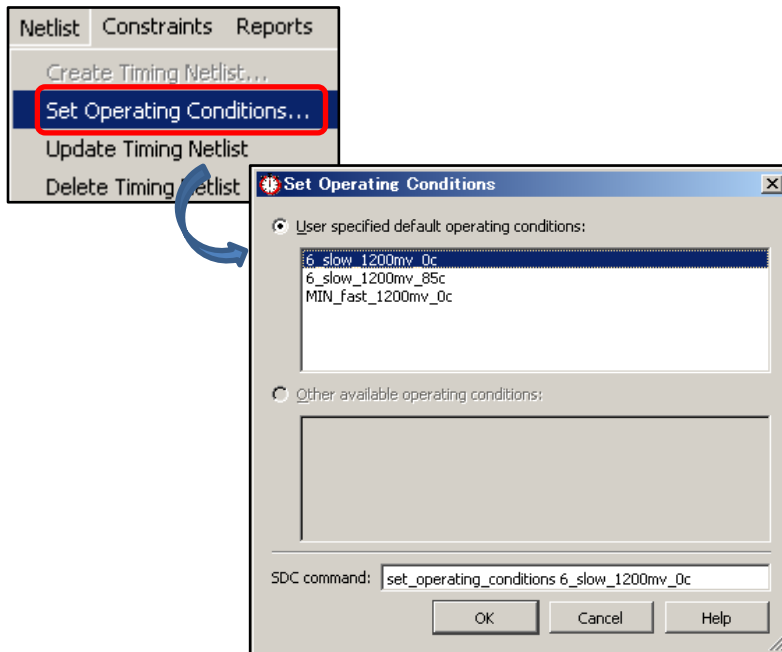


図 4-3-5 Set Operating Conditions

(手順 8) SDC を読み込み、ネットリストを再生成します。

Tasks ペイン内 Netlist Setup > Update Timing Netlist をダブルクリック

(手順 9) 生成したいタイミング・レポートを生成します。

(手順 10) 必要に応じて (手順 5) から繰り返し、Delay model を切り替えてタイミング・レポートを生成します。

複数のタイミング・モデルを使用し、PVT (Process、Voltage、Temperature) 条件でタイミング・マージンを評価できます。

4-4. タイミング制約変更時のタイミグ・レポート生成フロー

TimeQuest では、コンソールから新しいタイミング制約を追加したり、.sdc ファイルを編集したりすることで“Out of Date”というワーニングが表示されます。(図 4-4-1) 制約が変更されたことで、古い制約におけるレポート生成の防止になります。タイミング制約に変更があった場合は、一旦ネットリストにリセットをかけ、古いタイミング制約の情報を消去してから新たにタイミング制約を適用させます。(図 4-4-2)

Slack	From Node	To Node	Launch Clock	Latch Clock
1 0.451	datab[5]	mult:mult_inst lpm_mult:lpm_mult_component mult_u7q:auto_generated dff63	clk1	clk1
2 0.456	datab[1]	mult:mult_inst lpm_mult:lpm_mult_component mult_u7q:auto_generated dff63	clk1	clk1
3 0.482	datab[5]	mult:mult_inst lpm_mult:lpm_mult_component mult_u7q:auto_generated dff63	clk1	clk1
4 0.489	datab[1]	mult:mult_inst lpm_mult:lpm_mult_component mult_u7q:auto_generated dff63	clk1	clk1
5 0.492	datab[5]	mult:mult_inst lpm_mult:lpm_mult_component mult_u7q:auto_generated dff63	clk1	clk1
6 0.499	datab[1]	mult:mult_inst lpm_mult:lpm_mult_component mult_u7q:auto_generated dff63	clk1	clk1
7 0.502	datab[2]	mult:mult_inst lpm_mult:lpm_mult_component mult_u7q:auto_generated dff63	clk1	clk1
8 0.510	datab[1]	mult:mult_inst lpm_mult:lpm_mult_component mult_u7q:auto_generated dff63	clk1	clk1

Total	Incr	RF	Type	Fanout	Location	Element
1 0.000	0.000					launch edge time
2 0.000	0.000					clock path
1 0.000	0.000	R				clock network delay
3 4.500	4.500	F	IExt	1	PIN_B11	datab[5]
4 7.149	2.649					data path
1 4.500	0.000	FF	IC	1	IOIBUF_X25_Y24_N22	datab[5]~input[i
2 5.245	0.745	FF	CELL	6	IOIBUF_X25_Y24_N22	datab[5]~input[o

Total	Incr	RF	Type	Fanout	Location	Element
1 6.000	6.000					latch edge time

図 4-4-1 Out of Date のワーニング表示

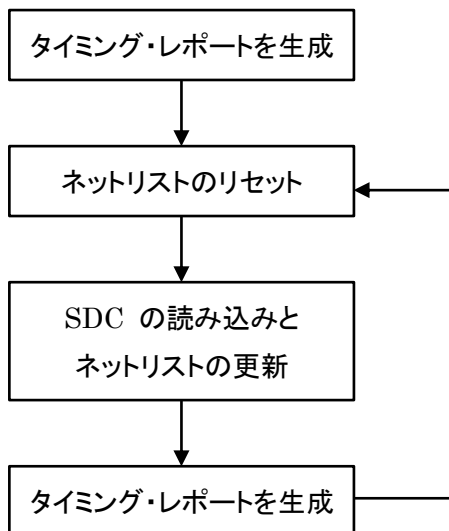


図 4-4-2 タイミング制約変更時のタイミグ・レポート生成フロー

(手順 1) タイミング制約等の変更を行います。

(手順 2) ネットリストをリセットします。

Tasks ペイン内 Reset Design をダブルクリック (図 4-4-3)

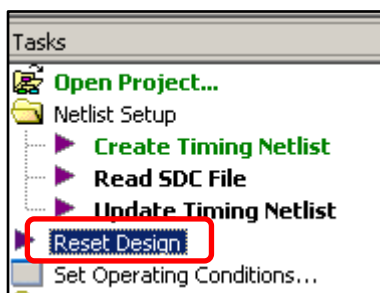


図 4-4-3 Reset Design

(手順 3) SDC を再度読み込み、ネットリストを再生成します。

Tasks ペイン内 Netlist Setup > Update Timing Netlist をダブルクリック (図 4-4-4)

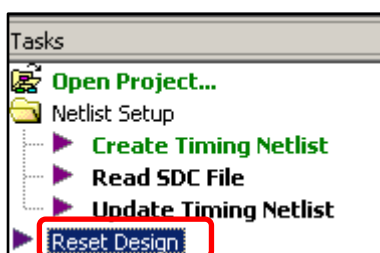


図 4-4-4 Update Timing Netlist

タイミング制約に変更を行っても古いタイミング制約に対するレポート生成を防止し、ネットリストのリセットのみでレポートを再生成することができます。

改版履歴

Revision	年月	概要
1	2012年1月	新規作成

免責、及び、ご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社アルティマ : 〒222-8563 横浜市港区新横浜 1-5-5 マクニカ第二ビル TEL: 045-476-2155 HP: <http://www.altima.co.jp>
 技術情報サイト EDISON : <https://www.altima.jp/members/index.cfm>
 株式会社エルセナ : 〒163-0928 東京都新宿区西新宿 2-3-1 新宿モノリス 28F TEL: 03-3345-6205 HP: <http://www.elsena.co.jp>
 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。