

# Quartus II はじめてガイド 回路図エディタの使い方

ver.10.0

# Quartus II はじめてガイド

## 回路図エディタの使い方

### 目次

1. はじめに.....	3
2. 基本操作方法.....	4
2-1. 新規ファイルの作成.....	4
2-2. デザイン入力.....	5
2-2-1. シンボルの入力.....	5
2-2-2. 信号の接続（配線）方法.....	10
2-2-3. ピン名、ノード名の登録方法.....	11
2-2-4. その他.....	12
2-3. デザインの保存.....	15
3. ブロック・シンボルの生成方法.....	16
4. 回路図を HDL へ変換する方法.....	18
5. トップ・ダウン方式の回路図作成方法.....	19
5-1. 新規ファイル作成.....	19
5-2. デザイン入力.....	20
5-2-1. ブロック・ダイアグラム・シンボルの入力.....	20
5-2-2. I/O の接続（配線）（ワイヤ・ライン / バス・ライン）.....	21
5-2-3. 名前の異なる I/O の接続 — マッパー・プロパティ（Mapper properties）.....	22
5-3. デザインの保存.....	23
5-4. 下位階層デザインの作成.....	23

## 1. はじめに

この資料は、Quartus<sup>®</sup> II 回路図エディタの操作方法をご紹介します。

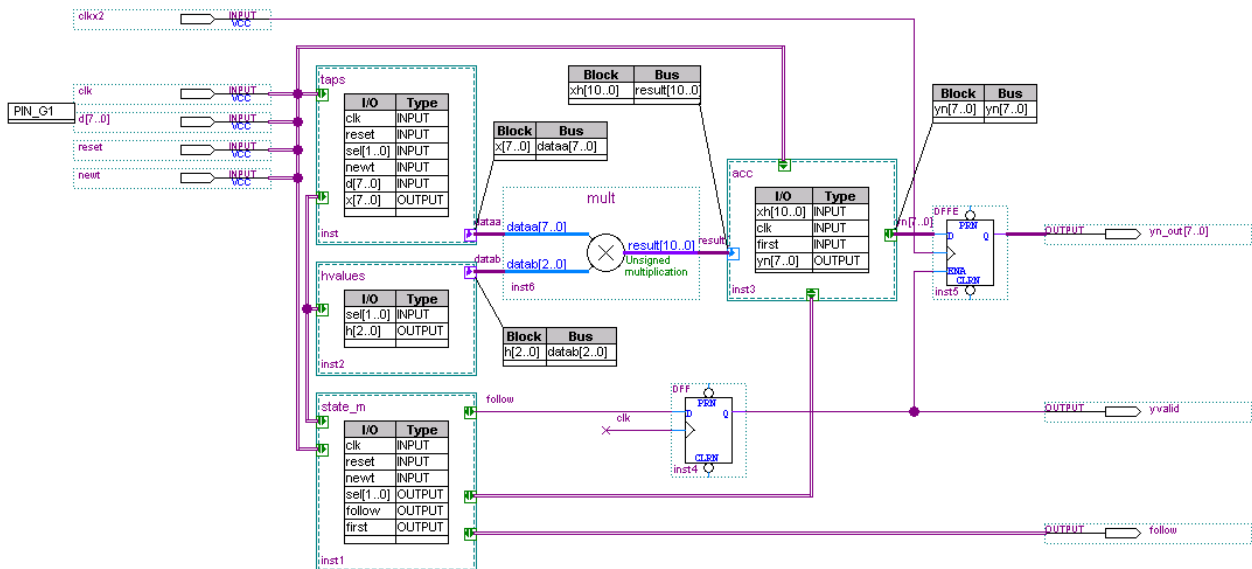
Quartus II はデザイン・エントリの手法として、回路図・ AHDL ・ VHDL ・ Verilog HDL ・ EDIF ・ VQM に対応しています。階層設計をしたときに、最終的に最上位階層のデザイン・ファイルが、1 つのフォーマット（回路図・ AHDL ・ VHDL ・ Verilog HDL ・ EDIF ・ VQM のいずれか）であれば、混在させることが可能です。

そのエントリ方法の 1 つである回路図エディタの基本的な操作（回路図の入力方法、ノードの接続方法、ピン名の入力方法など）をご紹介します。

その他、ユーザが作成した回路図または言語（AHDL ・ VHDL ・ Verilog HDL ・ EDIF ・ VQM）を上位階層の回路図へエントリするためのブロック・シンボルの生成方法や、ユーザが作成した回路図を HDL 変換する機能、またトップ・ダウン方式で回路図を作成するブロック・ダイアグラム入力方法やその下位階層デザインの作成方法などもご紹介しています。

本資料では、階層設計の構成として、ボトム・アップ方式を主体にしています。トップ・ダウン方式を用いる場合の操作方は、本資料『第 5 項 - トップ・ダウン方式の回路図作成方法』をご覧ください。

回路図エントリ イメージ



## 2. 基本操作方法

### 【補足①：プロジェクト作成を推奨】


プロジェクトを作成していなくても、回路図規模を作成することは可能ですが、あらかじめプロジェクトを作成後に回路図を作成することをお勧めします。

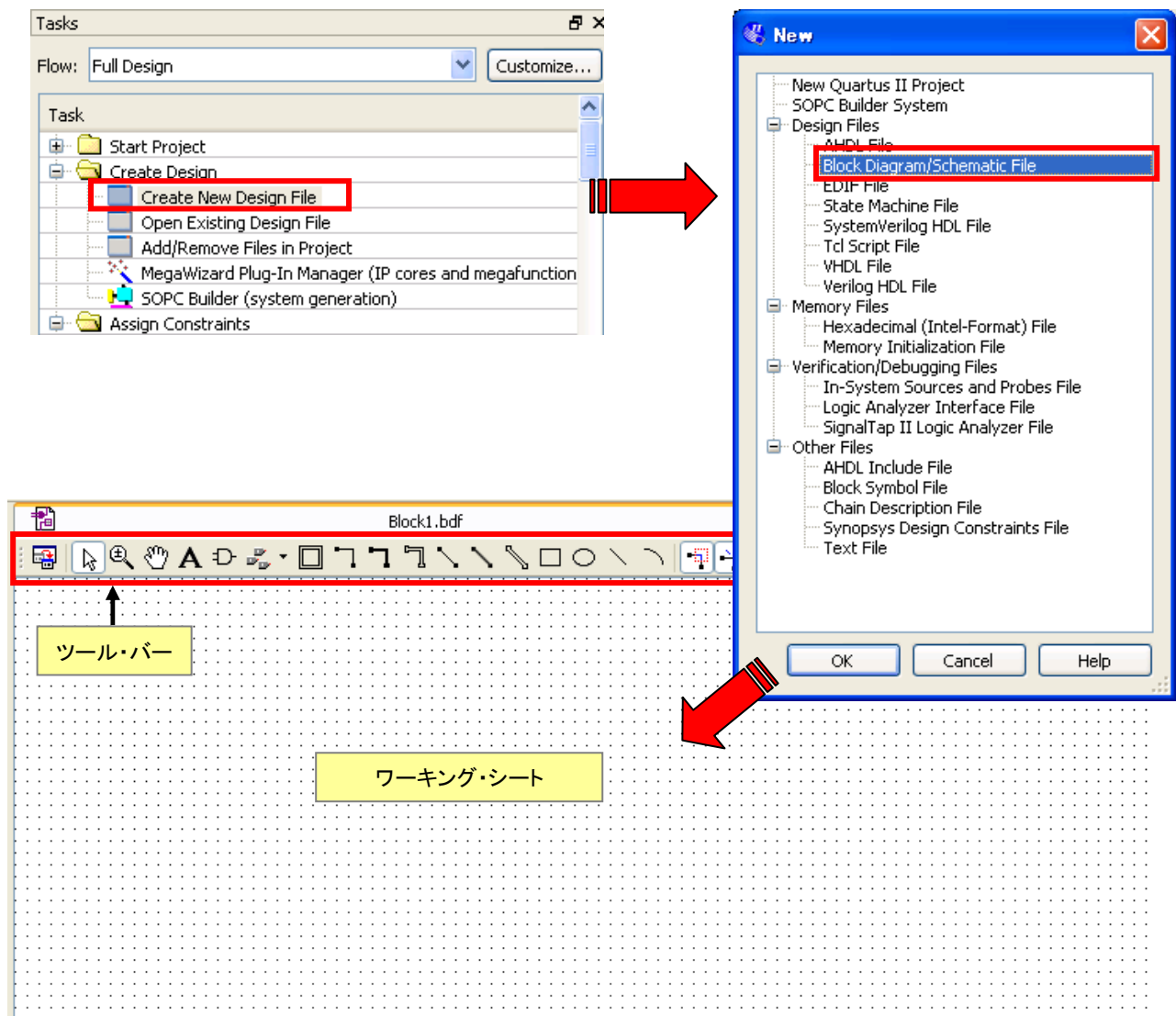
プロジェクトの作成方法に関しては、本資料をご入手になった技術情報サイトにて、下記資料をご参考ください。

資料タイトル『Quartus II はじめてガイド – プロジェクトの作成方法』

### 2-1. 新規ファイルの作成

回路図用ワーキング・シート (\*.bdf) を使用します。























- ① File メニュー ⇒ New、または  ボタンをクリックします。Tasks ウィンドウの Create Design ディレクトリを展開し、Create New Design File をダブルクリックすることでも可能です。
- ② New ダイアログ・ボックス内より “Block Diagram/Schematic File” を選択し、OK ボタンをクリックします。ワーキング・シートが表示されます。



## 2-2. デザイン入力

ワーキング・シート（BDF ファイル）を開くと、シート上部（デフォルト位置）にツール・バーが表示されます。これらの操作ボタンを用途に合わせて使用しながら、回路図を作成します。詳細は、次頁をご参考ください。

使用する場合は、ボタンをクリックし、選択してください。（絵柄がくぼんでいれば“ON”、くぼんでいなければ“OFF”の状態です。）

	Detach window ボタン（回路図エディタ・ウィンドウをメイン・ウィンドウから独立させる。）		コンジットが描けます。
	ポインタ		長方形が描けます。
	ズームイン・ズームアウト		楕円が描けます。
	ハンド・ツール		直線が描けます。（信号線には使用不可）
	文字入力		弧が描けます。
	シンボル・ウィンドウを表示します。		ラインを部分的に選択できます。
	ブロック・ダイアグラム・シンボルを入力できます。		信号線の接合点を接続維持または切断
	直行線ノード（シングル・ビット）が描けます。		水平反転します。
	直行線ノード（バス・ライン）が描けます。		上下反転します。
	直行線コンジットが描けます。		90° 反時計周りに回転します。
	直線が描けます。（信号線）		
	バスが描けます。（信号線）		

赤枠で囲ったボタンは、一般的によく使われるボタンです。選択したボタンの操作が完了したら、“ポインタ”に戻して次の操作に移ることをお勧めいたします。


### 2-2-1. シンボルの入力

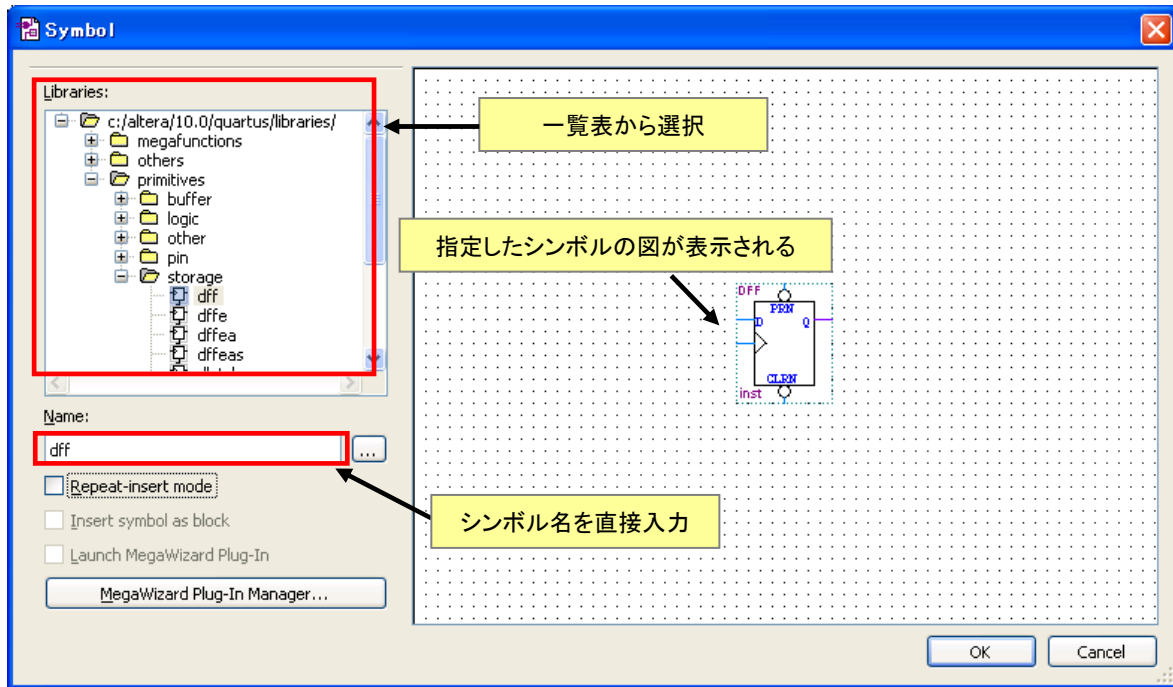
“シンボル”には、AND や OR などのゲートやフリップフロップのようなロジックのタイプだけでなく、“LPM（library of parameterized modules） / メガファンクション”のようなパラメータ化されたモジュールのシンボル・ライブラリも使用できます。これらを活用して、回路をより柔軟性を上げ、かつ高機能に構成することができます。

LPM / メガファンクションは、デバイス・ファミリを気にすることなく使用することができ（一部の LPM / メガファンクションを除く）、実装するデバイス・ファミリのアーキテクチャに適応して効率よく論理合成を行うため、短時間で高集積・高機能のファンクションを作成することが可能です。

#### ◆ プリミティブ・シンボル

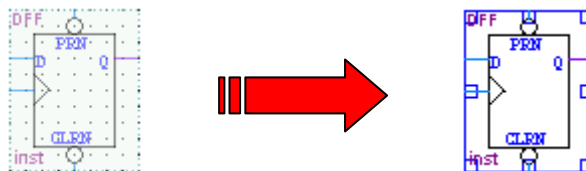
アルテラでは、AND ゲート、D 型フリップフロップ、入力ピンなど最小単位のロジックを“プリミティブ・シンボル”と呼んでいます。

- ① ワーキング・シート（BDF ファイル）上の空白スペースで、マウスの右ボタンをダブルクリックします。（または  ボタンをクリックします。）
- ② Symbol ダイアログ・ボックスから、入力したいプリミティブ・シンボルを決定します。以下のいずれかの方法でシンボルを登録してください。（次ページの図を参考）
  - ・ Libraries リストから選択する
  - ・ Name 欄に直接プリミティブ・シンボル名を入力する



Symbol ダイアログ・ボックス

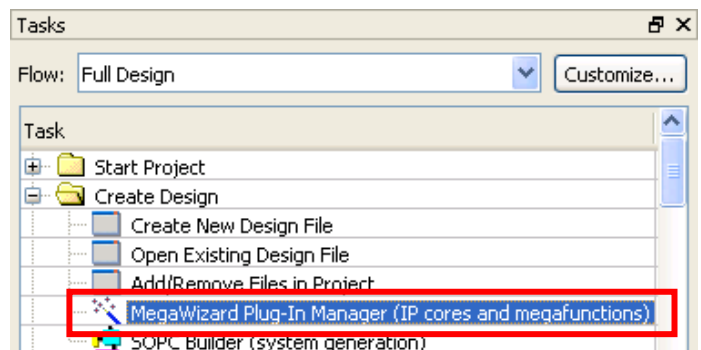
- ③ OK ボタンをクリックした後、ポインタ先に半透明のシンボルが付きます。ワーキング・シート上の配置したい位置までマウスを移動させ、決定したところで“左クリック”してください。配置場所が確定します。



◆ LPM / メガファンクション

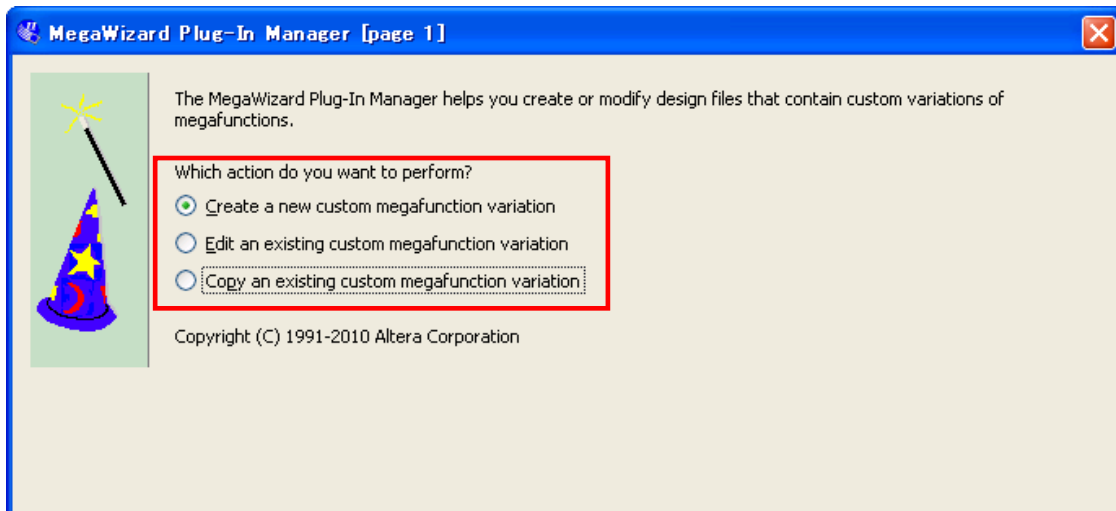
このファンクションは、あらかじめ特定の機能をもったシンボルが用意されており、ユーザがパラメータを指定（変更）することのできる可変型ファンクションです。

LPM / メガファンクションを使用するには、“MegaWizard™ Plug-In Manager” というウィザード方式のアプリケーションを使い作成します。



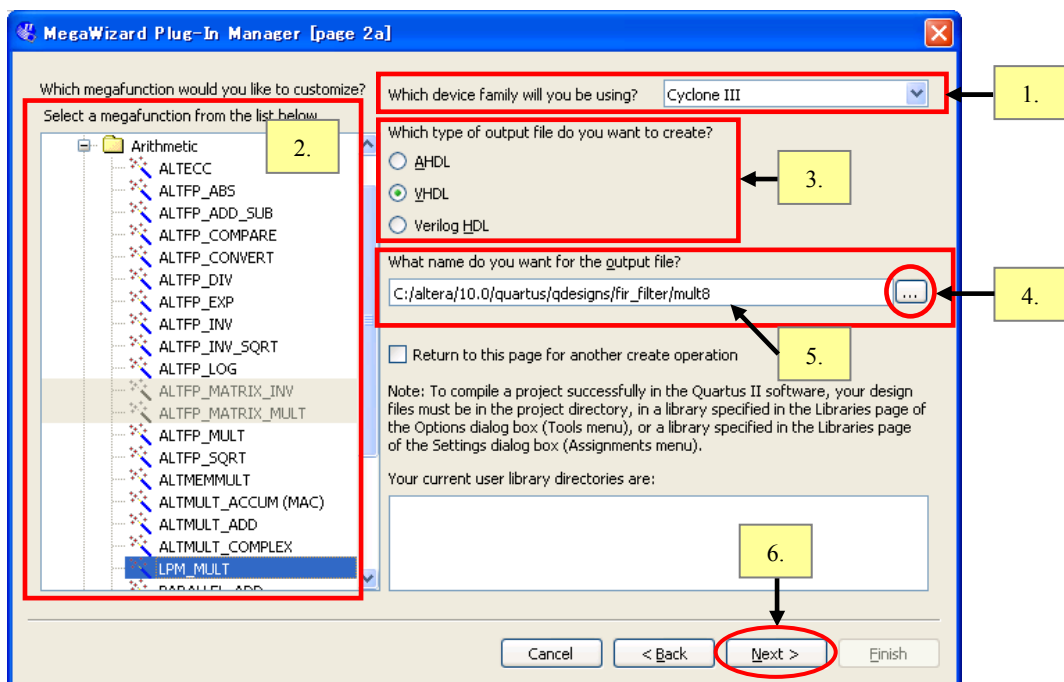
- ① Tools メニュー ⇒ MegaWizard Plug-In Manager を起動します。または Tasks ウィンドウの Create Design ディレクトリを展開し、MegaWizard Plug-In Manager をダブルクリックし起動させます。回路図用ワーキング・シートを表示している場合には、Symbol ダイアログ・ボックスにおいて、“MegaWizard Plug-In Manager” ボタン（左下のボタン）をクリックしても起動可能です。

- ② “Which action do you want to perform?” の問いに、適当なものを選択します。
- Create a new custom megafunction variation (新規作成)
  - Edit an existing custom megafunction variation (既存のファンクションの編集)
  - Copy an existing custom megafunction variation (既存のファンクションのコピー)



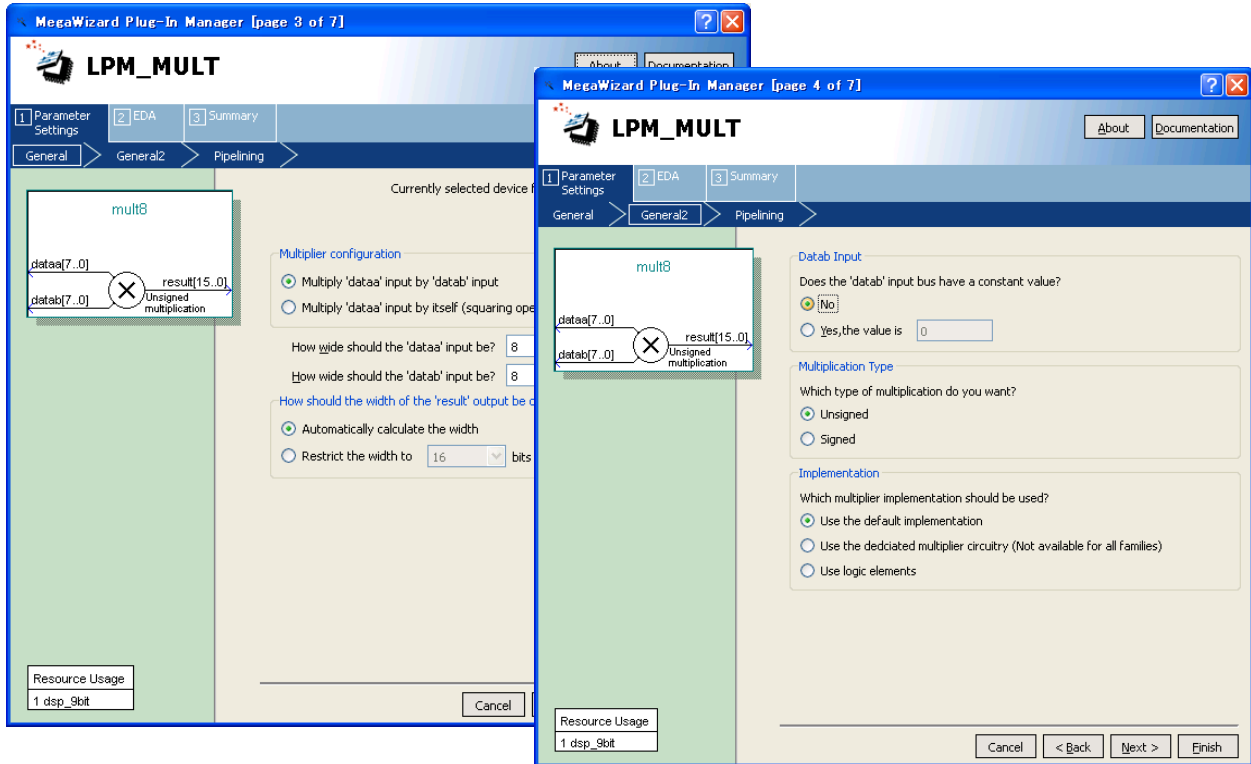
(以下からは、“新規作成” の場合を紹介しています。)

- ③ 各項目を選択、設定します。
1. ターゲット・デバイス・ファミリを選択します。
  2. メガファンクションの種類を選択します。
  3. 出力ファイルの言語形式を選択します。(回路図で使用する場合は、どの言語でもかまいません。)
  4. 作成するファンクションの出力ファイルの保存ディレクトリを指定します。(ブラウザボタンを使用)
  5. 作成するファンクションに付ける名前 (任意) を入力します。(例: mult8)

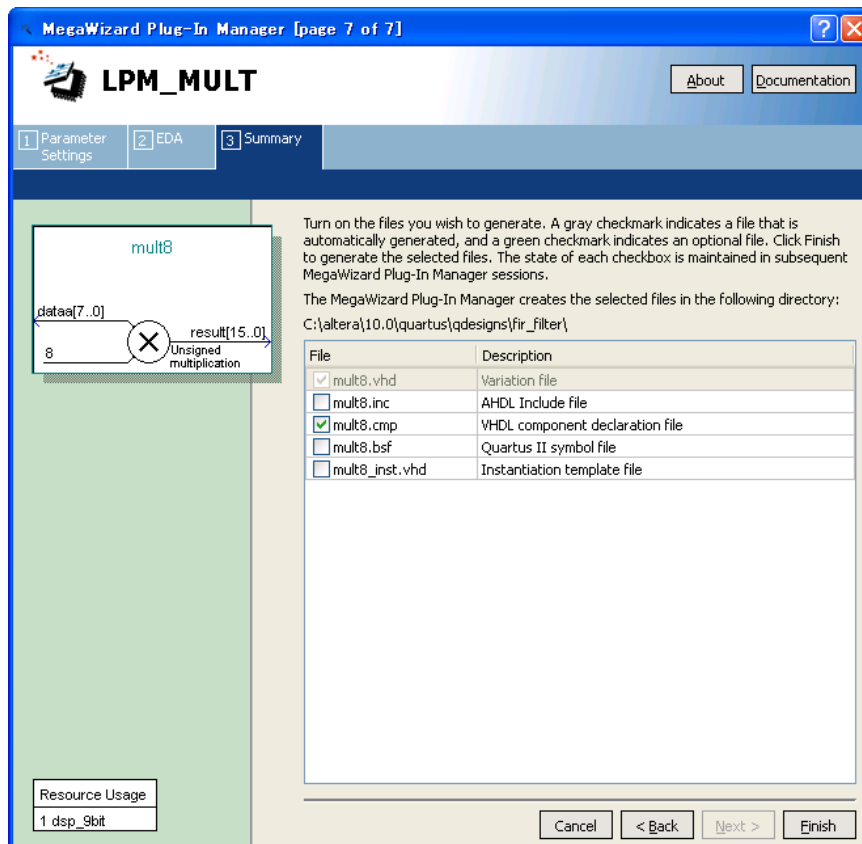


6. Next ボタンをクリックして次へ進みます。

7. 各ファンクションに設けられたパラメータを、必要に応じて設定・変更していきます。



④ 最終画面（Summary）では、生成するファイルを選択し、Finish ボタンをクリックします。

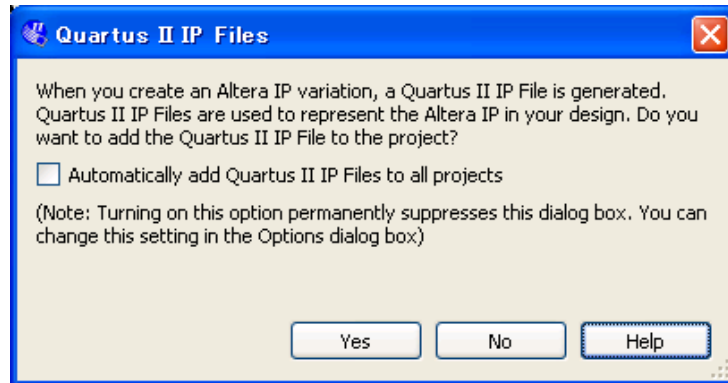


### 回路図作成に必須なファイル

- ・ <ファンクション名>.vhd (\*.v, \*.tdf) – ファンクション本体
- ・ <ファンクション名>.bsf – 回路図で使用するためのブロック・シンボル・ファイル



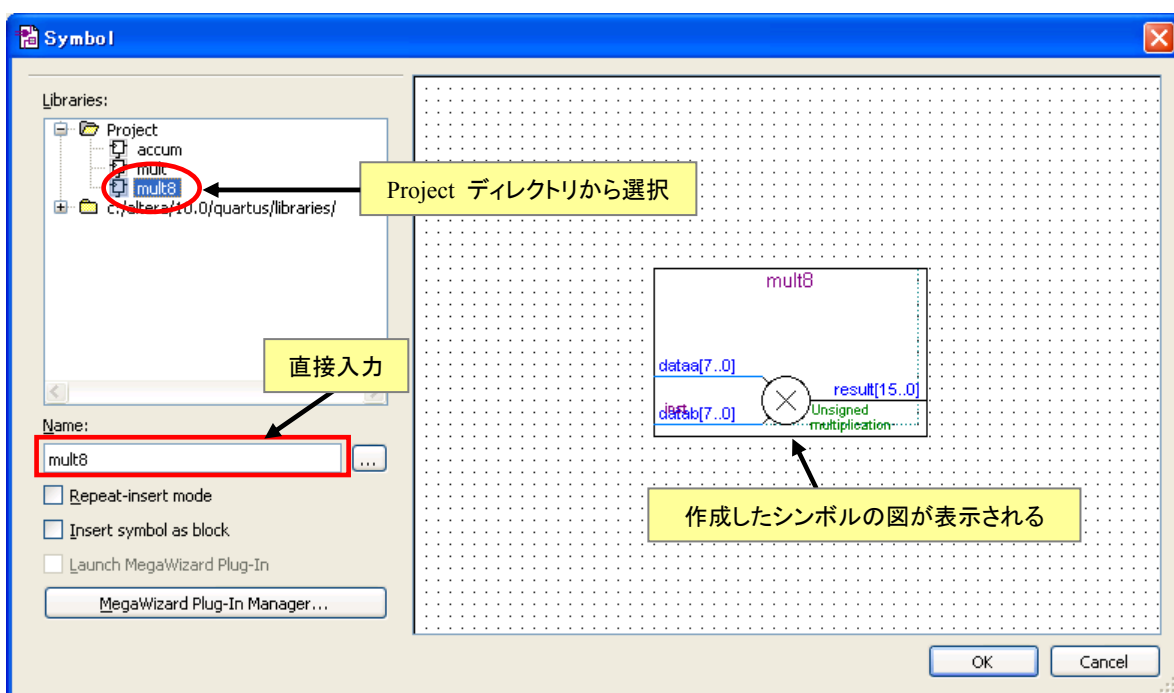
Finish ボタンをクリック後、以下のメッセージ・ボックスが表示されます。作成したメガファンクションを現在のプロジェクトにデザイン・エントリする場合は “Yes” を選択してください。



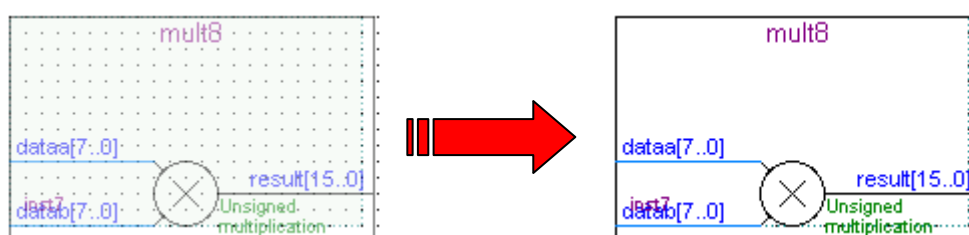
以上で、LPM / メガファンクションが作成できました。

- ⑤ ワーキング・シート上で Symbol ダイアログ・ボックスを起動し、先ほど作成した LPM / メガファンクションのシンボルを選択します。

Libraries リスト内の Project ディレクトリから、作成したファンクション名を選択する、または Name 欄にファンクション名を直接入力します。その後 OK ボタンをクリックします。



- ⑥ ポインタ先に半透明のシンボルが付きます。ワーキング・シート上の配置したい位置までマウスを移動させ、決定したところで “左クリック” で配置場所を確定します。



◆ シンボルの移動・コピー・削除の方法

ワーキング・シート上のシンボルの位置を操作するには、マウス操作およびキーボード短縮操作（Ctrl キー +）で行います。

・シンボルを移動する場合

対象のシンボルをマウスで選択して、マウスの左ボタンにてドラッグ & ドロップします。

・シンボルをコピーする場合

対象のシンボルをマウスで選択して、Ctrl キーを押しながらドラッグ & ドロップします。

またはシンボルを選択し、マウスで右クリック ⇒ Copy を選択、配置したい箇所で右クリック ⇒ Paste を選択します。

・シンボルを削除する場合

対象のシンボルをマウスで選択して、Delete キーを押します。

ある領域内のシンボルを一度に移動、コピー、削除をする場合は、マウスでワーキング・シート上の領域を選択（マウスの左ボタンをクリックして、ドラッグ & ドロップ）後、上記と同様の操作を行ってください。

・Undo Move/Redo Move コマンド

現在の状態から前（後）の状態に戻る（進む）ことが可能です。

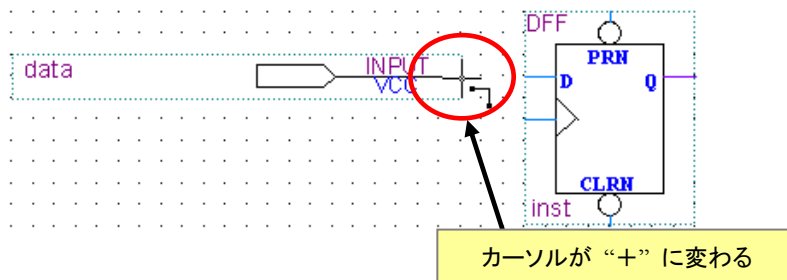


ボタンをクリックする、または（Ctrl + Z キー / Ctrl + Y キー）で操作します。


2-2-2. 信号の接続（配線）方法

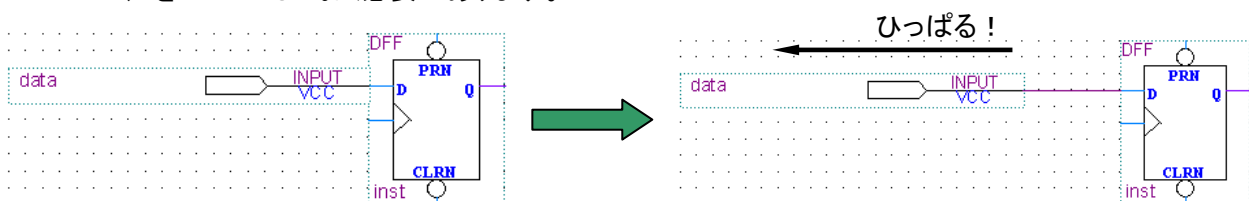
シンボル間を接続します。方法は 2 種類（下記 A、B）あります。

A : シンボルの接続部分にマウスのカーソルを持っていき、カーソルが“+”に変わったところで、ドラッグ & ドロップで目的地まで配線する方法



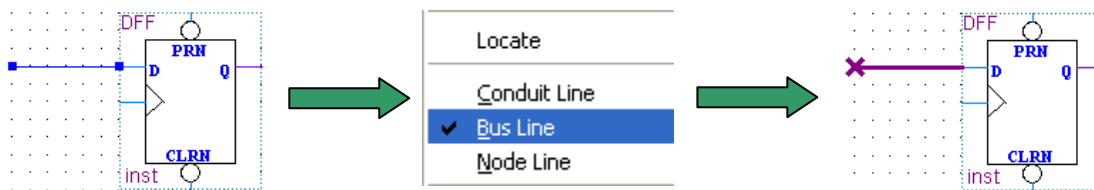
B : シンボルどうしを密着させ、配線を行う方法

- ① シンボルどうしの接続点を密着させるように配置します。
- ② その後、どちらか一方のシンボルを移動させると、配線された状態でシンボルを移動させることができます。このとき、ワーキング・シートの側面にあるツール・バーの  ボタン（Rubberbanding ボタン）を ON にしておく必要があります。



2bit 以上の信号（バス・ライン）は、配線を太線で表します。

- ① 太線にしたい配線をマウスの左ボタンでクリックし選択します。
- ② 右クリックし、プルダウン・リストより “Bus Line” を選択します。

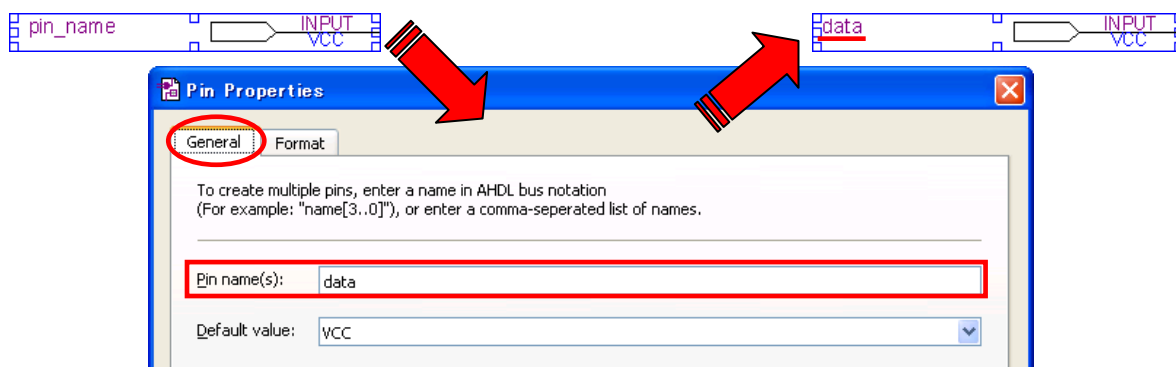


### 2-2-3. ピン名、ノード名の登録方法

ピンや配線（ノード）に名前を付けます。

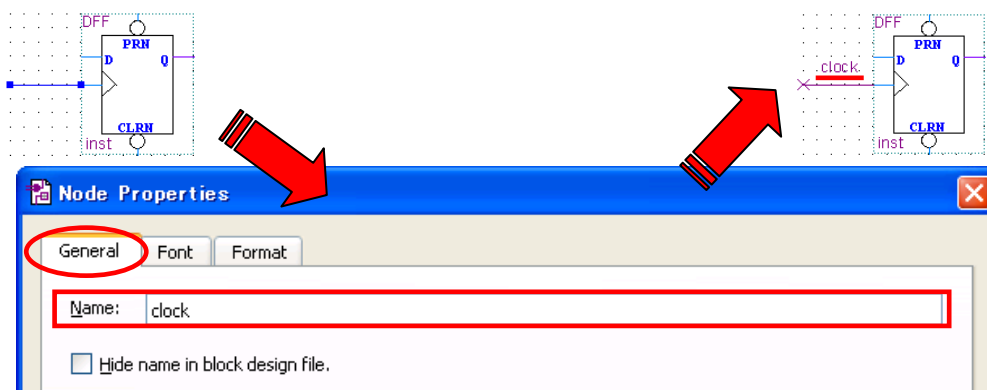
#### ◆ ピン名の付け方

- ① 名前を付けるピンのシンボルをダブルクリックします。
- ② General タブ（Pin Properties ダイアログ・ボックス）において、Pin name(s) 欄に名前（任意）をタイプ入力します。
- ③ OK ボタンをクリックし、ピン名を登録します。



#### ◆ ノード名の付け方

- ① 名前を付ける配線をマウスの左ボタンでクリックし選択します。
- ② 右クリックし（配線はハイライトした状態で）、プルダウン・リストより Properties を選択します。
- ③ General タブ（Node Properties ダイアログ・ボックス）において、Name 欄に名前（任意）をタイプ入力します。
- ④ OK ボタンをクリックし、ノード名を登録します。



このように、配線に名前を付けた場合、直接配線をしなくてもノード名だけで配線情報を与えることが可能となります。少し複雑に配線が入り組んでしまう場合には、この方法で接続情報を与えておく回路図がすっきり見やすくなります。

【補足②：ピンのバス表現】

一本のピン・シンボルでバス・ピン（多ビットのピン）を表現することも可能です。

例えば、8本のバスの場合は、“add[7..0]” という形式で名前を付けます。（バス・ラインにノード名を付ける場合も同様の形式です。）

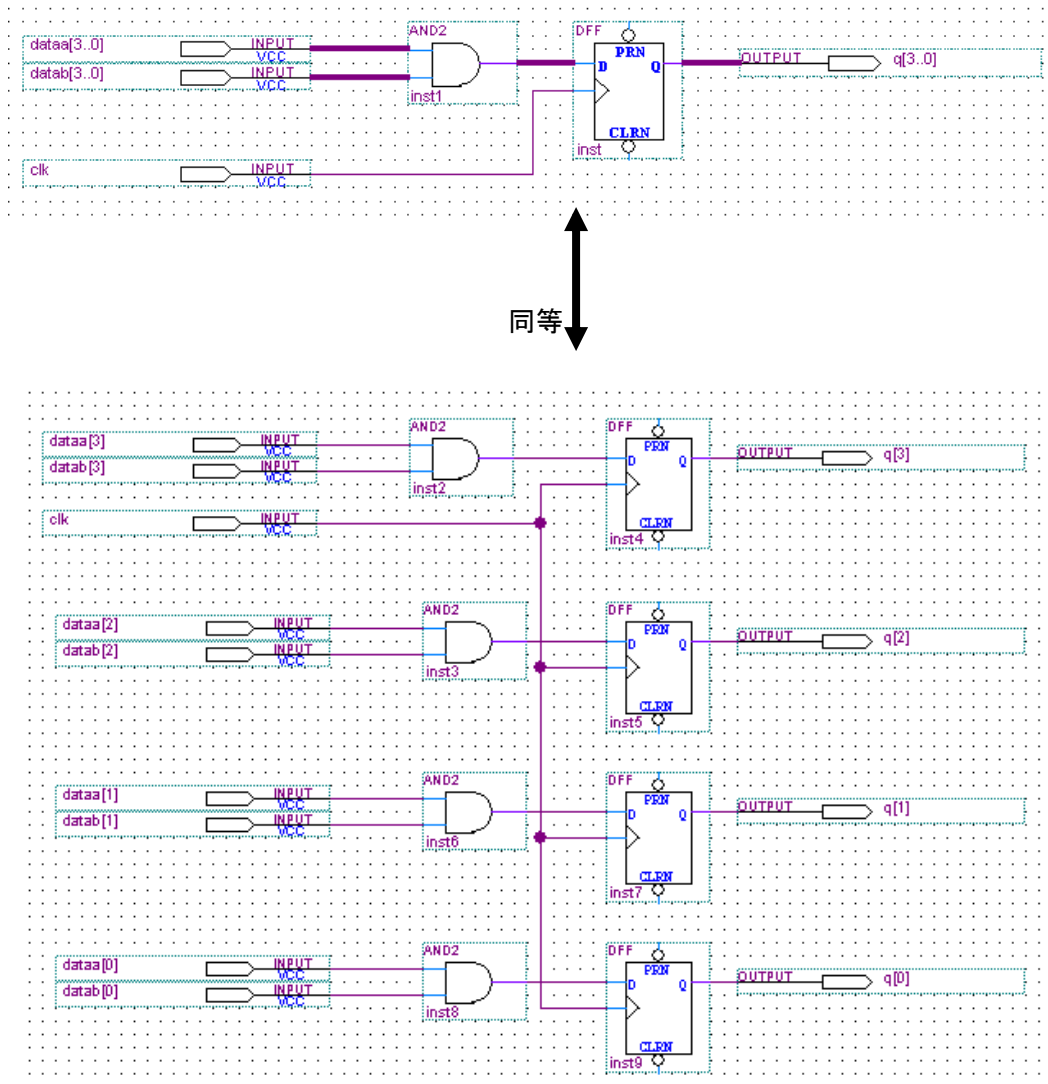


※ 回路図においてユーザが任意でシンボルの名称を付ける場合、大文字 / 小文字は区別されません。

2-2-4. その他

◆ プリミティブ・シンボルのバス接続

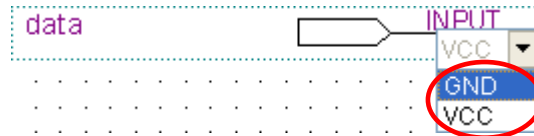
DFF（D型フリップフロップ）やANDゲートなどのプリミティブ・シンボルは、1つのシンボルでもバス・ラインに接続することができ、ビット分のシンボルを記述したと同時に処理されます。



◆ ポートの初期値

フリップフロップのクロック、データ以外の入力ポート（プリセット、クリア、クロック・イネーブル）を使用しない場合、各ポートの初期値が VCC であるため未接続のままでも問題ありません。

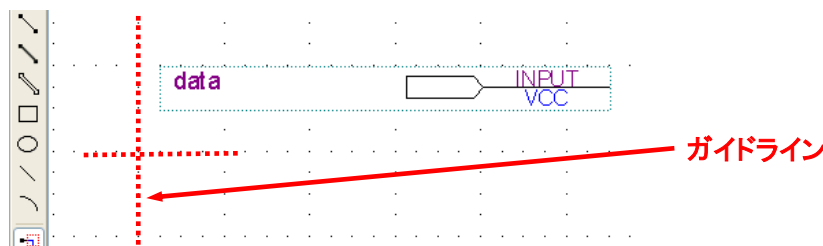
また、下位階層デザインの入力ポートにおいて、上位階層では何も入力しなかった（接続しなかった）場合の初期値を設定することが可能です。下図のように、下位階層デザインの入力ピンの接続部分下側に、信号レベルが表示されています（デフォルト VCC）。初期値を GND に変更する場合には、その部分をダブルクリックし、プルダウン・リストから GND を選択してください。



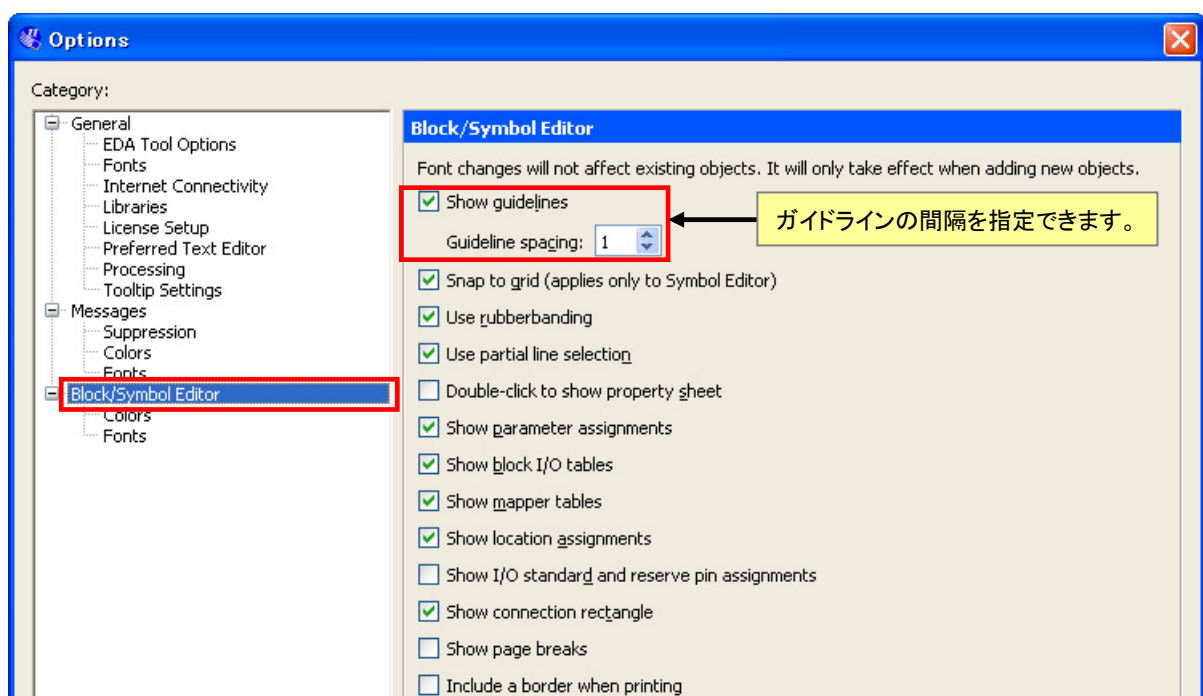
※ なお、最上位階層デザインに設けた入力ピンはデバイス外部で実際に使用の有無に関係なく、Quartus II のコンパイラによりデバイスのピンに配置されます。そのため回路動作上使用しない場合でも、基板上でその入力ピンに必ず信号を供給する必要があります。

◆ ガイドライン設定と表示方法

ワーキング・シートに、好みの間隔でガイドラインを表示させることができ、シンボルの位置を決める場合の目安となります。



- ① Tools メニュー ⇒ Options ⇒ Block/Symbol Editor (Category) をクリックします。
- ② Show guidelines の Guideline spacing に好みの間隔を指定します。




## <その他 オプション>


- Snap to grid [applies only to Symbol Editor]

オブジェクトをシンボル内に正確に位置づけることができ、グリッドが ON になっているときには、グリッド・ラインが磁石のように働いて、入力、移動、またはサイズ変更されたオブジェクトがグリッド・ラインに引き寄せられます。[Snap to grid] は Symbol Editor にしか適用されません。

- Use rubberbanding

信号の接続性を維持したままオブジェクトを移動することができます。ツール・バーの  ボタンでも簡単に設定できます。

- Use partial line selection

信号のライン上を部分的に選択することができます。ツール・バーの  ボタンでも簡単に設定できます。

- Double-click to show property sheet

シンボルのプロパティをダブルクリックで表示させます。

- Show parameter assignments

ブロック・デザイン・ファイル (.bdf) 内のパラメータ化ファンクションのパラメータ割り当てを表示 / 非表示にします。

- Show block I/O tables

BDF 内のブロックの I/O テーブルを表示 / 非表示にします。

- Show mapper tables

BDF 内のマッパー・テーブルを表示 / 非表示にします。

- Show location assignments

BDF 内のピンの配置番号やロジックの配置場所を表示 / 非表示にします。

- Show connection rectangle

シンボルに対して接続可能な位置を四角で表示します。

- Show page breaks

回路図シート内に、ページとページ番号が表示します。

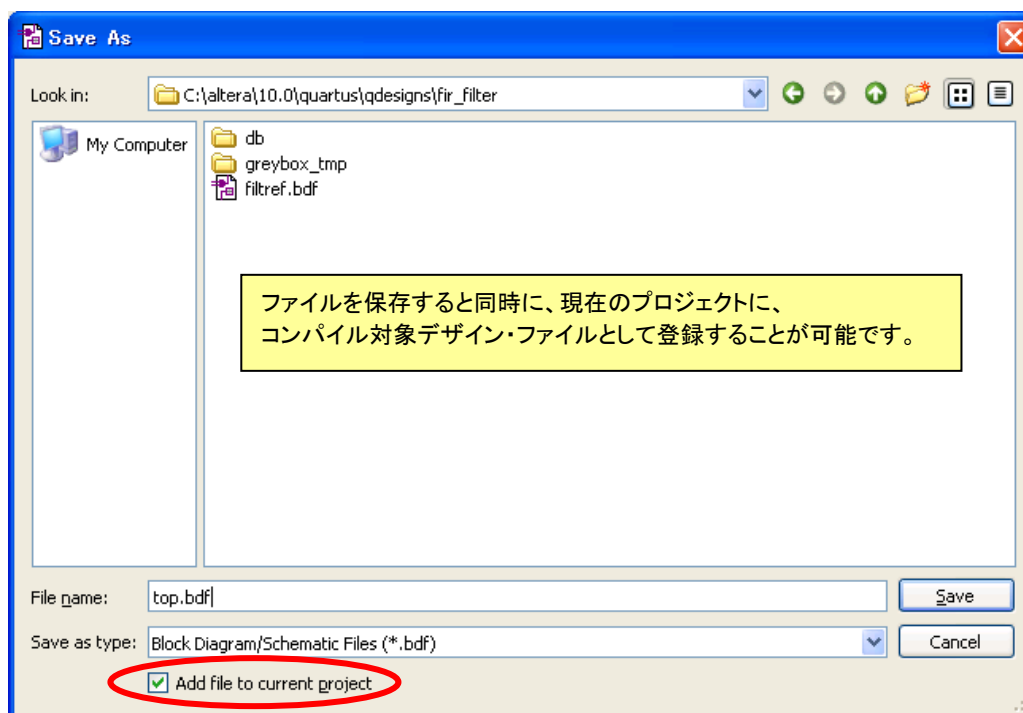
- Include a border when printing

印刷する際に縁を付けるかを決めます。

### 2-3. デザインの保存

作成したデザインに名前（任意）を付けて保存します。ファイルの拡張子は（.bdf）です。

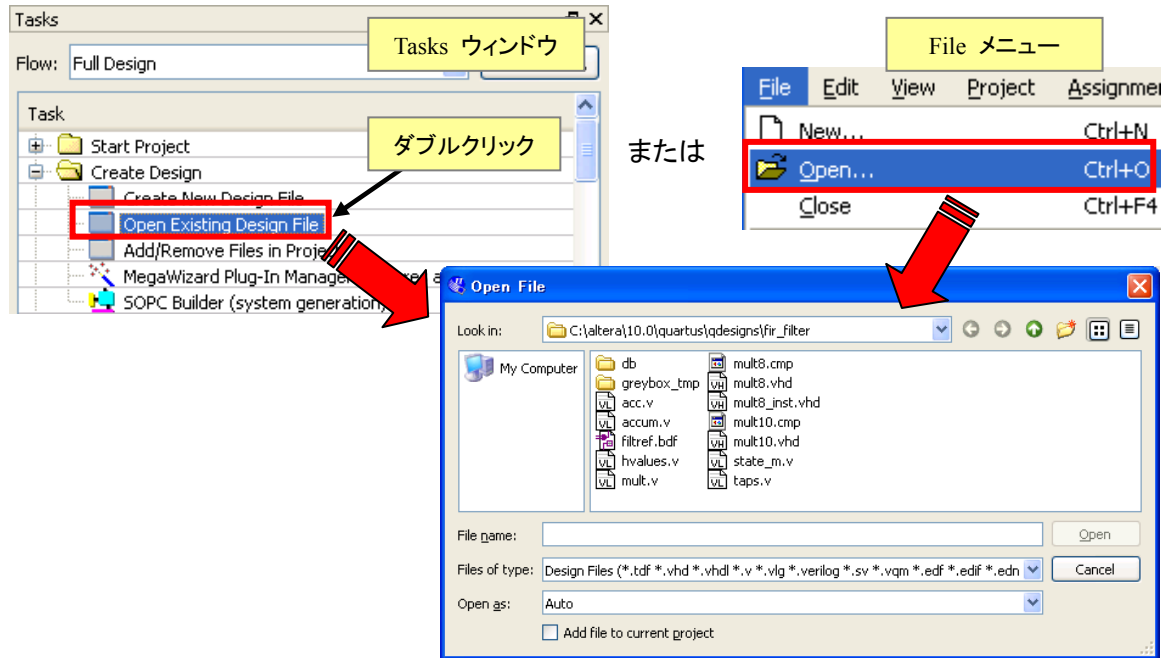
File メニュー ⇒ Save As または  ボタン



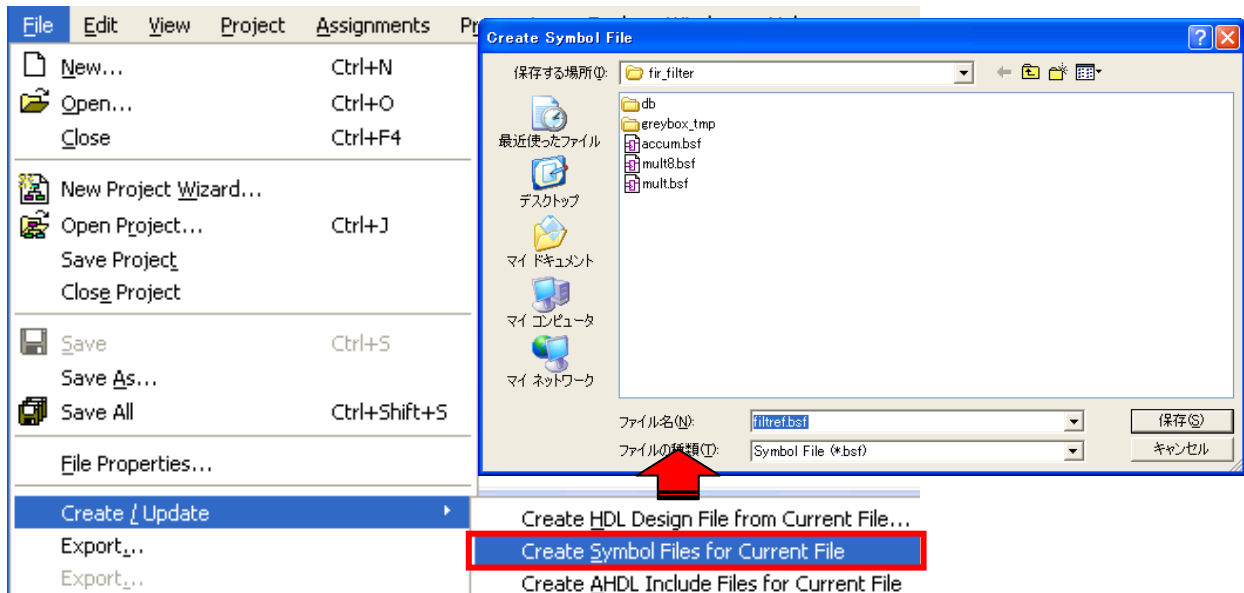
### 3. ブロック・シンボルの生成方法

作成した回路を上位階層の回路図で使用するために、シンボル・ファイルを作成します。

① シンボル化させたい回路図を開きます。

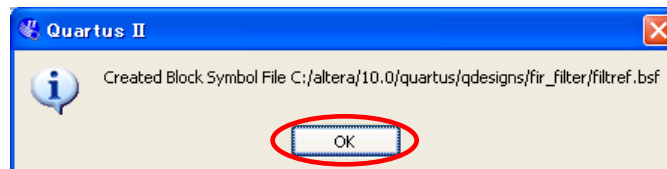


② File メニュー ⇒ Create/\_Update ⇒ Create Symbol Files for Current File を実行します。




Create Symbol File ダイアログ・ボックスが表示され、保存フォルダを指定し、保存ボタンをクリックします。ファイル名はデフォルトで表示されたまま (<シンボル化したい BDF ファイル名>.bsf) にしてください。

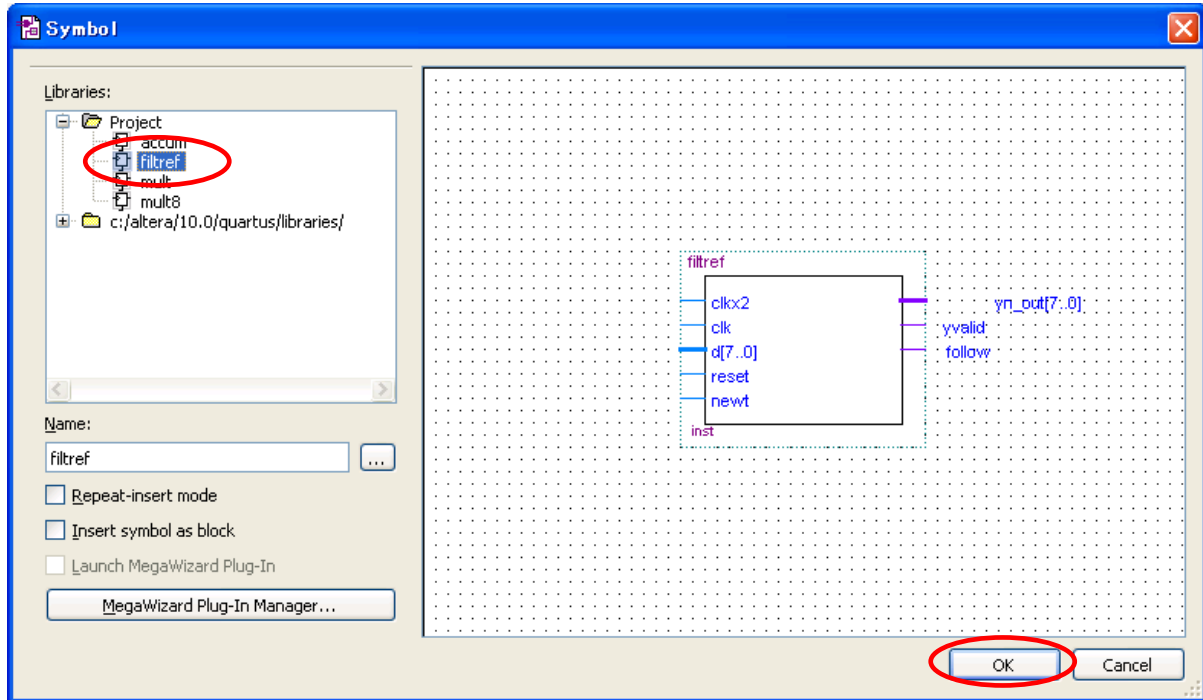
“Created Symbol File / 保存パス / シンボル名 .bsf” のメッセージが確認できたら、作成完了です。





シンボル化した回路の上位階層において、作成したブロック・シンボルを使用する場合は、通常のシンボルを呼び出す手法でワーキング・シート内に呼び出します。

- ③ ワーキング・シート（BDF ファイル）上の空間において、マウスをダブルクリックします。（または  ボタンをクリック）
- ④ Symbol ダイアログ・ボックスの Libraries リストから、Project ディレクトリを展開し、入力したいブロック・シンボルを選択します。



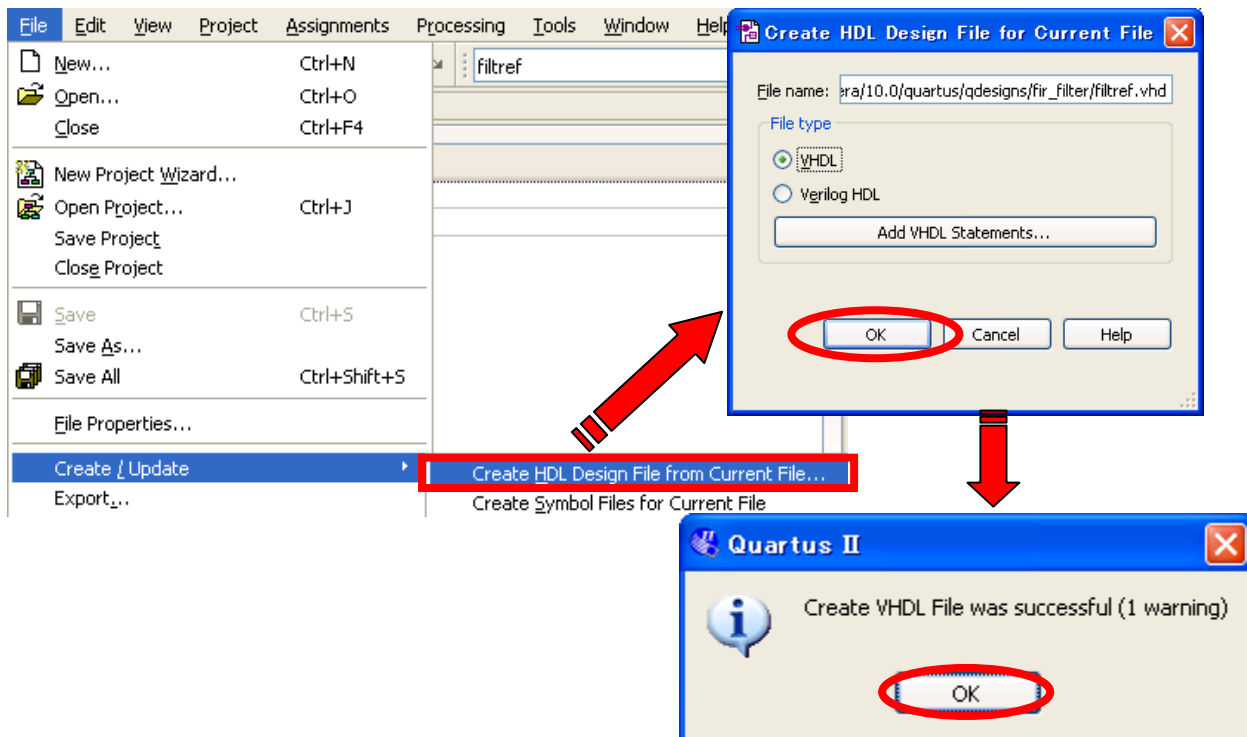
### 【補足③：HDL 記述のブロック・シンボル化】

このブロック・シンボルを生成する機能は、回路図だけでなく、HDL 記述したデザイン・ファイルも適応できます。（その場合には、*Create Symbol Files for Current File* を実行したときの完了メッセージが若干異なります。“Create Symbol File was successful”）これにより、HDL 記述したデザイン・ファイルも上位階層の回路図でブロック・シンボルとして取り扱うことが可能です。

## 4. 回路図を HDL へ変換する方法

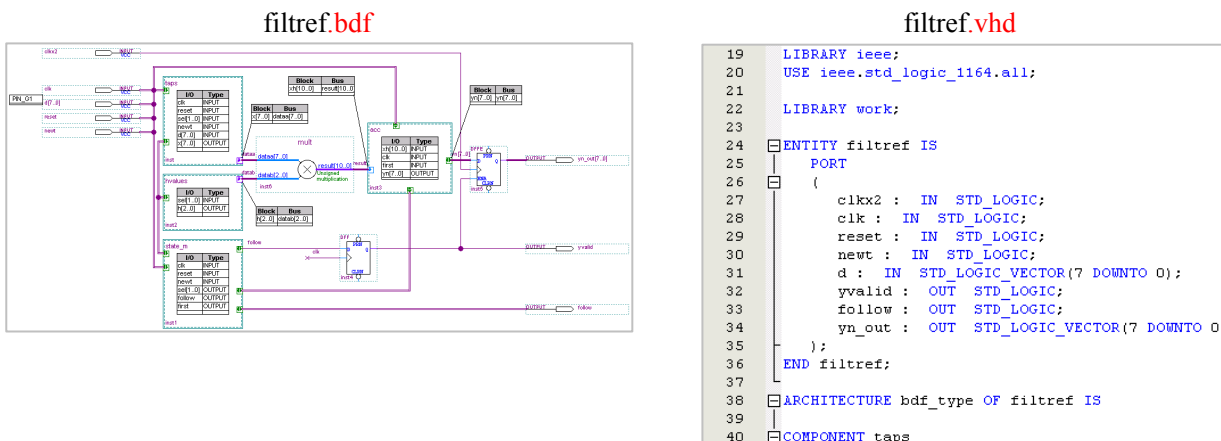
ユーザが作成した回路図のデザイン・ファイルを、HDL（VHDL、Verilog HDL）に変換することができます。ただし、表示されている回路図に対してのみ実行されます。下位階層の回路図を変換させるには、その都度変換したい回路図を表示させて変換を実行してください。

- ① HDL 化したい回路図を開きます。（第 3 項①と同様）
- ② File メニュー ⇒ Create/\_Update ⇒ Create HDL Design File for Current File を選択します。
- ③ HDL 言語のタイプ（VHDL または Verilog HDL）を選択し、OK ボタンをクリックします。
- ④ “Create VHDL（Verilog HDL）File was successful” のメッセージが確認できたら、作成完了です。



### 【補足④】：デザイン・ファイルの管理

Create HDL Design File for Current File によって HDL ファイルを作成した場合、作業フォルダ内にフォーマットの異なる同一名のデザインが共存することになり、コンパイル・エラーの要因になりかねません。そのため、不要になった回路図ファイルは、削除（または他のフォルダに移行）するなどして、デザイン・ファイルの管理に注意してください。



## 5. トップ・ダウン方式の回路図作成方法

Quartus II の回路図エディタでは、ボトム・アップ方式だけでなく、上位階層から作成していくトップ・ダウン方式で設計をすることも可能です。トップ・ダウン方式の設計には、“ブロック・ダイアグラム” という入力手法で回路設計を行います。

なお、下位階層の回路図設計においては、前項“2. 基本操作方法”を参考に通常の回路図入力を行ってください。

### 【補足⑤：プロジェクトの作成の推奨】


プロジェクトを作成してなくても、回路図を作成することは可能ですが、あらかじめプロジェクトを作成後に回路図を作成することをお勧めします。

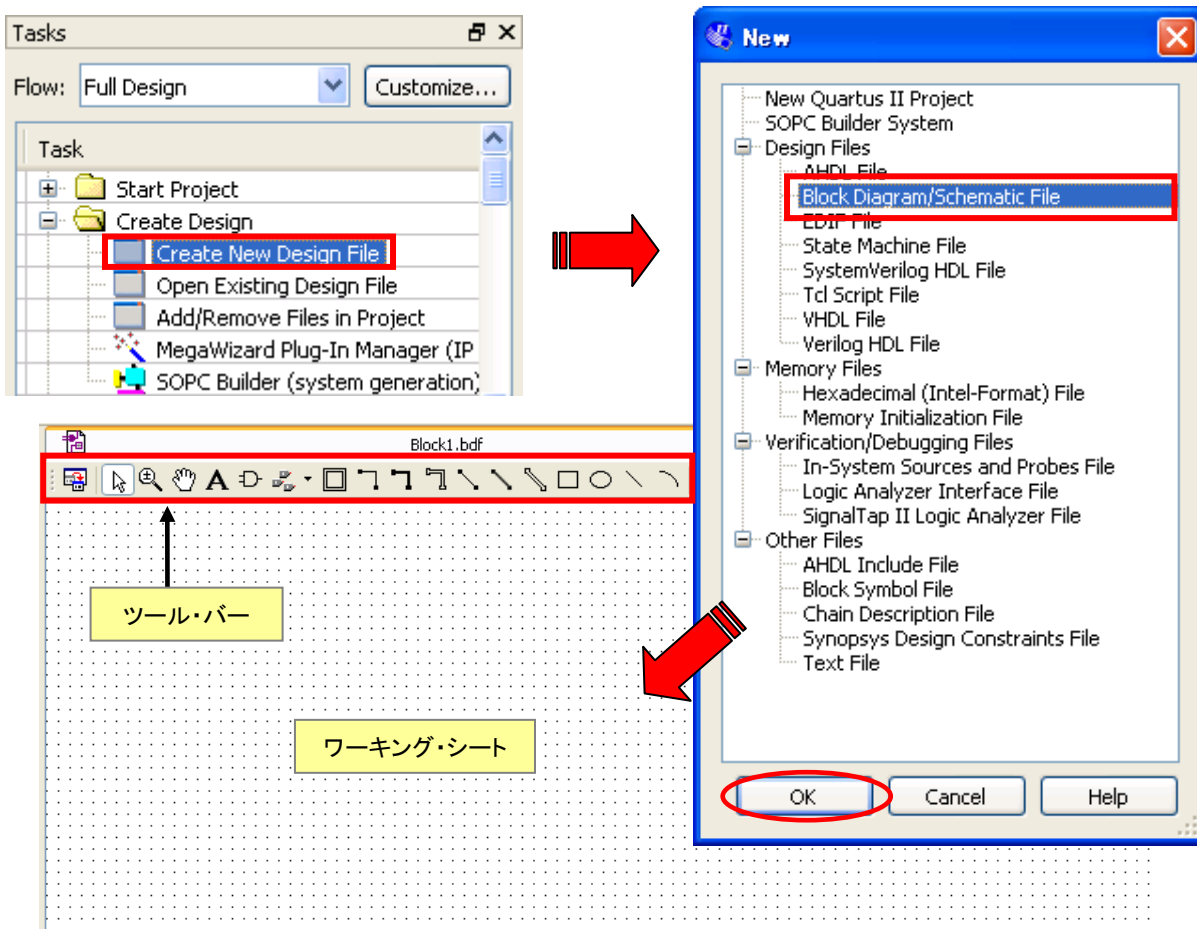
プロジェクトの作成方法に関しては、本資料をご入手になった技術情報サイトにて下記資料をご参考ください。

資料タイトル『Quartus II はじめてガイド – プロジェクトの作成方法』

### 5-1. 新規ファイル作成

回路図用ワーキング・シート (\*.bdf) を使用します。

- ① File メニュー ⇒ New、または  ボタンをクリックします。もしくは Tasks ウィンドウの Create Design ディレクトリを展開し、Create New Design File をダブルクリックすることも可能です。
- ② New ダイアログ・ボックス内より“Block Diagram/Schematic File”を選択し、OK ボタンをクリックします。ワーキング・シートが表示されます。




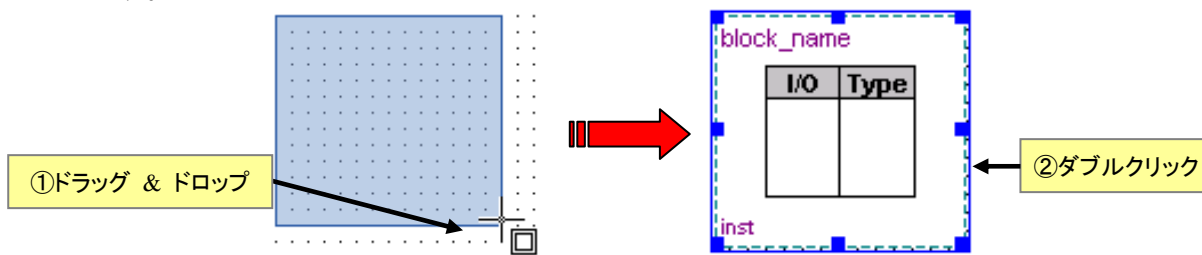
## 5-2. デザイン入力

ワーキング・シート（BDF ファイル）を開くと、シート左側（デフォルト位置）にツール・バーが表示されます。これらの操作ボタンを用途に合わせて使用しながら、回路図を作成します。詳細は、本紙 5 ページ “2-2. デザイン入力” をご参考ください。

### 5-2-1. ブロック・ダイアグラム・シンボルの入力

ここでは、ブロック・ダイアグラム・シンボルの入力方法をご紹介します。シンボル（プリミティブ・シンボル、LPM / メガファンクション）の入力方法は、本紙 5 ページ “2-2. デザイン入力” をご覧ください。

- ① ツール・バーの  ボタンをクリックし、ワーキング・シート（BDF ファイル）上にてドラッグ & ドロップします。

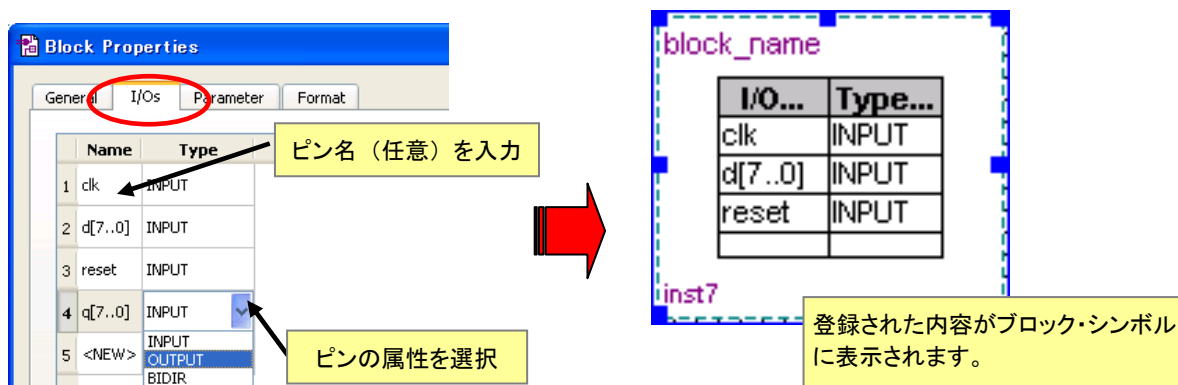
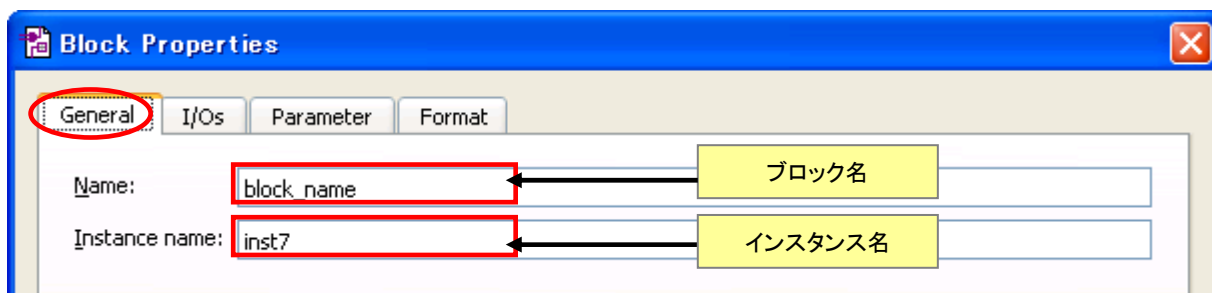


- ② ポインタに戻します。表示されたブロックをダブルクリックし、Block Properties ダイアログ・ボックスを起動します。または、右クリックのプルダウン・メニューより Properties を選択しても可能です。

※ ダブルクリックで実行する際は、Double-click to show property オプションを有効にしておいてください。(14 ページ 2-2-4 項の “その他 オプション” をご参考ください)

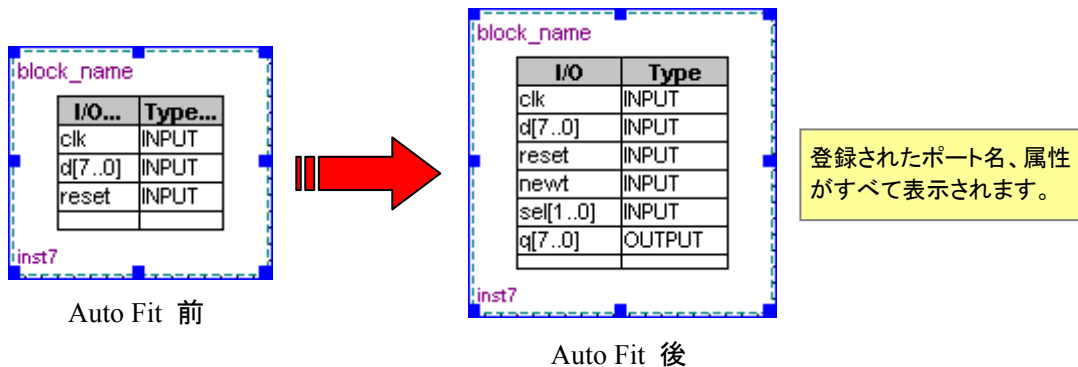
Tools メニュー ⇒ Options ⇒ Block/Symbol Editor (Category) : Double-click to show property = ON

- ③ General タブにおいて、シンボル名（任意）を登録します。（インスタンス名を登録することも可能です。）
- ④ I/Os タブにおいて、ポート名およびポートの属性（入力、出力、双方向）を登録します。



【補足⑥：ポート名の整理】

ブロック・シンボルを選択し、右クリック ⇒ プルダウン・メニューより “Auto Fit” を選択します。登録されたポート名が全て表示され、ブロック・シンボルの見た目がきれいになります。



5-2-2. I/O の接続（配線）（ワイヤ・ライン / バス・ライン）

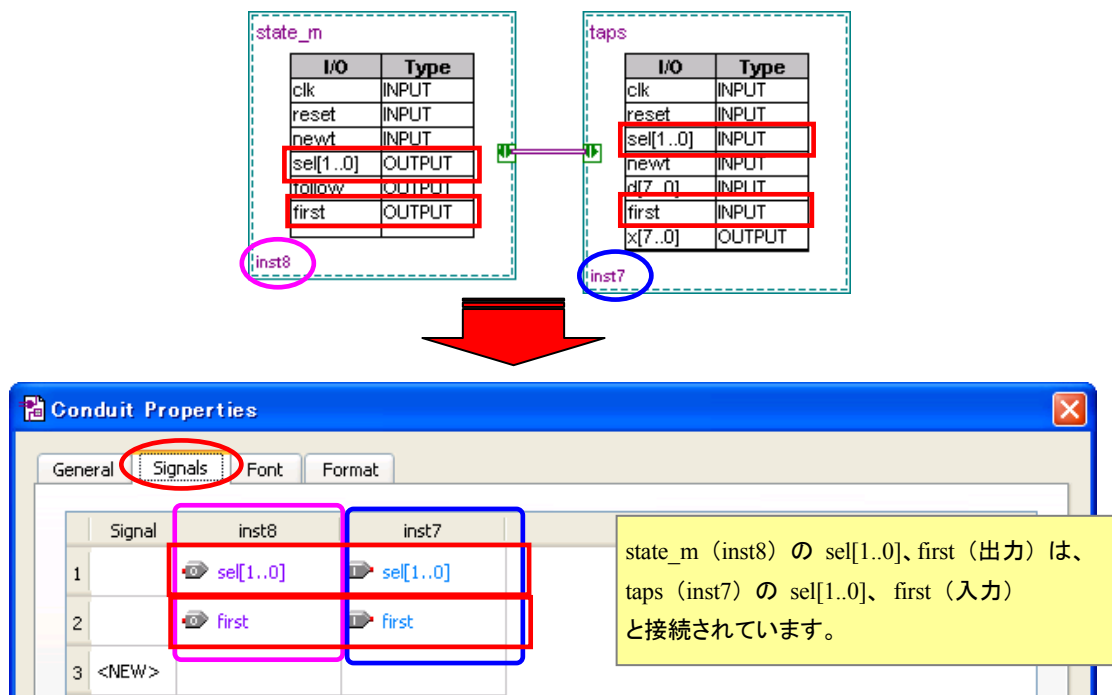
ブロック・ダイアグラム・シンボル間の I/O ポートを接続するには、ワーキング・シート左端のツール・バーにあるコンジット・ノードタイプ 、 を活用して接続します。このコンジット・ノードには、複数の信号を登録することができます。そのため、本来はブロック間を何本も配線しなければならないところを少ない本数で処理でき、回路図をスマートに仕上げることができます。

【基本ルール】

2 ブロックの I/O の名前が同じであり、属性に関してつじつまが合えば自動的に 1 配線で信号は接続されます。

例えば、下図の場合、state\_m の first（出力）と taps の first（入力）は接続されたこととなります。同様に、state\_m の sel[1..0] と taps の sel[1..0] も接続されています。

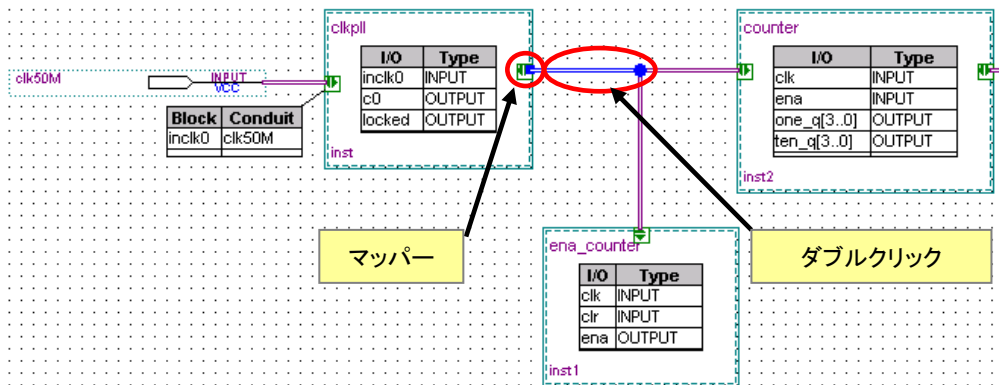
コンジット・ノードの接続情報を確認するときは、コンジット・ノードをダブルクリックし、Conduit Properties ダイアログ・ボックスを表示させます。Signal タブで接続を確認できます。



5-2-3. 名前の異なる I/O の接続 — マッパー・プロパティ (Mapper properties)

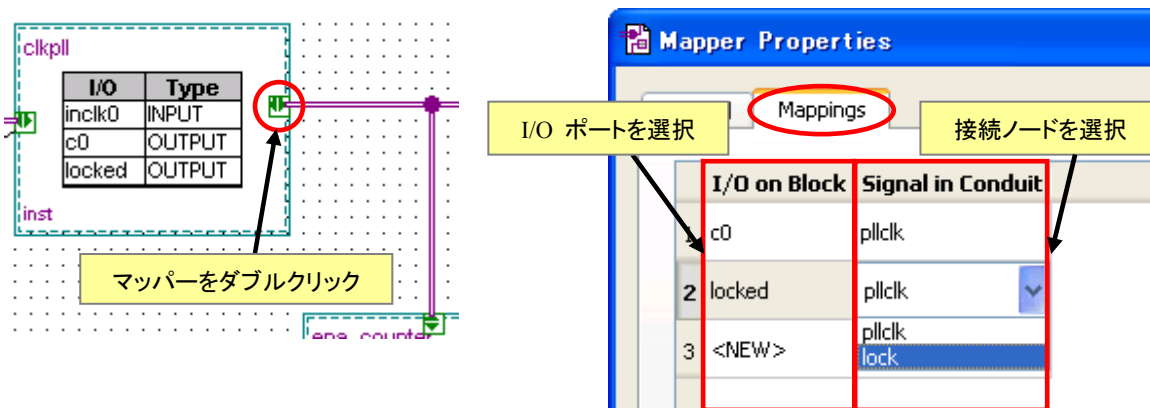
ブロック・ダイアグラム・シンボル間をコンジット・ノードタイプで接続するときに、2 ブロックの I/O の名前が異なる場合は、以下の手順でノードに情報を登録します。

- ① 登録をするコンジット・ノードをダブルクリック、または右クリックのプルダウン・メニューより Properties を選択し、Conduit Properties ダイアログ・ボックスを表示します。
- ② Signal タブにおいて、コンジット・ノードに信号線の情報を登録します。



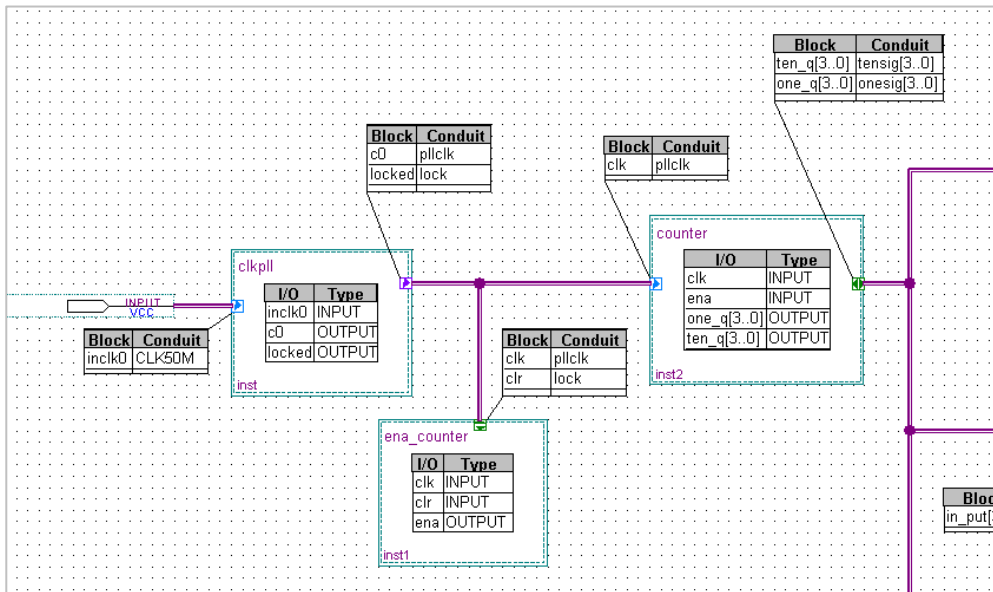
上図の例では、青くハイライトしたコンジット・ノードに、pllclk、lock という名前の信号線の情報を登録しています。また、counter の ena (出力) と ena\_counter の ena (入力) は、信号名が同一であり、信号の属性もつじつまが合うため、必然的にこのコンジット・ノードの情報として自動的に登録されます。つまり、このコンジット・ノードには 3 つの信号線の情報があることとなります。

- ③ マッパーをダブルクリック、または右クリックのプルダウン・メニューより Mapper Properties を選択し、Mapper Properties ダイアログ・ボックスを表示します。
- ④ Mappings タブにおいて、I/O ポートと上記②で登録した信号線を関連付けます。



- ⑤ 同様に各ブロックのマッパー・プロパティの登録を完了させます。

下図のようにシンプルな配線で複数の接続情報を与えることができます。



- ・ clkpll の出力 c0 は、“ena\_counter の clk” と “counter の clk” に入力（接続）されています。
- ・ clkpll の出力 locked は、“ena\_counter の clr” に入力（接続）されています。

### 5-3. デザインの保存

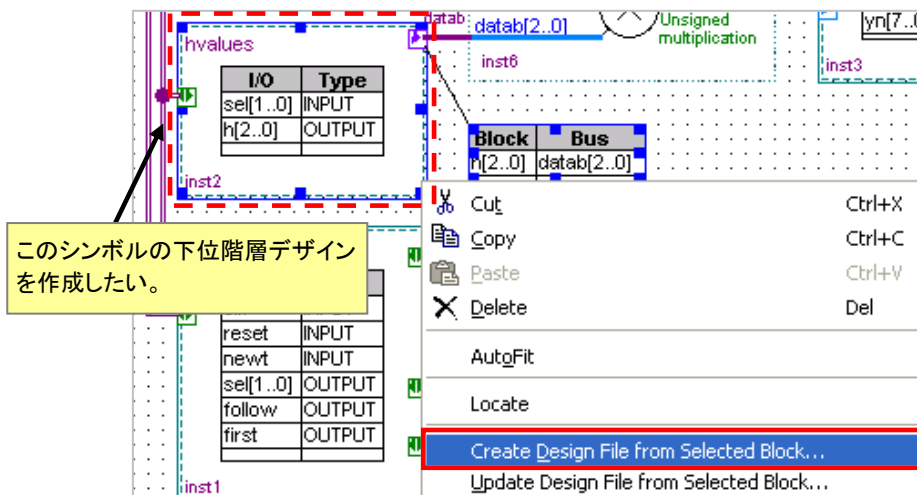
作成した回路図ファイルに名前（任意）を付けて保存します。ファイルの拡張子は (.bdf) です。

File メニュー ⇒ Save As を選択し、保存します。

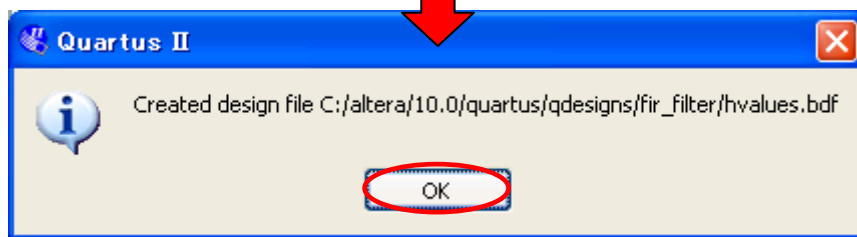
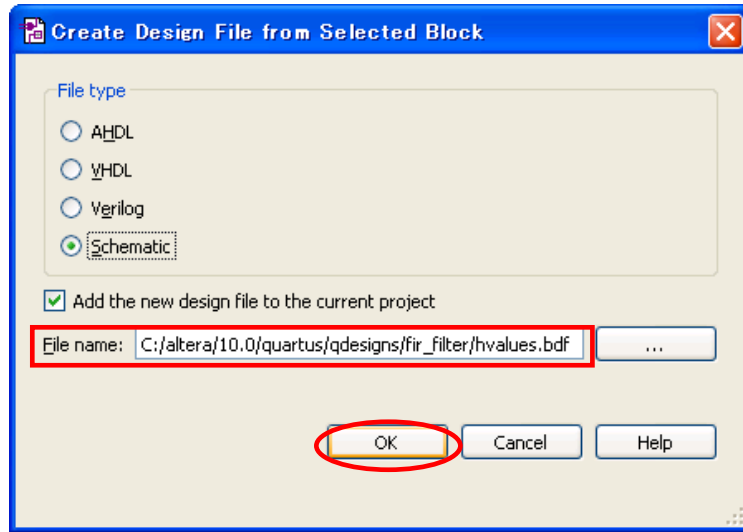
### 5-4. 下位階層デザインの作成

ブロック・ダイアグラムで作成したシンボルにおいて、シンボルに登録した情報から下位のデザイン・ファイルのテンプレートを生成することができます。生成可能な入力フォーマットは、AHDL (.tdf)、回路図 (.bdf)、VHDL (.vhd)、Verilog HDL (.v) の 4 タイプです。

- ① ブロック・ダイアグラム・シンボルを選択し、右クリックのプルダウン・メニューより “Create Design File from Selected Block” を選択します。



- ② 下位階層デザインのフォーマットの選択ダイアログ・ボックスが表示されます。該当するファイル・タイプを選択してください。このとき、File name はデフォルト（指定したブロック・ダイアグラム・シンボル名）のままにしてください。拡張子は File type で選択したタイプのものが自動的に付きます。



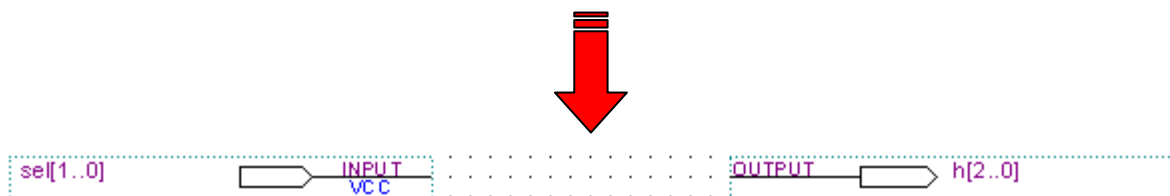
“Create design file <ファイル名>” のメッセージが確認できたら、作成完了です。ダイアログ・ボックスの OK ボタンをクリックすると、自動的に下位階層のデザイン・ファイルが開きます。

- ③ 下位階層ファイルは、上位のシンボル・ブロックの I/O 定義のみの記述で生成されます。以下は File type で Schematic を選択したときの例です。  
下位階層デザインを完成させます。

hvalues

I/O	Type
sel[1..0]	INPUT
h[2..0]	OUTPUT

inst2



ブロック・ダイアグラム・ファイルの I/O ピン情報を基に、下位デザインが生成。



### 免責、及び、ご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

株式会社アルティマ : 〒222-8563 横浜市港北区新横浜 1-5-5 マクニカ第二ビル TEL: 045-476-2155 HP: <http://www.altima.co.jp>

技術情報サイト EDISON : <https://www.altima.jp/members/index.cfm>

株式会社エルセナ : 〒163-0928 東京都新宿区西新宿 2-3-1 新宿モノリス 28F TEL: 03-3345-6205 HP: <http://www.elsena.co.jp>

技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。