

PAC-Desiger ユーザーマニュアル(ispPAC POWR ManagerII 編)

Ver1.91

# PAC-Designer

ユーザーマニュアル

## (ispPAC POWR ManagerII 編)



目次

1	慨岁	₹	6
1	.1	PAC-Designer5.0 から PAC-Desginer5.1 への変更点	6
1	.2	PAC-Designer5.1 から PAC-Desginer5.2 への変更点	6
1	. 3	PAC-Designer5.2 から PAC-Desginer5.3 への変更点	6
1	.4	ライセンスの申請と設定	7
1	. 5	ブランクデザインから作成する方法	9
1	.6	サンプルデザインから作成する方法	9
2	パワ	'ーマネージャⅡファミリの設計方法	10
2	1	アナログ入力(Analog Inputs)	11
2	. 2	ディジタル入力(Digital Inputs)	14
2	. 3	ロジック出力(Logic Outputs)	16
2	. 4	高電圧出力(High Voltage Outputs)	18
2	. 5	クロック&タイマー	20
2	. 6	DC/DC コンバータ・ウイザード	22
2	. 7	マージン/トリム(Margin/Trim)	30
2	. 8	トリム コンフィグレーションのオプション設定	33
2	. 9	トリム設定の一覧確認	34
2	. 10	I2C コンフィグレーション	35
2	. 11	パワーダウンモード	37
2	. 12	POWR1014/A から POWR1220AT8 のデザインマイグレーション(移行)	38
2	.13	UES エディタ	39
2	.14	シーケンス・コントローラ	39
3	パワ	リーマネージャ共通の設計方法	40
3	パワ	<sup>1</sup> ーマネージャ共通の設計方法	40
<b>3</b> 3	パワ .1	<b>ンーマネージャ共通の設計方法</b> シーケンス・コントローラ	<b> 40</b>
<b>3</b> 3	パワ . 1 3. 1.	<b>シーマネージャ共通の設計方法</b> シーケンス・コントローラ .1 オプション設定	<b> 40</b> 40 40
<b>3</b> 3	パワ . 1 3. 1. 3. 1.	<b>ンーマネージャ共通の設計方法</b> シーケンス・コントローラ 1 オプション設定 2 Pin の定義	40 40 40 42
<b>3</b> 3	パワ . 1 3. 1. 3. 1. 3. 1.	<ul> <li>マネージャ共通の設計方法</li> <li>シーケンス・コントローラ</li> <li>オプション設定</li> <li>2 Pin の定義</li> <li>3 インストラクションの設定方法</li> </ul>	40 40 40 42 44
<b>3</b> 3	パワ . 1 3. 1. 3. 1. 3. 1. 3. 1.	<ul> <li>シーマネージャ共通の設計方法</li> <li>シーケンス・コントローラ</li> <li>オプション設定</li> <li>Pin の定義</li> <li>インストラクションの設定方法.</li> <li>インストラクションの設定方法(Output).</li> </ul>	40 40 42 42 44 47
<b>3</b> 3	パワ . 1 3. 1. 3. 1. 3. 1. 3. 1.	<ul> <li>シーケンス・コントローラ</li></ul>	40 40 42 42 44 47 49
<b>3</b> 3	パワ . 1 3. 1. 3. 1. 3. 1. 3. 1. 3. 1.	<ul> <li>シーケンス・コントローラ</li></ul>	40 40 42 42 44 47 49 51
<b>3</b> 3	パワ . 1 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1.	<ul> <li>シーケンス・コントローラ</li></ul>	40 40 42 42 42 42 42 51 52
<b>3</b> 3	パワ . 1 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1.	<ul> <li>シーケンス・コントローラ</li></ul>	40 40 42 42 44 47 49 51 52 53
<b>3</b> 3	パワ . 1 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1.	<ul> <li>シーケンス・コントローラ</li></ul>	40 40 42 42 44 47 47 51 52 53
<b>3</b> 3	パワ . 1 3. 1. 3. 1.	<ul> <li>シーケンス・コントローラ</li></ul>	40 40 42 42 42 42 47 51 52 53 54 55
<b>3</b> 3	パワ . 1 3. 1. 3. 1.	<ul> <li>シーマネージャ共通の設計方法</li> <li>シーケンス・コントローラ</li> <li>オプション設定</li> <li>Pin の定義</li> <li>インストラクションの設定方法(Output)</li> <li>インストラクションの設定方法(Wait for Boolean Condition)</li> <li>インストラクションの設定方法(Wait for Timeout Value)</li> <li>インストラクションの設定方法(Boolean Condition with Timeout)</li> <li>インストラクションの設定方法(Boolean Condition with Timeout)</li> <li>インストラクションの設定方法(If/Then/Else)</li> <li>インストラクションの設定方法(If / Then / Else with Timeout)</li> <li>インストラクションの設定方法(Goto)</li> <li>インストラクションの設定方法(Start Timer/Stop Timer)</li> </ul>	40 40 40 42 42 42 42 42 51 52 54 55 56
<b>3</b> 3	>>ワ >>ワ >.1 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1.	シーマネージャ共通の設計方法         シーケンス・コントローラ         1       オプション設定         2       Pin の定義         3       インストラクションの設定方法         4       インストラクションの設定方法(Output)         5       インストラクションの設定方法(Wait for Boolean Condition)         6       インストラクションの設定方法(Wait for Timeout Value)         7       インストラクションの設定方法(Boolean Condition with Timeout)         8       インストラクションの設定方法(If/Then/Else)         9       インストラクションの設定方法(If / Then / Else with Timeout)         10       インストラクションの設定方法(Goto)         11       インストラクションの設定方法(Matt Timer/Stop Timer)         12       インストラクションの設定方法(My処理)	40 40 40 42 44 47 51 52 53 54 55 56 57
<b>3</b> 3	>> 7 . 1 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1.	シーマネージャ共通の設計方法         シーケンス・コントローラ         1       オプション設定         2       Pin の定義         3       インストラクションの設定方法.         4       インストラクションの設定方法(Output)         .5       インストラクションの設定方法(Wait for Boolean Condition)         .6       インストラクションの設定方法(Wait for Timeout Value)         .7       インストラクションの設定方法(Boolean Condition with Timeout)         .8       インストラクションの設定方法(If/Then/Else)         .9       インストラクションの設定方法(If / Then / Else with Timeout)         .10       インストラクションの設定方法(Goto)         .11       インストラクションの設定方法(Matt Timer/Stop Timer)         .12       インストラクションの設定方法(Matt Timer/Stop Timer)         .13       監視ロジック出力回路の生成(Supervisory Logic Equation)	40 40 42 42 44 47 51 52 53 54 55 56 57 58
<b>3</b> 3	>>ワ >>ワ >.1 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1. 3.1.	マーマネージャ共通の設計方法シーケンス・コントローラ1オプション設定2Pin の定義3インストラクションの設定方法.4インストラクションの設定方法(Output)5インストラクションの設定方法(Wait for Boolean Condition)6インストラクションの設定方法(Wait for Timeout Value)7インストラクションの設定方法(Boolean Condition with Timeout)8インストラクションの設定方法(If/Then/Else)9インストラクションの設定方法(If / Then / Else with Timeout)10インストラクションの設定方法(Goto)11インストラクションの設定方法(Goto)11インストラクションの設定方法(My処理)1213監視ロジック出力回路の生成(Supervisory Logic Equation)14コンパイル方法	40 40 40 42 42 44 47 51 52 53 54 55 56 57 58 59
3 3	>> 7 > 1 3. 1 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1.	シーマネージャ共通の設計方法         シーケンス・コントローラ         1       オプション設定         2       Pin の定義         3       インストラクションの設定方法.         4       インストラクションの設定方法(Output)         .5       インストラクションの設定方法(Wait for Boolean Condition)         .6       インストラクションの設定方法(Wait for Timeout Value)         .7       インストラクションの設定方法(Boolean Condition with Timeout)         .8       インストラクションの設定方法(If/Then/Else)         .9       インストラクションの設定方法(If / Then / Else with Timeout)         .10       インストラクションの設定方法(Goto)         .11       インストラクションの設定方法(My処理)         .12       インストラクションの設定方法(My処理)         .13       監視ロジック出力回路の生成(Supervisory Logic Equation)         .14       コンパイル方法         .15       エラー、ワーニングと対処方法	40 40 42 42 44 51 52 53 54 55 56 57 58 59 60
<b>3</b> 3	>> 7 > 1 3. 1 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1.	シーマネージャ共通の設計方法         シーケンス・コントローラ         1       オプション設定         2       Pin の定義         3       インストラクションの設定方法.         4       インストラクションの設定方法.         5       インストラクションの設定方法.(Output)         5       インストラクションの設定方法.(Wait for Boolean Condition)         6       インストラクションの設定方法.(Wait for Timeout Value)         7       インストラクションの設定方法.(Boolean Condition with Timeout)         8       インストラクションの設定方法.(If/Then/Else)         9       インストラクションの設定方法.(Goto)         10       インストラクションの設定方法.(Goto)         11       インストラクションの設定方法.(Gupervisory Logic Equation)         12       インストラクションの設定方法.(M外処理)         13       監視ロジック出力回路の生成.(Supervisory Logic Equation)         14       コンパイル方法         15       エラー、ワーニングと対処方法.         ABEL ソースコードの表示       ADEL	40 40 42 42 44 47 51 52 53 54 55 56 57 58 59 60 61
<b>3</b> 3 3 3	<pre>&gt;&gt;&gt;&gt;</pre> . 1 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1	シーケンス・コントローラ         1       オプション設定         2       Pin の定義         .3       インストラクションの設定方法.         .4       インストラクションの設定方法(Output)         .5       インストラクションの設定方法(Wait for Boolean Condition)         .6       インストラクションの設定方法(Wait for Timeout Value)         .7       インストラクションの設定方法(Boolean Condition with Timeout)         .8       インストラクションの設定方法(If/Then/Else)         .9       インストラクションの設定方法(Goto)         .11       インストラクションの設定方法(Goto)         .12       インストラクションの設定方法(Mait for Timer/Stop Timer)         .12       インストラクションの設定方法(Mait for Timer/Stop Timer)         .13       監視ロジック出力回路の生成(Supervisory Logic Equation)         .14       コンパイル方法         .15       エラー、ワーニングと対処方法         .4BEL ソースコードの表示       ABEL ソースの編集	40 40 40 42 44 47 51 52 53 54 55 57 58 59 60 61 62
<b>3</b> 3 3 3 3 3	>> 7 . 1 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 4. 2. 4. 2.	シーケンス・コントローラ         1       オプション設定         2       Pin の定義         3       インストラクションの設定方法.         4       インストラクションの設定方法(Output)         5       インストラクションの設定方法(Output)         5       インストラクションの設定方法(Wait for Boolean Condition)         6       インストラクションの設定方法(Wait for Timeout Value)         7       インストラクションの設定方法(Boolean Condition with Timeout)         8       インストラクションの設定方法(If/Then/Else)         9       インストラクションの設定方法(Goto)         11       インストラクションの設定方法(Goto)         11       インストラクションの設定方法(Goto)         11       インストラクションの設定方法(Matt Timer/Stop Timer)         12       インストラクションの設定方法(Matt Timer/Stop Timer)         13       監視ロジック出力回路の生成(Supervisory Logic Equation)         14       コンパイル方法         15       エラー、ワーニングと対処方法         ABEL ソースコードの表示       ABEL ソースコードの表示         ABEL ソースの編集       シーケンスのジミュレーション	40 40 42 42 44 47 51 52 53 54 55 56 57 58 59 60 61 62 63
<b>3</b> 3 3 3 3 3	>> 7 > 1 3. 1 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 3. 1. 4. 3. 4. 3. 4.	ママネージャ共通の設計方法         シーケンス・コントローラ         1       オプション設定         2       Pin の定義         3       インストラクションの設定方法.         4       インストラクションの設定方法(Output)         5       インストラクションの設定方法(Wait for Boolean Condition)         6       インストラクションの設定方法(Wait for Timeout Value)         7       インストラクションの設定方法(Wait for Timeout Value)         7       インストラクションの設定方法(Boolean Condition with Timeout)         8       インストラクションの設定方法(If/Then/Else)         9       インストラクションの設定方法(Goto)         10       インストラクションの設定方法(Goto)         11       インストラクションの設定方法(Goto)         11       インストラクションの設定方法(Goto)         11       インストラクションの設定方法(Goto)         11       インストラクションの設定方法(Goto)         12       インストラクションの設定方法(Goto)         13       監視ロジック出力回路の生成(Supervisory Logic Equation)         14       コンパイル方法         15       エラー、ワーニングと対処方法         ABEL       ソースコードの表示         ABEL       ソースの編集         シーケンスのジミュレーション時間の設定       1         1       クロックとジミュレーション時間の設定	40 40 40 42 44 47 51 52 53 54 55 56 57 58 59 60 61 62 63 64



### PAC-Desiger ユーザーマニュアル(ispPAC POWR ManagerII 編)

July.2011	Ver1.91
	65
3.4.4 汎用 HDL シミュレータを使用する方法	66
3.5 供給電源ランプレートのシミュレーション	67
3.6 UES エディタ	
4 デバイスへの書き込み	
4.1 PAC-Designer からの書き込み	
4.1.1 ダウンロード・ケーブルの設定(Ver4.98以降)	71
4.1.2 デバイスへのダウンロード	72
4.2 ispVM System からの書き込み	73
5 I2C Utility	
6 Appendix	77
6.1 ピンの外部処理方法	77
6.1.1 ispPAC-POWR1220AT8 のピン外部処理方法	77
6.1.2 ispPAC-POWR1014/A のピン外部処理方法	
6.1.3 ispPAC-POWR6AT6 のピン外部処理方法	79
6.1.4 ispPAC-POWR607 のピン外部処理方法	80
6.1.5 ProcessorPM - POWR605 のピン外部処理方法	81
6.2 出力ピンにコンデンサを付加する場合の注意事項 (重要)	
6.3 Power Manager から Power ManagerII への置き換え	
6.3.1 POW604 から POW1014 への置き換え	



## PAC-Desiger ユーザーマニュアル(ispPAC POWR ManagerII 編)

July.2011

Ver1.91	

	.°= 1 5	604 ± = 1014/A		1014/A		畄位				
· · · · · · · · · · · · · · · · · · ·	ハラメーダ	衣記	Min	Тур	Max	衣記	Min	Тур	Max	単Ⅳ
	電源電圧	VDD	-0.5		6.0	VCCD, VCCA	-0.5		4.5	V
	VMON 入力	VMON	-0.5		7.0	VMON	-0.5		6.0	V
	デジタル入力電源	VDDINP	-0.5		6.0	VCCINP	-0.5		6.0	V
绝过是大定故	デジタル入力	VIN	-0.5		6.0	VIN	-0.5		6.0	V
心力或八足伯	トライステート/オープンドレイン	VTRI	-0.5		6.0	VTRI, OUT	-0.5		6.0	V
	出カピン印加電圧	HVOUTmax				VTRI, HVOUT	-0.5		13.3	V
	JTAG 電源					VCCJ	-0.5		6.0	V
	EECMOS プログラム電圧					VCCPROG	-0.5		4.0	V
	動作電源電圧	VDD	2.25		5.5	VCCD, VCCA	2.8		3.96	V
	VMON 入力	VMON	0		6.0	VMON	-0.3		5.5	V
	デジタル入力電源	VDDINP	2.25		5.5	VCCINP	2.25		5.5	V
世感动作名出	デジタル入力	VIN	0		5.5	VIN	-0.3		5.5	V
推兴到作家件	トライステート/オープンドレイン					VTRI, OUT	-0.3		5.5	V
	出力ピン印加電圧					VTRI, HVOUT	-0.3		13.0	V
	JTAG 電源					VCCJ	2.25		3.6	V
	EECMOS プログラム電源	VDDPROG	3.0		5.5	VCCPROG *1	3.0		3.6	V
	主電源	IDD		5	10	ICCINP			20	mA
電源電流	デジタル入力電源	IDDINP				ICCINP			5	mA
(推奨動作条件下)	JTAG 電源					ICCJ			1	mA
	EECMOS プログラム電圧					ICCPROG			20	mA
	入力電圧範囲	VMON Range	1.03		5.72	VMON Range	0.075		5.867	V
	検出精度	VMON Acc.	-0.9		0.9	VMON Acc.		0.3	0.9	%
	ヒステリシス	VHYST		±0.3		HYST		1.0		%
VMON 入力	検出電圧温度依存係数	Vmon Tempco		50						ppm/C
	検出電圧VDD依存性	PSR		0.06						%/V
	入力インピーダンス	RIN	70	100	130	RIN	55	65	75	kΩ
	入力容量					CIN		8		pF
		VPP Range				VPP, 12V	11.5	12	12.5	V
						10V	9.6	10	10.4	V
	出力電圧					8V	7.7	8	8.3	V
ᄡᄵᄪᄷᅳᅕ						6V	5.8	6	6.2	V
ドライバ出力								12.5, 25,		
		ISOURCE Range				IOUTSRC		50, 100		uA
	ドライブ電流					IOUTSINK, fast-off	2000	3000		uA
						IOUTSINK		100, 250, 500		uA
デジタル入力ピン	入力 Low レベル	VIL (LVCMOS33, LVTTL)	-0.3		0.8	VIL			0.3 x VCCINP	V
IN 1-4	入力 High レベル	VIH (LVCMOS33, LVTTL)	2.0		5.5	VIH	0.7 x VCCINP		VCCINP	V
デジタル出カピン OUT5-8	出力レベル	VOL			0.4	VOL (ISINK=20mA)			0.8	V
	POR アサート VDD 電圧	VLPOR			1.15	VTL (RESETb)			2.3	V
	POR ネゲート VDD 電圧	VHPOR			2.1	VTH (RESETb)	2.7			V
POR	POR/AGOOD 解除からの遅延	tDPOR				TGOOD			500u	sec
	ON からリセットとなる電圧	VRESET				VT (RESETb)	0.8			V
	POR が有効になる瞬断時間長					TBRO	1.0		5.0	us
	周波数	fCLK	230k		330k	fCLK	7.6M	8.0M	8.4M	Hz
オシレータ (MCLK)、	PLDCLK Range	PLDCLK Range	1.95k		250k	fPLDCLK		250k		Hz
21 3	タイマ精度	Timeout Range	0.03		524	Timeout Range	0.032		1968	ms
		~								84

6.3.2	POW1208 から POW1014	への置き換え	35
0.0.2		- * / 但 C 天 / C	Je



## PAC-Desiger ユーザーマニュアル(ispPAC POWR ManagerII 編)

#### July.2011

百日	パラメータ	ま記 <u>1208</u> 表記 <u>1014/4</u>		1014/A		前位				
々 口		北記	Min	Тур	Max	北記	Min	Тур	Max	子区
	電源電圧	VDD	-0.5		6.0	VCCD, VCCA	-0.5		4.5	V
	VMON 入力	VMON	-0.5		7.0	VMON	-0.5		6.0	V
	デジタル入力電源	VDDINP	-0.5		6.0	VCCINP	-0.5		6.0	V
絶対最大定格	デジタル入力	VIN	-0.5		6.0	VIN	-0.5		6.0	V
	トライステート/オープンドレイン	VTRI	-0.5		6.0	VTRI, OUT	-0.5		6.0	V
	出カピン印加電圧	HVOUTmax	-0.5		VDD+9.0	VTRI, HVOUT	-0.5		13.3	V
	JTAG 電源					VCCJ	-0.5		6.0	V
	EECMOS プログラム電圧					VCCPROG	-0.5		4.0	V
	動作電源電圧	VDD	2.25		5.5	VCCD, VCCA	2.8		3.96	V
	VMON 入力	VMON	0		6.0	VMON	-0.3		5.5	V
	デジタル入力電源	VDDINP	2.25		5.5	VCCINP	2.25		5.5	V
堆将动作冬州	デジタル入力	VIN	0		5.5	VIN	-0.3		5.5	V
推突到作术件	トライステート/オープンドレイン					VTRI, OUT	-0.3		5.5	V
	出カピン印加電圧					VTRI, HVOUT	-0.3		13.0	V
	JTAG 電源					VCCJ	2.25		3.6	V
	EECMOS プログラム電源	VDDPROG	3.0		5.5	VCCPROG *1	3.0		3.6	V
	主電源	IDD		7	15	ICCINP			20	mA
電源電流	デジタル入力電源	IDDINP				ICCINP			5	mA
(推奨動作条件下)	JTAG 電源					ICCJ			1	mA
	EECMOS プログラム電圧					ICCPROG			20	mA
	入力電圧範囲	VMON Range	1.03		5.72	VMON Range	0.075		5.867	V
	検出精度	VMON Acc.	-0.9		0.9	VMON Acc.		0.3	0.9	%
	ヒステリシス	VHYST		±0.3		HYST		1.0		%
VMON 入力	検出電圧温度依存係数	Vmon Tempco		50						ppm/C
	検出電圧VDD依存性	PSR		0.06						%/V
	入力インピーダンス	RIN	70	100	130	RIN	55	65	75	kΩ
	入力容量					CIN		8		pF
		VPP Range	8.0		12.0	VPP, 12V	11.5	12	12.5	V
						10V	9.6	10	10.4	V
	出力電圧					8V	7.7	8	8.3	V
						6V	5.8	6	6.2	V
ドライバ出力					50	10117050		12.5, 25,		
1.2.12.12.23		ISOURCE Range	0.5		50	IOUTSRC		50, 100		uA
	ドライブ電流					IOUTSINK, fast-off	2000	3000		uA
						IOUTSINK		100, 250, 500		uA
デジタル入力ピン	入力 Low レベル	VIL (LVCMOS33,	-0.3		0.8	VIL			0.3 x VCCINP	v
IN1-4	入力 High レベル	VIH (LVCMOS33,	2.0		5.5	VIH	0.7 x		VCCINP	v
デジタル出力ピン	出力レベル	VOL			0.4	VOL (ISINK=20mA)			0.8	v
0013-8		VIDOR			115	VTL (PESETH)			23	V
		VHPOR			21	VTH (RESETH)	27		2.3	V
POP					2.1	TGOOD	<u> </u>		500	×
FUR	ON からリカットとたえ雪に	VRESET				VT (RESETH)	0.8			V Sec
		VILLOET					1.0		5.0	V
	「 いい が 行 め に は る 隣 倒 时 间 支 田 逆 粉	£01.1%	0201		2201		7.04	0.014	0.0	us
オシレータ (MCLK)、			23UK		33UK		/.0M	8.UM	ŏ.4M	HZ
タイマ			1.90K		230K		0.000	ZUUK	1000	r1z
	≫1 √ 精度	i imeout Range	0.03		524	Timeout Range	0.032		1968	ms
633 1	POW1908P1 から PO	W1014 への	<b></b> 置き拗	······	•••••	•••••	•••••	•••••	•••••	8 8

更新履歴	87



#### 1 概要

パワーマネージャ・ファミリの設計、シミュレーション、書き込みを行なうためには、PAC-Designerを使用し ます。PAC-Designer は、弊社 HP【<u>http://www.latticesemi.com/</u>】からダウンロードしてご利用ください。 初めて、PAC-Designer を使用する場合は、弊社日本語 HP【<u>http://www.latticesemi.co.jp/</u>】で公開して います、日本語チュートリアルを合わせて参照することを推奨します。

#### 1.1 PAC-Designer5.0からPAC-Desginer5.1 への変更点

- ① ProcessorPM POWR605の市場投入に合わせて、同デバイスをサポートしました。
- ② LogiBuilder のユーザインターフェースを改良し、読みやすさを向上させました。

#### 1.2 PAC-Designer5.1からPAC-Desginer5.2 への変更点

- ProcessorPM POWR1014-2 及び 1014A-2 の市場投入に合わせて、同デバイスをサポートしました (POWR1014-2 及び 1014A-2 はチャージポンプ出力電圧の 12V を追加サポート)。
- ② 無償のライセンスファイルが不要となりました。

#### 1.3 PAC-Designer5.2 から PAC-Desginer5.3 への変更点

- ① ディジタル入力・出力ピンのアサインメント画面でピンのスワップ機能を追加しました。
- ② LogiBuilder の Supervisory Equations 画面と Pin Definition 画面にて、T-Type flip-flop をサポートしました。
- ③ LogiBuilder の Boolean Expression Editor 画面にて、XOR オペレーションをサポートしました。
- ④ Trim Configuration Option 画面にて、EIA 系列の 12 を選択した場合に、同系列に存在しない抵抗値をレポートしていた不具合を修正しました。
- ⑤ POWR1220AT8-2の市場投入に合わせて、同デバイスをサポートしました(チャージポンプ出力電圧の 12V を追加サポート)。



Ver1.91

#### 1.4 ライセンスの申請と設定

PAC-Designer は無料ツールで、Ver5.2 以降では無償のライセンスも必要としません。インストール直後からご 利用いただけます。ver5.1 以前の PAC-Designer では web 上から無償のライセンス申請を行なう必要があります ので、弊社ホームページより Support => Licensing => PAC Designer とお進みいただき、無償のライセンスファ イルを取得して下さい。

🏀 PAG Designer Software Lisensing - Windows Internet Explorer	
🚱 🕤 💌 📗 http://www.latticesemi.com/licensing/flexImlicense.cfm?p=pacder 💟 🗟 🐓 🗙 💡	Google
ファイル(E) 編集(E) 表示(V) お気に入り(A) ツール(T) ヘルブ(H)	
🚖 お気に入り 🔛 PAC Designer Software Licensing 🏠 🔹 🖸	⇔ • ページ®・ セーフティS・ ツール©・ 🕢 · "
Lattice Semiconductor Corporation Welcome Katsuo S	Sakashiri 🕨 Your Account 🕨 Sign Out
Home Products Solutions Support Documents Downloads Sales S	Store About Us
Home > Products > Design Software > Licensing > PAC Designer	11
PAC Designer Software Licensing	5 1/
There are two systems for generating the PAC-Designer license you've requested. If you've from Lattice that includes an ispPAC Evaluation board and serial number <b>click here</b> to regis	purchased the PAC-Designer System ter and receive the license.
If you've downloaded the free PAC-Designer software from our website or installed PAC-Des follow the instructions below.	signer from our free Databook CD-ROM
To generate a license file for use with the PAC-Designer software, please provide the volume (C:).	e serial number of your primary drive
IMPORTANT: This is NOT the serial number found on the outside of your hard drive. You can opening an MS-DOS window, typing <b>vol C:</b> and pressing Enter. The number is an eight-digit like this: 1A2B-3CAD	n find the electronic serial number by hexadecimal number split by a dash,
Enter Your Hard Drive Serial Number:	
How did you get this software package: 🔘 CD 🔘 Download from website	
Generate License (click once)	
NOTE: Please be patient while the license is generated. This may take up to a minute.	
	🕽 ብンターネット 🛛 🖓 🔹 🔍 100% 🔹 🚬

図 1-1 ライセンス申請画面



Hard Drives Serial Number には、ソフトウェアを使用するパソコンのハードディスク・シリアルナンバーを入力します。ハードディスク・シリアルナンバーは、コマンドプロンプト(MS-DOS プロンプト)上で、【vol】というコマンドを使用して調べられます。



図 1-2 ハードディスク・シリアルナンバー確認方法

Enter Your Email Address には、ライセンスファイルを送付する Email のアドレスを入力します。

How Did you get this software package は、Toolの入手した方法を CD もしくは Download from website から 選択します。

Generate License ボタンを押しますと、ライセンスの申請が完了し、E-mail にて「license.dat」というファイルが送付されます。このファイルを、インストールフォルダ¥license¥の直下に保存すると、ライセンスの登録が完了します。

ライセンスが無効となった場合、再度申請する必要があります。申請回数に制限はございません。



Ver1.91

#### 1.5 ブランクデザインから作成する方法

新規デザイン作成時は、PAC-Designer を起動し、デバイスの選択を行ないます。デバイスの選択は、 PAC-Designer のメニューから File→New を選択しますと、図 1-3のような画面が開きます。

図 1-3 デバイスの選択

上記画面にて、設計するデバイスを選択し OK ボタンをクリックします。

#### 1.6 サンプルデザインから作成する方法

デバイス毎に、デザイン例を読み出すことでリファレンスデザインを参照することができます。 ライブラリは、PAC-Designerのメニューから File→Design Examples を選択することで、図 1-4のような画面が開きますので、ここからデザインを選択します。

Design Examples
Directory: C.VPAC-Designer53\Examples Files:

画面右側(青い四角枠内)で、サンプルデザインの内容を確認することが可能です。 編集後保存する際には上書き保存せず、別途ご自身で管理されるフォルダに保存してご利用下さい。



Ver1.91

#### 2 パワーマネージャⅡファミリの設計方法

本節では、パワーマネージャ II ファミリ(ispPAC-POWR1220AT8、ispPAC-POWR1014/A、ispPAC-POWR6AT6,POWR607)の設計方法について、説明いたします。

ここでは、代表して ispPAC-POWR1220AT8 を例に説明いたします(POWR1220AT8 と違う個所に関しては、 個別に説明いたします)。

デバイスの選択画面にて、ispPAC-POWR1220AT8を選択しますと図 2-1のような画面が開きます。 本画面にて、各ブロックをダブルクリックしますと、それぞれの設計画面が開きます。

各ブロックの詳細については、次ページ以降で説明いたします。



図 2-1 ispPAC-POWR1220AT8 メインウインドウ

#### 基本操作方法

ツール画面上でクリック可能な状態になると、カーソルが以下の状態に変化し操作が可能となります。各種設定はモジュールの設定画面にて行います。

↓下位モジュールへ移動 1 上位モジュールへ移動 5 人 そのモジュールの設定画面へ



Ver1.91

#### 2.1 アナログ入力(Analog Inputs)

#### 対象デバイス : POWR1220AT8, POWR1014, POWR1014A

アナログ入力ブロックでカーソルが下矢印に変わる箇所をダブルクリックすると、図 2-2の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる箇所をダブルクリックしますと、図 2-2の右側(Analog Input Setting)の画面が起動します。

			Analog Inpu	i Settings					
	Analog Inputs	04as	Pin Name	Schematic Net Name	Logical Signal Name	Monitoring Type	Trip Point Selection	64 us Glitch Filter Window Mode	ОК
Input SV	4 ANY	Inp_SV_OK	MON1 -	Input 6∨	Inp_5V_0K Inp_5V_0ver_LTP	0V • UV •	4.741∨         ▼           4.431∨         ▼	<b>V</b>	Cancel
logad 3.3V	2 SSTV	Inp_3V3_OK	VMON2 -	Input 3.3V	Inp_3V3_0K Inp_3V3_0ver_LTP	0V • UV •	3.537∨ <b>.</b> 2.954∨ <b>.</b>	<b>V</b>	
Board 3.3V	a sarv	Brd_3V3_OK Brd_3V3_OK	MON3 -	Board 3.3V	Brd_3V3_0K Brd_3V3_0ver_LTP	0V • UV •	3.537∨ <u>▼</u> 2.954∨ ▼	<b>V</b>	
Board 2 SV 📕	2.707V	Brt 2V5_OK Brt 2V5_OK	VMON4 V	Board 2.5V	Brd_2\5_0K Brd_2\5_0ver_LTP	0V • UV •	2.701∨ 2.220∨ ▼	<b>V</b>	
Board 1.8V 📕		Brd_TVB_OK Brd_TVB_Over_LTP	VM0N5 -	Board 1.8V	Brd_1\%_0K Brd_1\%_0ver_LTP	0V • UV •	1.864∨         ▼           1.684∨         ▼	<b>V</b>	
VMONS -		UNCRU,A	VMON6 -	VM0N6	MON6_A MON6_B	0V ▼ UV ▼	0.075V • 0.075V •		
VMONT 📕	active with a second se	VWORT,A	VMON7 V	VM0N7	MON7_A MON7_B	0V • UV •	0.075V • 0.075V •		
VMON8		VWORA VWORB	VMON8 V	VM0N8	MON8_A MON8_B	0V • UV •	0.075V • 0.075V •		
VMONE -		VINCEA	MON9 -	VM0N9	VMON9_A	0V • UV •	0.075V - 0.075V -		
	veter		VMON10 V	VMON10	VM0N10_A	0V ▼ UV ▼	0.075V • 0.075V •		
VMON11		A NUMBER AND	MON11 -	MON11	MON11_A MON11_B	0V • UV •	0.075V • 0.075V •		
VMON12		VMON12,A	MON12 -		MON12_A MON12_B		0.075V • 0.075V •		
				(2)	)	3	(4)	6 6	

図 2-2 アナログ入力設定画面(PAC-POWR1220AT8)

上記画面が開きましたら、下記6つの設定を行ないます。

- ① 入力ピンを選択します(デフォルトのままでも構いません)。
- ② 各ピンの信号名を定義します。Schematic Net Name は回路図の入力信号名として、Logical Signal Name は回路図の出力信号名と後述のシーケンス・コントローラ内で使用されます(デフォルトのままでも構いません)。尚、PAC-POWR1220AT8, 1014/Aでは、1入力に対して閾値を二つ設定することができ、1入力に対して二つの Logical Signal Name を任意に設定可能です。
- ③ 監視条件を、OV(Over Voltage)、UV(Under Voltage)から選択します。OV/UV いずれのモードでも、測定 電圧が設定値を上回った場合に"1"、設定値を下回った場合に"0"が返り値となります。2 つのモードの相 違点は、ヒステリシス特性の違いのみです。



Ver1.91

- ④ プルダウンメニューより、コンパレータのトリップポイント電圧を設定します。(基準電圧に対して色分けされています)
- ⑤ 64usのグリッチフィルタを使用するか否かを設定します。チェックでグリッチフィルタを使用します。
- ⑥ ウインドウ・コンパレータ・モードにするか否かを設定します。ウインドウ・コンパレータ・モードに設定した場合、②で設定した2つの値の範囲内であるか否かを監視します。

各デバイスの、トリップポイント選択範囲は以下の様になります。

POWR1220AT8 : 0.075V, 0.668V~5.734V(OV), 0.075, 0.664V~5.703V(UV)

POWR1014/A : 0.075V, 0.680V~5.867V(OV), 0.075, 0.672V~5.806V(UV)

※0.075V(75mV)は、"電源が完全にオフした事の検出用"として用いる事が出来ます。



Ver1.91

#### 対象デバイス : POWR605, POWR607

アナログ入力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-3の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる箇所をダブルクリックしますと、図 2-4の右側(Analog Input Setting)の画面が起動します。



図 2-3 アナログ入力設定画面(PAC-POWR607)

上記画面が開きましたら、下記5つの設定を行ないます。

- ① 入力ピンを選択します(デフォルトのままでも構いません)。
- ② 各ピンの信号名を定義します。Schematic Net Name は回路図の入力信号名と、後述のシーケンス・コントローラ内で使用されます(デフォルトのままでも構いません)。
- ③ 監視条件を、OV(Over Voltage)、UV(Under Voltage)から選択します。
- ④ プルダウンメニューより、コンパレータのトリップポイント電圧を設定します。
   (基準電圧に対して色分けされています)
- ⑤ 48usのグリッチフィルタを使用するか否かを設定します。チェックでグリッチフィルタを使用します。

各デバイスのトリップポイント選択範囲は以下の様になります。

POWR605 : 0.075V, 0.678V~5.793V(OV), 0.075V, 0.669V~5.734V(UV) POWR607 : 0.075V, 0.676V~5.811V(OV), 0.075V, 0.667V~5.751V(UV)

※0.075V(75mV)は、"電源が完全にオフした事の検出用"として用いる事が出来ます。



Ver1.91

#### 2.2 ディジタル入力(Digital Inputs)

#### 対象デバイス : POWR1220AT8, POWR1014A

ディジタル入力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-4の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが[]に変わる箇所をダブルクリックしますと、図 2-4の右側(Digital Inputs)の画面が起動します。



図 2-4 ディジタル入力設定画面(PAC-POWR1220AT8の場合)

ここでは、ディジタル入力ピンの信号名をユーザで任意に設定することができます(デフォルトのままでも構いません)。

上記画面が開きましたら、下記4つの設定を行ないます。

- ① 入力ピンを選択します(デフォルトのままでも構いません)。
- ② 各ピンの信号名を定義します。User-Defined Name は、回路図の出力信号名と後述のシーケンス・コン トローラ内で使用されます(デフォルトのままでも構いません)。
- ③ ディジタル入力信号 1(デフォルト名 IN1)の制御を、pin の入力状態もしくは JTAG のユーザレジスタ設 定の何れかから選択します。
- ④ ディジタル入力信号 2 から 6 の制御を、pin の入力状態もしくは IC2 レジスタ設定の何れかから選択します(POWR1014Aの場合ディジタル入力信号 2 から 4 について制御します)。

JTAG および I2C のレジスタ設定(アドレス等)についての詳細は、データシートを参照ください。



Ver1.91

#### 対象デバイス : POWR1014, POWR607, POWR605

ディジタル入力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-5の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが[]に変わる箇所をダブルクリックしますと、図 2-5の右側(Digital Inputs)の画面が起動します。



図 2-5 ディジタル入力設定画面(PAC-POWR1014の場合)

ここでは、ディジタル入力ピンの信号名をユーザで任意に設定することができます(デフォルトのままでも構いません)。

上記画面が開きましたら、下記2つの設定を行ないます。

- ① 入力ピンを選択します(デフォルトのままでも構いません)。
- ② 各ピンの信号名を定義します。User-Defined Name は、回路図の入力信号名と後述のシーケンス・コン トローラ内で使用されます(デフォルトのままでも構いません)。

入力ピンの数は、POWR1014 では 4 ピン、POWR607/605 では 2 ピンとなります。尚、後述いたしますが POWR605/607 の場合、それぞれ 5 ピンあるディジタル出力ピンもディジタル入力ピンとして使用することも可能 です。



Ver1.91

#### 2.3 ロジック出力(Logic Outputs)

#### 対象デバイス : POWR1220AT8, POWR1014, POWR1014A

ロジック出力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-6の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが[]に変わる箇所をダブルクリックしますと、図 2-6の右側(Logic Outputs)の画面が起動します。

	Logic Outputs		Logic Outputs				×	
	Logic Outputs		Pin Name	Э	User-Defined Name	Digital Co	ntrol From	ОК
From PLD	<b>&gt;</b>	0015	OUT5	•		PLD	C I2C Register	Coursel
From PLD				_				Lancei
From I2C Register		En_2V5_b	OUT6	-	En_2V5_b	PLD	C I2C Register	
From PLD	<b>&gt;</b>		OUT7	-	En_1V8_DDR_b	PLD	C I2C Register	
From PLD		-		_				
From I2C Register		En_1V5_b	OUT8	-	En_1V5_b	PLD	C I2C Register	
From PLD	<b>&gt;</b>	En_1V0_b	OUT9	-	En_1V0_b	PLD	C I2C Register	
From PLD		_			,			
From L2C Register		Power_Good	OUT10	•	Power_Good	PLD	C I2C Register	
From PLD	<b>&gt;</b>	GPU_Resel	OUT11	•	CPU_Reset	PLD	C I2C Register	
From PLD				_		6 8 8	C 100 D	
From I2C Register		Brown_Out_B	00112	-	Brown_Uut_b	• PLD	<ul> <li>I2C Register</li> </ul>	
From PLD	<b>&gt;</b>	OUT13	OUT13	•	OUT13	PLD	C I2C Register	
From PLD		01714	01114	_	011714		C 12C Begister	
From I2C Register		00110	00114	<u> </u>	100114	100	* 120 Hogistor	
From I2C Register		00T15	OUT15	-	OUT15	PLD	C I2C Register	
From PLD			01116	_	011716		C 12C Begister	
From L2C Register		00116		<u> </u>	100110	100	- ize negister	
From PLD		OUT17	OUT17	-	OUT17	PLD	C I2C Register	
From PLD		-	OUT10	_	0.000	C D D	C 100 D 11	
From L2C Register		00118	00118	-	100118	• PLD	<ul> <li>I2L Hegister</li> </ul>	
From PLD		OUT19	OUT19	-	OUT19	PLD	C I2C Register	
From PLD		_		_				
From L2C Register		00720	OUT20	•	OUT20	PLD	C I2C Register	
					(2)	(	3)	

図 2-6 ロジック出力設定画面(PAC-POWR1220AT8の場合)

上記画面が開きましたら、下記3つの設定を行ないます。

- ③ 出力ピンを選択します(デフォルトのままでも構いません)。
- ③ 各ピンの信号名を定義します。User-Defined Name は回路図の出力信号名と、後述のシーケンス・コント ローラ内で使用されます(デフォルトのままでも構いません)。
- ③ 出力状態を PLD で制御するか I2C バス経由で制御するかを設定します(1220AT8, 1014A のみ)。

出力ピンの数は、POWR1220AT8 では 20 ピン、POWR1014/A では 14 ピンとなります。 尚、POWR1014 デバイスは、I2C インタフェースを持たない為、上記③に相当する設定はございません。出力状態は PLD からのみの制御となります。



Ver1.91

#### 対象デバイス : POWR605, POWR607

ロジック入出力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-7の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる箇所をダブルクリックしますと、図 2-7右側 (Inputs\_Outputs)の画面が起動します。



図 2-7 ロジック入出力設定画面(PAC-POWR605/607)

上記画面が開きましたら、下記3つの設定を行ないます。

- ① 入出力ピンを選択します(デフォルトのままでも構いません)
- ② 各ピンの信号名を定義します。User-Defined Name は回路図の出力信号名と、後述のシーケンス・ コントローラ内で使用されます(デフォルトのままでも構いません)。
- ③ 入力ピンとして使用するか出力ピンとして使用するかを選択します。

入出力ピンの数は、POWR605/607 共に5ピンとなります。



Ver1.91

#### 2.4 高電圧出力(High Voltage Outputs)

#### 対象デバイス : POWR1220AT8, POWR1014, POWR1014A

PAC-POWR1220AT8は4つ、1014/Aは2つの出力ピンを高電圧出力(High Voltage Outputs)として設定する ことができます。また、高電圧出力ピンは、オープンドレイン出力とすることも可能です。

高電圧出力は、電源シーケンスを制御するために、ボード上のNチャネル MOSFET のゲートをドライブするのに 必要な、Nチャネル MOSFET ゲートドライバとして使用することが出来ます。

高電圧出力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-8の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが[]に変わる箇所をダブルクリックしますと、図 2-8の右側(High Voltage Output Setting)の画面が起動します。



図 2-8 高電圧出力設定画面(PAC-POWR1220AT8の場合)

上記画面が開きましたら、下記4つの設定を行ないます。

- ① 出力ピンを選択します(デフォルトのままでも構いません)。
- ② 各ピンの信号名を定義します。User-Defined Name は回路図の出力信号名と、後述のシーケンス・コン トローラ内で使用されます(デフォルトのままでも構いません)。
- ③ 出力ピンの制御を PLD で行なうか I2C バス経由で行なうかを設定します(POWR1014 を除く)。
- ④ 高電圧出力とする場合は、チャージポンプ出力(Chare Pump Output)にチェックし、出力電圧および電流値を設定します。オープンドレイン出力として使用する場合は、オープンドレイン出力(Open Drain Output)にチェックをします。オープンドレイン出力の場合は、通常の出力レベルとなります。



July.2011

#### 対象デバイス : POWR607

PAC-POWR607 は、2 つの出力ピンを高電圧出力(High Voltage Outputs)として設定することができます。また、高電圧出力ピンは、オープンドレイン出力とすることも可能です。

高電圧出力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-9の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが[]に変わる箇所をダブルクリックしますと、図 2-9の右側(High Voltage Output Setting)の画面が起動します。



図 2-9 高電圧出力設定画面(PAC-POWR607)

上記画面が開きましたら、下記3つの設定を行ないます。

- ① 入力ピンを選択します(デフォルトのままでも構いません)。
- ② 各ピンの信号名を定義します。User-Defined Name は回路図の出力信号名と、後述のシーケンス・ コントローラ内で使用されます(デフォルトのままでも構いません)。
- ③ 高電圧出力とする場合は、チャージポンプ出力(Chare Pump Output)にチェックし、出力電圧およ び電流値を設定します。オープンドレイン出力として使用する場合は、オープンドレイン出力(Open Drain Output)にチェックをします。オープンドレイン出力の場合は、通常の出力レベルとなります。



Ver1.91

#### 2.5 クロック&タイマー

#### 対象デバイス : POWR1220AT8, POWR1014, POWR1014A

クロック&タイマーブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-10の左側(背景黒の ブロック)が開きます。この画面上にて背景黒以外の場所でカーソルが[]に変わります。そこでダブルクリックしま すと、図 2-10の右側(Clock & Timer Settings)の画面が起動します。



図 2-10 クロック&タイマー設定画面(PAC-POWR1220AT8の場合)

上記画面が開きましたら、下記3つの設定を行ないます。

- ① クロックソースを設定します。
  - ・ Standalone : 内部 OSC を使用し、MCLK ピンは Hi-Z
  - Master : 内部 OSC を使用し、MCLK ピンにクロックを出力
  - ・ Slave :外部のクロックを使用し、MCLK ピンは入力ピン
- ② PLDCLK ピンの出力を設定します。
  - PLDCLK pin Enabled : PLDCLK ピンからクロックを出力
  - ・ PLKCLK pin High-Z : PLDCLK ピン出力は Hi-Z 状態
- ③ 1~4 種類のタイマー値をプルダウンメニューから選択します。

ここで、設定したタイマー値はシーケンス・コントローラ内部の、タイマー値を使用するインストラクションで使用 することが出来ます。上記の通り、タイマー値は4つ個別に設定することが可能で、インストラクション毎に任意の タイマー値を用いることが出来ます。上記設定結果は回路図にも反映されます。



July.2011

#### 対象デバイス : POWR605, POWR607

クロック&タイマーブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-11の左側(背景黒の ブロック)が開きます。この画面上にて、カーソルが[]に変わる背景黒以外の場所をダブルクリックしますと、図 2-11の右側(Clock & Timer Settings)の画面が起動します(カーソルが上矢印に変わる箇所をダブルクリックしま すと、メイン画面に戻ります)。



図 2-11 クロック&タイマー設定画面(PAC-POW605/607)

上記画面が開きましたら、1~4種類のタイマー値をプルダウンメニューから選択します。

ここで、設定したタイマー値はシーケンス・コントローラ内部の、タイマー値を使用するインストラクションで使用 することが出来ます。上記の通り、タイマー値は4つ個別に設定することが可能で、インストラクション毎に任意の タイマー値を用いることが出来ます。上記設定結果は回路図にも反映されます。



July.2011

#### 2.6 DC/DC コンバータ・ウイザード

#### 対象デバイス : POWR1220AT8, POWR6AT6

トリミング機能付 DC/DC コンバータと、ispPAC-POWR1220AT8 を用いてトリミング機能を実現するためには、 DC/DC コンバータの特性を設定する必要があります。

メニューバーの「DC-DC」アイコンをクリックすると、DC/DC コンバータウイザードが起動します(アイコンが表示 されない場合、メニューの View→Margin Toolbar にチェックをつけて表示させます)。



図 2-12 DC/DC コンバータウイザードの起動

DC/DC コンバータウイザードが起動したら、「New」ボタンをクリックし、ライブラリ名を入力し、新規ライブラリの 生成を行ないます。名前を付けて OK をクリックしたら、次へ(N)をクリックします。

DC-DC Converter Model Selection	3
DC-DC Library Folder: C:¥PAC-Designer53¥DCtoDC_Library Browse	
Select DC-DC Converter Manufacturer and Model:       New         02 Prog 5Vin 09-50Vout       Delete         03 Prog 5Vin 09-36Vout       Delete         04 Prog 12Vin 0.75-50Vout       Delete         05 Fixed 48Vin 1.8Vout       Rename         06 Fixed 55Vin 33Vout       Rename         07 Fixed 55Vin 33Vout       Pac-Dc Converter Library File         10 Discrete 1.8Vout       PAC-Designer will create a library file for your DC-DC Converter         15 Prog VM 5Vin 0       File name:         06 File Num       File name:	
< 戻る(B) 次へ(N) > キャンセル	

図 2-13 新規 DC/DC コンバータライブラリーの生成



Ver1.91

続いて、DC/DCコンバータのタイプを以下の4種から選択します。

- 1. トリムピンと Vout もしくは GND を抵抗で接続し、抵抗値により基準電圧に対して数%の出力電圧 調整が可能なタイプ
- 2. ピンと GND を抵抗で接続することで、抵抗値により広いレンジで出力電圧を変更できるタイプ
- 3. トリムピンと Vout を抵抗で接続することで、抵抗値により広いレンジで出力電圧を変更できる タイプ
- 4. 外部のフィードバック抵抗により出力電圧を設定するタイプ



図 2-14 DC/DC コンバータのタイプ選択画面

タイプを選択したら、次へ(N)をクリックします。



続いて、選択したDC/DCコンバータのパラメータ設定を行ないます。使用するDC/DCコンバータのデータシートを参照し、パラメータを設定します。

お使いになります DC/DC コンバータのデータシートをお手元にご用意下さい。

#### タイプ1

トリムピンと Vout もしくは GND を抵抗で接続し、抵抗値により基準電圧に対して数%の出力電圧調整 が可能なタイプ

図 2-15のような画面が起動しましたら、パラメータの入力を行ないます。入力が完了しましたら「Save」ボタンをクリックしてライブラリを保存し、「完了」ボタンをクリックします。



図 2-15 DC/DC コンバータのパラメータ設定画面(タイプ1)



タイプ2

トリムピンと GND を抵抗で接続することで、抵抗値により広いレンジで出力電圧を変更できるタイプ

図 2-16 のような画面が起動しましたら、内部の基準電圧(Vref)もしくは内部の基準抵抗値(Rref)及び基 準電流(Iref)の入力を行ないます。入力が完了しましたら「次へ」ボタンをクリックします。



図 2-16 DC/DC コンバータのパラメータ設定画面(タイプ 2-1)



図 2-17 のような画面が起動しましたら、パラメータの入力を行ないます。入力が完了しましたら「Save」ボタンをクリックしてライブラリを保存し、「完了」ボタンをクリックします。



図 2-17 DC/DC コンバータのパラメータ設定画面(タイプ 2-2)



タイプ3

トリムピンと Vout を抵抗で接続することで、抵抗値により広いレンジで出力電圧を変更できるタイプ

図 2-18のような画面が起動しましたら、内部の基準電圧(Vref)もしくは内部の基準抵抗値(Rref)及び基 準電流(Iref)の入力を行ないます。入力が完了しましたら「次へ」ボタンをクリックします。



図 2-18 DC/DC コンバータのパラメータ設定画面(タイプ 3-1)



図 2-19 のような画面が起動しましたら、パラメータの入力を行ないます。入力が完了しましたら「Save」ボ タンをクリックしてライブラリを保存し、「完了」ボタンをクリックします。



図 2-19 DC/DC コンバータのパラメータ設定画面(タイプ 3-2)



タイプ 4 外部のフィードバック抵抗により出力電圧を設定するタイプ

図 2-20のような画面が起動しましたら、パラメータの入力を行ないます。入力が完了しましたら「Save」ボ タンをクリックしてライブラリを保存し、「完了」ボタンをクリックします。

DC-DC Converter Discrete Entry	×
───⊂ <sup>Vin</sup> DC-D Conver ↓	C C ter FB ・ FB ・ データシートを参照し
Values internal to the DC-DC Converter Vref	<ul> <li>アークシートを参照し、</li> <li>Rfb, Rin, Vrefの値を設定します。</li> </ul>
Rfb	0 ohms
Rin	0 ohms
Comment: 2.5V DC/DC Converter	
Save configurations to library file: Power Suplyer	保存するライブラリ名を入力 します。必要に応じコメント も記載しておくと便利です。 Save
	< 戻る(B) 完了 キャンセル

図 2-20 DC/DC コンバータのパラメータ設定画面(タイプ 4)



July.2011

#### 2.7 マージン/トリム(Margin/Trim)

#### 対象デバイス : POWR1220AT8, POWR6AT6

マージン/Trim ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-21の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが[]に変わる青枠内をダブルクリックしますと、図 2-21の右側 (Global Trimming Settings)の画面が起動します。



図 2-21 グローバルトリミング設定画面(ispPAC-POWR1220AT8の場合)

上記画面が開きましたら、下記2つの設定を行ないます。

①トリム・プロファイルの制御源

ispPAC-POWR1220AT8 では、電圧プロファイルを最大で4種類設定することが出来ます。この設定にて4種類を選択する、2ビット制御信号を外部ピンから制御するか、内部ノードから制御するか選択します。

• From VPS0, VPS1 pins

: 外部ピンから制御 : 内部ノードから制御

From LogiBuilder variable PLD\_VPS0, PLS\_VPS1 : 内部ノードから制御
 ②閉ループのトリマ調整時の、DACのアップデート遅延時間をプルダウンメニューより設定します。

#### July.2011

続いて、トリマの設定を行ないます。

図 2-22のカーソルが[]に変わる青枠内をクリックしますと、図 2-22の右側(Trim Setting)画面が起動しま す。尚、トリマは最大でそれぞれ8種類(1220AT8)、6種類(6AT6)使用できます。設定したい Trim Cell の 上でダブルクリックをして下さい。



図 2-22 トリマ設定画面

上記画面が開きましたら、下記8つの設定を行ないます。

- 各ピンの信号名を定義します。Schematic Net Name は回路図の出力信号名で使用されます (デフォルトのままでも構いません)。
- ② 2.6 章にて設定した DC/DC コンバータのライブラリを読み出します。
- ③ Profile0のモードを設定します。
- ④ 各プロファイルについて、ターゲット電圧を設定します。
- ⑤ 必要に応じて、オプションの設定を行ないます(詳細は2.8節を参照ください)。
- ⑥ 「Calculate」ボタンをクリックし、抵抗値を計算する。
- ⑦ 計算の結果、エラーがあった場合は、「Error Details」ボタンをクリックすると エラーの詳細を見ることが出来ます(次ページ図 2-23参照)。
- ⑧ 実ボード上に実装すべき抵抗値の値と接続イメージが表示されます。



図 2-23に「Error Details」ボタンをクリックしたときに表示される、エラー内容の一例を示します。



図 2-23 エラー内容の例

上図①に示されるように、エラー内容が「Problem」に表示され、その解決策が②「Solution」に表示されます。



July.2011

#### 2.8 トリム コンフィグレーションのオプション設定

#### 対象デバイス : POWR1220AT8, POWR6AT6

図 2-22 の⑤の、「オプション」ボタンをクリックしますと、図 2-24のような画面が起動します。

Trim Configuration Options		
EIA Resistor Standard	1 EIA 24 🗸	OK
Maximum DAC Code Range (1 - 127)	② +/- 110	Cancel
Max Supply Adjustment Range	3 5 %	
Attenuation Crossover Voltage	(4) 1.9 V	
Open External Resistor(s) Threshold	<b>(5)</b> 10000000	
Vbpz Selection	6 Auto 🔹	

図 2-24 Trim コンフィグレーションのオプション設定画面

上記画面が開きましたら、必要に応じて下記6つの設定を行ないます。

- ① 抵抗網の系列を設定します。
- ② DACコードの範囲を設定します。 1~127の範囲で選択することが出来ます。デフォルト設定は110です。 数字を大きくすることにより、設定可能な電圧範囲は広がります。ただし、ディジタル閉ループモー ド時の過渡応答特性に対するエラーを許容するための値となっているため、デフォルト設定を推 奨します。
- ③ 出力電圧の範囲を設定します。
   設定出力電圧の最大、最小の範囲を設定します。
   設定した範囲により、DACコードのステップサイズが決定されます。
   範囲を広くすれば、設定可能な出力電圧の範囲は広くなりますが、設定電圧の数値は粗くなります。
   範囲を狭くすれば、出力電圧の範囲は狭まりますが細かな設定が可能となります。尚、出力
   電圧の誤差を±1%以内に抑えるためには、レンジを±5以内に設定する必要があります。
- ④ 内部アッテネータが有効となる電圧を設定します。
   内蔵の DAC の前段にアッテネータがあり、設定した値を超えるとアッテネータが有効となります。
   基本的には、デフォルトの 1.9V で問題ありません。
   但し、アッテネータが有効になりますとアッテネータの誤差が発生しますので、2.0V 付近の電圧を
   VMON に入力する場合には、設定を変更することにより精度を良くすることが出来ます。設定な可能な範囲は、1.8V~2.1V です。尚、アッテネータによる誤差は最大±1%です。
- ⑤ 外部抵抗をオープンにする場合の閾値を設定します。
  計算結果で、設定値以上の値となった場合 Open となります。
  ⑥ バイポーラ・ゼロ・電圧を設定します。Auto 設定の場合、ツールが自動的で最適な値に設定します。



Ver1.91

#### 2.9 トリム設定の一覧確認

#### 対象デバイス : POWR1220AT8, POWR6AT6

トリムブロックの設定が完了しましたら、各トリム出力の設定値の一覧を表示することが出来ます。 トリムブロックの設定画面にて、View→Trim Output Summary を選択します(図 2-25)。

📕 PAG-Desi	gner - [POWR1220AT8-1-	SSt_Seq_RG_Sup_Trm.PA	): Schematic]
<u>File E</u> dit	View Tools Options Window	<u>H</u> elp	
🗋 🗁 🖬 é	<u>R</u> edraw 74	🗸   = 🔪 +   🗶 jed    🚰 🙋	) ← →   PINS Logic   💷 🖼 🔛
	Zoom In Select Zoom Previous Zoom <u>A</u> ll Zoom Out		
	ispCL <u>K</u> Output Summary Trim Output Summary	Ma	argin/Trim/DAC
	<ul> <li>▶ <u>P</u>LD Toolbar</li> <li>✓ ispCLK Toolbar</li> <li>✓ Margin Toolbar</li> </ul>	VMON1	Trim Cell 1 Closed Loop Trim
	✓ <u>B</u> rowser bar ✓ <u>S</u> tatus Bar	VMON2	Trim Cell 2
		VMON3	Trim Cell 3 Closed Loop Trim
		VMON4	Trim Cell 4 Closed Loop Trim

図 2-25 トリム設定の一覧画面起動方法

上記操作にて、図 2-26の画面が起動し、設定内容を確認することが出来ます。 左右に表示しきれていない場合、下部のスクロールバーで閲覧可能です。

下 PAC-Design	er - [POWRI22	20AT8-1-SSt_Seq	RG_Sup_Trm.PAC	: Trim Output Sur	nmary Sheet]	- 🗆 🔀
<u> </u>	(iew <u>T</u> ools <u>O</u> ptic	ons <u>W</u> indow <u>H</u> elp				- 8 ×
🗋 🗅 😂 🔲 🎒	+ C C   1	23417+	-   🗶 JED 🛛 🚰 😰	← → PINS Logic [		
]፼ ♥ % %						
DAC Output	Voltage Profile	Profile 0 Voltage	Profile 1 Voltage	Profile 2 Voltage	Profile 3 Voltage	BPZ Vol
Trim 1 Trim2 Trim3 Board 2.5V Trim Board 1.8V Trim Trim6 Trim7 Trim8	Closed Loop Closed Loop Closed Loop Closed Loop Closed Loop Closed Loop Closed Loop Closed Loop	3.000V 3.000V 2.500V 1.800V 3.000V 3.000V 3.000V	3.000V 3.000V 2.374V 1.710V 3.000V 3.000V 3.000V	3.000V 3.000V 2.625V 1.890V 3.000V 3.000V 3.000V	3.000V 3.000V 2.425V 1.746V 3.000V 3.000V 3.000V	0.80V 0.80V 1.25V 0.80V 1.25V 1.25V 1.25V 1.25V
		A				D
Ready		U				11.

図 2-26 トリム出力設定の一覧画面



July.2011

2.10 I2C コンフィグレーション

#### 対象デバイス : POWR1220AT8, POWR1014A

I2C コンフィグレーションブロック(カーソルが[]に変わる箇所)をダブルクリックすると、図 2-27のような画面が 開きます。

ここでは、I2C インタフェースを使用するための設定を行ないます(I2C インタフェースを使用しない場合は設定 不要です)。I2C インタフェースを使用することで、設定内容のリード・ライトや、ピンの入力や出力状態の制御を 行なうことが出来ます。

	12C Configuration
	I2C Address Oh   Cancel
	1/0 pins can connect to PLD or be controlled by I2C reads/writes
2	HVOUT1PLD output drives pinHVOUT2PLD output drives pinHVOUT3PLD output drives pinHVOUT4PLD output drives pinOUT5PLD output drives pinOUT6PLD output drives pin
	PLD I/O connected to pin
l	○ I2C interface connected to pin
3	I2C Alert Response SMB Alert on OUT5 (PLD output on OUT5 is disabled)

図 2-27 I2C コンフィグレーションウインドウ

上記画面が開きましたら、下記3つの設定を行ないます。

- I2C インタフェース用のデバイスアドレスをプルダウンから設定します。 デバイスアドレスは、0h 以外を使用してください。また同一 I2C バス上に複数のデバイスを接続する場合 は、他のデバイスと違うアドレスに設定してください。
- ② ディジタル入力、高電圧出力、ロジック出力ピンの制御を、I2C バス経由で行なうか、内部の PLD 部で制御 するかを設定します。

設定は、各ブロックでも設定が可能です。各ブロックで設定した場合も、本設定に内容が反映されます。

③ I2Cバスのアラート・レスポンス信号を使用する場合、OUT5ピンの出力を利用することが出来ます。チェック ボックスにチェックを入れた場合、OUT5 ピンの出力はアラート・レスポンス信号出力(Active Low)となりま す。



Ver1.91

#### 対象デバイス : POWR6AT6

I2C コンフィグレーションブロック(カーソルが]]に変わる箇所)をダブルクリックすると、図 2-28 のような画面が開きます。

ここでは、I2C インタフェースを使用するための設定を行ないます(I2C インタフェースを使用しない場合は設定 不要です)。I2C インタフェースを使用することで、設定内容のリード/ライトや、ピンの入力や出力状態の制御を 行なうことが出来ます。

	BG/GLTLOCK Configuration
	I2C Address Eh
ſ	Enable SMBus ALERT on CLTLOCK/SMBA Pin
2 {	CLTLOCK/SMBA Pin Assertion CLTLOCK/SMBA Pin Assertion Active Low C Active High
	Enable CLTLOCK processing
	🗖 Trim 1 🗖 Trim 2 🗖 Trim 3 <sup>(3)</sup>
	🗖 Trim 4 🔲 Trim 5 🔲 Trim 6

図 2-28 I2C コンフィグレーションウインドウ

上記画面が開きましたら、下記3つの設定を行ないます。

- I2C インタフェース用のデバイスアドレスをプルダウンから設定します。 デバイスアドレスは、0h 以外を使用してください。また同一 I2C バス上に複数のデバイスを接続する場合 は、他のデバイスと違うアドレスに設定してください。
- ② I2C バスのアラート・レスポンス信号を使用する場合、CLTLOCK/SMBA ピンの出力を利用することが出来 ます。チェックボックスにチェックを入れた場合、CLTLOCK/SMBA ピンの出力はアラート・レスポンス信号 出力となります。尚、デフォルトは Active Low ですが Active High を選択することも可能です。その場合 "Enable SMBus ALERT on CLTLOCK/SMBA Pin"のチェックが外れている状態で、Active Low/Active High かを先に選択します。
- ③ 閉ループのトリミングモードにて、6組のトリムセルがそれぞれロックに達したかをモニタ可能です。どのトリム セルをモニタするかを選択します。


Ver1.91

#### 2.11 パワーダウンモード

## 対象デバイス: POWR605, POWR607

パワーダウンモードは、デフォルト設定では無効となっておりますので、本モードを使用するには、下記手順に て設定する必要があります。



図 2-29 ispPAC-POWR607 メインウインドウ

図 2-29に示します ispPAC-POWR607 のメインウインドウにて、パワーダウンモードブロックをクリックしますと、 図 2-30のような画面が起動します。

	Power-Down Modes 🛛 🛛 🗙
1	✓ Enable PW/RDN (Power-down) feature
	<ul> <li>Use IN1_PWRDN pin to power down         (IN1_PWRDN = LOW ==&gt; Device powers down)             (IN1_PWRDN = HIGH ==&gt; Device exits power down mode)         </li> <li>Use PLD to power down             (Internal node PLD_PWRDN = LOW ==&gt; Device powers down)             (IN1_PWRDN = HIGH ==&gt; Device exits power down mode)</li> </ul>

図 2-30 パワーダウンモード設定画面

上記画面が開きましたら、下記2つの設定を行ないます。

- ① チェックを入れ、パワーダウンモードを有効にします。
- ② パワーダウンの制御を、外部からの入力(IN1\_POWRN ピン)にて行なうか、PLD 内部の信号で制御する かを選択します。
  - ・ パワーダウンモード中は、VCCJピンをオープンにする必要があります。オープンにならない場合、 VCCJは約 2.2mA 消費します(POWR605/607 共)。



Ver1.91

#### July.2011

## 2.12 POWR1014/A から POWR1220AT8 のデザインマイグレーション(移行)

## 対象デバイス : POWR1220AT8

バージョン 4.95 以降の PAC-Designer では、(LA)POWR1014/A のデザインファイルをインポートすることで、 容易に POWR1220AT8 ヘデザインを移行することが出来ます。

まず、POWR1220AT8の新規デザインを作成します。

メインウインドウが起動しましたら、メニューの File→Import ispPAC-POWR1014A design を選択します (図 2-31)。



⊠ 2-31 Import ispPAC-POWR1014/A design

インポートするファイルを聞いてきますので、ファイルを指定して「開く」をクリックしますと、インポートが完了しま す(図 2-32)。

Import 1014 des	ien				? 🛛
ファイルの場所型:	🚞 design1		•	🗢 🗈 💣 💷	
していたファイル					
<b>び</b> デスクトップ					
ک ۱۷۷۶ ۲۶					
ער דאר אר איז					
र्ग २७२७-७					
	ファイル名(N):			•	開((0)
	ファイルの種類(工):	PAC files (*.PAC)		•	キャンセル

図 2-32 インポートファイルの指定



Ver1.91

## 2.13 UES エディタ

シーケンスコントローラブロックは、パワーマネージャ・ファミリ全てで共通ですので 3.6章でまとめて説明いたします。

# 2.14 シーケンス・コントローラ

シーケンスコントローラブロックは、パワーマネージャ・ファミリ全てで共通ですので 3章でまとめて説明いたします。



Ver1.91

# 3 パワーマネージャ共通の設計方法

# 3.1 シーケンス・コントローラ

各デバイスのメインウインドウにて、シーケンス・コントローラ部をダブルクリックすると、図 3-1のような画面が起動します。

PAG-De	signer - [Design3.PAC:	Sequence and Sup	ervisory Logic]		
<u> </u>	it <u>V</u> iew <u>L</u> ools <u>O</u> ptions	Window <u>H</u> elp			_ 8 ×
🗅 🚅 日	<b>a</b> a a a a 2	3, 4   🥆 + 🖌	JED A State A	2 📾	
Step	Sequencer Instruction		Outputs	Inte Comment	
SM0 Step 0	Begin Startup Sequenc	e		no ispPAC-POWR122	DAT8 reset
SM0 Step 1	Wait for AGOOD			no	
SM0 Step 2 SM0 Step 3	Halt (end-of-program)	nce		no	
	har tond of programs			10	
Exception ID	Boolean Expression	Outputs Ex	ception Handler Comment		
	<pre><end-of-exception-table></end-of-exception-table></pre>			Ť	
ļ					
SMO					
Equation	Supervisory Logic Equation		Macrocell Configuration	Comment	
	Kend-of-supervisory-logic-t	able>			
Dente					
Ready					lli.

図 3-1 シーケンス・コントローラ画面

本画面にて、シーケンスの設計を行ないます。 本画面にて設計したステップ順に、インストラクションが実行されます。

## 3.1.1 オプション設定

バージョン 4.99 以降の PAC-Designer では、シーケンス・コントローラ(LogiBuilder)では、オプション設定により、 より多くのロジックを PLD に実装することが可能となります。

メニューから[Options]→[LogiBuilder Options]を選択しますと、図 3-3のようなオプション設定画面が起動します。







LogiBuilder Options	×
Sequence Optimization	OK Cancel
State Machine Encoding	
<sup>②</sup> Gray	
Flip Flop Synthesis	
Default (D/T -Type)	
3 C D-Туре	
С Т-Туре	
<ul> <li>Gray</li> <li>Flip Flop Synthesis</li> <li>Default (D/T -Type)</li> <li>D-Type</li> <li>T-Type</li> </ul>	

図 3-3 オプション設定画面

上記画面が起動しましたら、下記3つの設定を行ないます。

- ① シーケンス最適化の設定をします。 デフォルトでは、最終行に「Halt」インストラクションが入っています。これは、プログラムが偶発的に最終行に到達した場合に、プログラムを終了させるために用いられています(次のステップが無いため)。しかしながら、この「Halt」インストラクションは、1Stepを使用するため、リソースを必要とします。このオプションをチェックすることにより、最後の「Halt」インストラクションの削除を可能にし、最終行を(end-of-program)タブに置き換えます。そしてどのインストラクション(一般に Go To あるいは if-then-else インストラクション)でも最終行に使用することが出来ます。
- ② ステートマシンのエンコーディング方法を選択します。
   デフォルト設定は、Binary エンコードです。デザインによっては、Gray エンコードを用いることで、
   使用するリソースを少なくすることが出来ます。



Ver1.91

# 3.1.2 Pin の定義

「PINS」のアイコンをクリックすると、ピン定義のリストが表示されます。ここでは、入力と出力の状態について定義することが出来ます。

PAC-Design	er - [Design3.PAC	: Sequence and Supervisory Logic
<u> </u>	iew <u>T</u> ools <u>O</u> ptions	<u>W</u> indow <u>H</u> elp
🗅 🖻 🖥 🎒	49912	3, 4,   🔨 +   🗶 JED 🛛 🖀 🖻 🖨
]፼ ₩⁄ ‰ ‰		logic 📄 📰 🔛
Step	Sequencer Instruct	Pin Definitions

図 3-4 PIN 定義画面の起動

各信号を選択し、ダブルクリックすることでピンの定義を編集する画面が開きます。

PAG-Designer - [Design3.PAG: Pin Definitions]						
Eile View O	ptions <u>W</u> indow <u>H</u> el	D.			_ 8 ×	
D 🗃 🖬 🎒	4 9 9 1 7 2	3, 7A, IN + 🔛 🖬	5 🖗 ← →			
<u> </u> ፼  ♥ ‰ ‰	🖬 🛛 DC- 🔯 🗍 PINS	logic 🗐 📰 🔛				
Datasheet Name	User-defined Name	Pin Type	Logic Polarity	Reset Level Reserved Resou	urce 🔼	
IN6	IN6	Input	Normal (1=true, 0=false)			
TIMER1_TC	TIMER1_TC	Input; From Timer_TC	Normal (1=true, 0=false)			
TIMER2_TC	TIMER2_TC	Input; From Timer_TC	Normal (1=true, 0=false)			
TIMER3_TC	TIMER3_TC	Input; From Timer_TC	Normal (1=true, 0=false)			
TIMER4_TC	TIMER4_TC	Input; From Timer_TC	Normal (1=true, 0=false)			
		Output, registered, JK flip-flop	Normal (1=true, 0=false)			
HVOUT2	HVOUT2	Output, registered, JK flip-flop	Normal (1=true, 0=false)	Don't care		
HVOUT3	HVOUT3	Output, registered, JK flip-flop	Normal (1=true, 0=false)	Don't care		
HVOUT4	HVOUT4	Output, registered, JK flip-flop	Normal (1=true, 0=false)	Don't care		
OUT5	OUT5	Output, registered, JK flip-flop	Normal (1=true, 0=false)	Don't care		
OUT6	OUT6	Output, registered, JK flip-flop	Normal (1=true, 0=false)	Don't care	_	
0017	0017	Output, registered, JK flip-flop	Normal (1=true, U=false)	Don't care		
OUT8	OUT8	Output, registered, JK flip-flop	Normal (1=true, 0=false)	Don't care		
0018	0018	Output, registered, JK flip-flop	Normal (1=true, U=false)	Don't care		
00110	00110	Output, registered, JK flip-flop	Normal (1=true, U=false)	Don't care		
00111	00111	Output, registered, JK flip-flop	Normal (1=true, U=false)	Don't care		
00112	00112	Output, registered, JK flip-flop	Normal (1=true, 0=false)	Don't care		
OUT13	00113	Output, registered, JK flip-flop	Normal (I=true, U=false)	Don't care		
OUT14	00114	Output, registered, JK flip-flop	Normal (I=true, U=taise)	Don't care		
OUTIS	OUTIE	Output, registered, JK flip-flop	Normal (I=true, U=taise)	Don't care		
OUT17	00110	Output, registered, JK flip-flop	Normal (1=true, 0=taise)	Den't ene		
	00117	Output, registered, JK flip-flop	Normal (1=true, 0=talse)	Don't care		
	OUTIO	Output, registered, JK flip-flop	Normal (1=true, 0=false)	Don't care		
OUTO	00113	Output, registered, JK flip-flop	Normal (1-true 0-false)	Don't orro		
Ready						

図 3-5 ピンの定義編集画面

入力信号の場合は、アクティブ High もしくはアクティブ Low の設定が可能です(デフォルトは、"Normal" と表記されアクティブ High となります)。

Pin Definition			
Datasheet name:	IN1	ОК	
User-defined name	IN1	Cancel	
Pin Number	97		
		アクティブ Low / High の	選択
Pin Type	Input		
Logic polarity	Normal (1=true, 0=false)		
Reset level:	Don't care		
Output type:	<b>_</b>		
IN_OUT Mode:	<b>_</b>		





出力信号は、出力のタイプとして "JK F/F タイプ", "D F/F タイプ", "組み合わせ論理タイプ" から選択が可 能です。また、パワーオンリセット解除後の論理を "Don't Care", "High", "Low" の何れかから選択することが 出来ます。

Pin Definition		
Datasheet name:	HVOUT1	ОК
User-defined name	HVOUT1	Cancel
Pin Number	86	
Pin Type	Output, registered, JK flip-flop	リセット解除後の
Logic polarity	Normal (1=true, 0=false)	値を設定
Reset level:	Don't care	出力タイプの選択
Output type:	Registered, JK-type flip-flop	
IN_OUT Mode:		

図 3-7 出力信号の定義画面

尚、出力信号のリセットレベルの定義が、有効になるのはパワーオンリセット解除後となります。 電源立ち上げ時は、パワーオンリセットが効いており、その間は設定内容に限らず Hi-Z 出力となります。従 いまして、パワーオンリセット後の値を Low と設定した場合も、図 3-8のようにいったん H になった後、パ ワーオンリセットが解除され Low 出力となります。



・ Don't Care 設定は、推奨しておりません。特に理由がない限り High もしくは Low 設定にします。



Ver1.91

## 3.1.3 インストラクションの設定方法

37 ページの、図 3-1のようなシーケンス・コントローラ画面にてインストラクションの追加を行なうには、挿入前 のシーケンスをハイライトし、メニューの Edit→Insert Instruction をクリック(または Insert キーを押)します(図 3-9)。図 3-9 の画面では、ハイライトされた Step2 と Step1 の間に選択したシーケンスが挿入されます。 インストラクションの削除を行なうには、削除したいシーケンスをハイライトし、メニューの Edit→Delete Instruction

をクリックします。

POWR605/607 以外ではステートマシンを複数組実装させることが可能です。複数のステートマシンを実装させる場合は、メニューの Edit→Multiple State Machines をクリックします。

P AG-	-Desi	ener -	- [Desi	ign 1. PAC	): Seque	nce and Supervis
Eile <u>E</u> ile	<u>E</u> dit	⊻iew	Tools	Options	<u>W</u> indow	<u>H</u> elp
🗋 🗅 😅	Inse	ert Instr	uction	47	Ins	🔨 🕂 🗶 jed
	Mo	dify Inst	truction	paran eter:	S	
	Dei	ete Inst	ruction	<u> </u>	Dei	
Step	Mul	ltiple St	ate Mac	hines 🏅	4	<u> </u>
SMU Ste	sp o	DC	sin otan	up oequer	ice <b>U</b>	-
SM0 Ste	ep 1	Wa	it for A	GOOD		
SM0 Ste	ep 2	Bei	gin Shut	<u>down Sequ</u>	lence	
SMO Ste	эр З	Ha	lt (end-o	of-program	i)	

図 3-9インストラクションの追加

その後、追加するインストラクションの選択画面が起動します(図 3-10)。

Insert Step	×
Insert a Sequence Controller Step	OK
Outputs     Wait for <boolean condition="">     Wait for <timeout value="">     Wait for <boolean condition=""> with Timeout     Halt     NOP     It/Then/Else</boolean></timeout></boolean>	Cancel
If/Then/Else with Timeout Goto Start Timer You can set parameters of the instruction after it is	created.

図 3-10 追加するインストラクションの選択画面

上記画面にて追加したいインストラクションをハイライトし、OK ボタンをクリックしますとインストラクションが追加 されます。各インストラクションの内容について、次ページから説明いたします。 また、各インストラクションの設定方法について3.1.4~3.1.11にて説明いたします。

尚、POWR1014/A 及び 1220AT8 デバイスではステートマシンを複数実装させることができます。その場合、図 3-9 のメニューから、Edit => Multiple State Machines を選択し、State Machine Name の項で適当な名前を付け て保存します。



Ver1.91

Output: 出力をセットもしくはリセットします。

→ 電源へのイネーブル制御や、CPUリセット等に使用します。

Wait for <Boolean Condition>: 定義したブーリアン条件が成立するまで待機します。

→ 電源の安定や FPGA のコンフィグレーションの完了まで待機する等に使用します。

Wait for AGOOD: POWR1014/A, 1220AT8 では、デフォルトで "Wait for AGOOD" というインストラクションが入って います。この AGOOD 信号は、パワーオンリセット後に、VMON 入力のコンパレータの自動キャリブレーション、ディ ジタル・グリッチフィルタの初期化が完了したことを示します。VMON 入力を使用する全てのロジックは、AGOOD 信 号がアクティブになるまで必ず待機する必要があります。

誤って、"Wait for AGOOD" インストラクションを削除してしまった場合は、Wait for インストラクションの追加により 復旧できます。

Wait for <Timeout Value>: タイマーが満了するまで、このステップで待機します。 →リセット信号の引き延ばしや、シーケンスの遅延制御等に使用します。

Wait for 〈Boolean Condition〉 With Timeout: 定義したブーリアン条件が成立するか、タイマー満了までこのステップ で待機します。その後イベントタイプに応じて他のステップにジャンプします。

→ 規定時間内に監視電源の立ち上がりを待つ為や、パワーダウン中にプロセッサからのレスポンス待機等に使用 します。

Halt: 無条件にこのステップで動作停止

→ 電源立ち上げ時のシーケンス完了後に、例外処理が発生するまでシーケンス制御を停止させる場合や、完全に シーケンス制御が完了して動作を停止させる場合に使用します。

Halt (end-of-program): プログラムの終了を示します。

- → プログラムが偶発的に最終行に到達した場合に、プログラムを終了させるために用いられています(次のステップ が無いため)。 このインストラクションは、オプション設定により削除が可能です(3.1.1参照)。
- NOP: ノーオペレーション

If / Then / Else: ブーリアン条件をチェックし、結果により指定したステップにジャンプします。 → 条件付きのプログラム・フロー制御指示

If / Then / Else With Timeout: ブーリアン条件のチェック結果とタイマーの満了に基づいて3つのジャンプを持つイ ンストラクションです。このインストラクションを使用するためには、予め "Start Timer"インストラクションにてタイマー をスタートさせておく必要があります。

→ 規定時間内に、電源が立ち上がるまで待機する場合等に使用します。

Go To <step x>: 指定したステップにジャンプします。

→ 無条件でステップをジャンプする場合に使用されます。

Start Timer: 指定したタイマーをスタートします。 ※

→ このインストラクションは、"If / Then / Else With Timeout" インストラクションと共に使用されます。

Stop Timer:指定したタイマーをストップします。 💥

- → 指定したタイマーを強制終了するために使用されます。
  - ※ Stop Timer/Stop Timer インストラクションを使用する場合、Timer Gate のピンタイプを JK にする必要があります(設定方法は 3.1.2 節参照)。

<sup>→</sup> タイマー動作を連続したステップで使用できないため、タイマー動作前に1ステップジャンプするために使用しま す。



上記インストラクションに加えて、シーケンス・コントローラには以下の2つの擬似インストラクションがデフォルトで 追加されています。

Begin Startup Sequence: スタートアップ・シーケンスの開始を明示します。

→このシーケンスは削除可能で有り、削除することによりステップ数(リソース使用率)を削減することが可能です。 ただし、最初のインストラクションを Wait for Timeout Value にすることは出来ませんので、その場合は Wait for AGOOD にするか、Begin Startup Sequence を残すかにしてください。

**重要**:ver4.9.9a 以前のツールをお使いのs場合、例外処理(3.1.12参照)で電源立ち上がり時に例外が成立する 条件文を記述する場合(例えば監視対象の電源系統を式に入れる、など)は、本 Begin Startup Sequence を削除することを推奨します。Ver4.9.9a までの PAC-Designer では本命令は割り込み可能(Interruptible 項 が "yes")になっており、編集できません。従って予期しない動作をする可能性があります(下記コラム参 照)。Ver5.1 以降の PAC-Designer では本命例は割り込み不可(Interruptible 項が "no")としております。

Begin Shutdown Sequence: シャットダウン・シーケンスの開始を明示します。

→このインストラクション以降に追加させるインストラクションは、割り込み許可設定のデフォルト値がディセーブ ルとなります(このインストラクションは削除可能です)。

コラム: 電源投入直後の動作と "Begin Startup Sequence" "Begin Shutdown Sequence"について

シーケンス設計のために PAC-Designer を開始すると、"Begin Startup Sequence"、"Wait for AGOOD"、"Begin Shutdown Sequence"、"Halt"などの行がデフォルトで入っています。これは設計者が所望の処理のために命令を追加・記述編集する際に、どこに挿入していけば良いかが容易に判るためというのが元々の目的の一つです。

このうち必須な命令が "Wait for AGOOD" (POWR605/607 にはありません)、殆どの場合必要なものが "Halt" です が、"Begin Startup Sequence"と"Begin Shutdown Sequence"は本来なくても構いません(但し最初のインストラクション をWait for Timeout Value にすることは出来ません)。AGOOD はパワーオンリセット後に、VMON 入力のコンパレータ の自動キャリブレーション、ディジタル・グリッチフィルタの初期化が完了したことを示す信号です。VMON 入力を使用 する全てのロジックは、AGOOD 信号がアクティブになるまで必ず待機する必要があります。従って、ユーザの全ての 命令はこの後に挿入することを期待しています。

"Begin Startup Sequence"行はコンパイル後には NOP として扱われますが、PAC-Designer のバージョンによって、 割り込みを許容するかしないか(Interruptible 項が ver4.9.9a までは"yes"、ver5.1 以降は"no")異なっており、これを 変更することはできません。Ver4.9.9a 以前のツールをご使用の場合は以下の注意が必要です。

仮に例外処理を開始するための条件として"監視対象の電源系統が所定の電圧値以下になった場合"(NOT VMON1) OR (NOT VMON2)等)を考えます。当然のことながら、ボードレベルで電源が投入された直後はこの条件 が成立しますので、AGOODのアサート前に、例外処理が開始されることになります。即ちデバイス内部の初期化処理 が完了しないにもかかわらず、例外処理を実行するという状況に陥ります。

例外処理の条件としてこのように記述・設計することは、必ずしも特異とは言えません。従ってそうせざるを得ないケースでは、"Begin Startup Sequence"の行を削除することがより妥当です。



## 3.1.4 インストラクションの設定方法(Output)

Output インストラクションを選択した場合、図 3-11のように<no outputs specified>と表示されます。

📘 PAC-Design	er - [Design1.PAC: Sequence	e and Supervis	ory Logic]
<u> </u>	iew <u>T</u> ools <u>O</u> ptions <u>W</u> indow <u>H</u> e	lp	
🗅 🖻 🖥 🎒	QQ 1\234 -	\ +   🛣 jed 🛛	☆ 🖗 🗕 -
]፼ ♥眥ਙਙ	🖅 📔 📴 🛛 🖽 🗍 🖼		
Step	Sequencer Instruction	Outputs	Interruptible
SMO Step 0 SMO Step 1	Begin Startup Sequence Wait for AGOOD		no no
SM0 Step 2	<no outputs="" specified=""></no>		no
SMO Step 3 SMO Step 4	Begin Shutdown Sequence Halt (end-of-program)		no no

図 3-11 Output インストラクション追加後の画面

上記画面にて< no outputs specified >の行をダブルクリックしますと、図 3-12のような出力信号の状態を編集 する画面が起動します。

	Edit "Outp	out" properties	
1	Outputs HVOUT1 HVOUT2 HVOUT3 HVOUT4 OUT5 = 1 OUT6 OUT6 OUT7 OUT8		OK Cancel
	In use:	① 🔽 Change this output signal this instruction	
	Pin Type:	Registered, JK-type flip-flop	
	Set Value:	<ul> <li>Turn on / Assert</li> <li>Turn off / Deassert</li> </ul>	
	Exceptions:	(3) $\checkmark$ Instruction is interruptible by an exception	
	Comment		

図 3-12 Output インストラクションの設定画面

上記画面が起動しましたら、下記3つの設定を行ないます。

- 出力状態を変更したい信号を選択し、「Change this output signal this Instruction」にチェックをつける。
- ② High レベルを出力するか、Low レベルを出力するか選択する。
- ③ 割り込み可能か否かを指定する(チェックを入れると割り込み可能)。

重要:図 3-12の "Outputs" 候補としてタイマーを強制リセットする信号 TIMER<n>\_GATE (<n>; 1~4)が表示されますが、これは使用しないで下さい。タイマーの開始・停止処理は "Start Timer" や "Stop Timer"で実現します。特に例外処理で本信号を操作すると予期しない動作をする可能性があります。



Ver1.91

コラム: 例外処理とTIMERn\_GATE 信号の操作について

TIMERn\_GATE という信号は下図の様に、内蔵タイマーのクロック・イネーブルとタイマーカウンタ値の LOADn 制御を行うためのマクロセル出力です。

元来本出力は正規シーケンス内で操作し、シーケンサ本体のステートによってマクロセル出力を生成す ることを期待しています。仮に例外処理(Exception)内にて本信号の値を操作すると、シーケンサ本体から の制御と競合する(不一致になる、或いは意図しないタイミングでリセット/ロード・トリガされる)場合が生じ得 ます。そうするとクロック・イネーブルと値のロードが正常に(意図した通りに)行われないこととなり、従ってタ イマー動作が予測不能となり、結果としてシーケンサ入力の "AND Array" で正しい状態遷移のための論 理が構成できないこととなります。すなわち誤動作する(期待動作と異なる、或いは想定していない状態遷 移を引き起こす)可能性が大きくなります。

以上より特に例外処理内での TIMERn\_GATE 信号の直接操作を行うべきではないと言えます。実際にタ イマーを制御する場合、Start Timer / Stop Timer という命令が用意されていますので、その開始と停止は これを用いることによって実現できます。例外処理内であれ、正規シーケンスであれ、基本的に TIMERn\_GATE 信号は直接操作しないことを強く推奨します。





Ver1.91

## 3.1.5 インストラクションの設定方法(Wait for Boolean Condition)

Wait for Boolean Condition インストラクションを選択した場合、図 3-13のように Wait for <br/>
くbooleanExpr>と表示されます。

📕 PAC-Design	er - [Design1.PAC: Sequence	and Supervis	ory Logic]
<u> </u>	ew <u>T</u> ools <u>O</u> ptions <u>W</u> indow <u>H</u> el	Þ	
🗅 🖻 🖥 🎒	\$ \$ \$ \$ \$ \$ \$ \$ \$ \$ \$ \$ \$ \$ \$	+ 🗶 jed	☆ 🖻 🔶 -
] 🕮 🔝 🖫 🙀	EF DC BF PINS logic EF 📝		
Step	Sequencer Instruction	Outputs	Interruptible
SMO Step 0 SMO Step 1	Begin Startup Sequence Wait for AGOOD		no no
SM0 Step 2	Wait for <booleanexpr></booleanexpr>		no
SMO Step 3	Begin Shutdown Sequence		no
SMO Step 4	Halt (end-of-program)		no

図 3-13 Wait for Boolean Condition インストラクション追加後の画面

上記画面にてWait for <booleanExpr>の行をダブルクリックしますと、図 3-15のような画面が起動します。

ĺ	Edit "Wait For Bool" properties		×
	Instruction Preview		ок
	Instruction	Outputs	
	Wait for <booleanexpr></booleanexpr>		Cancel
	Edit Boolean Expression	Output Control	
3	Instruction is interruptible by an exception		
	Comment		

図 3-14 Wait for Boolean Condition インストラクションの設定画面 1

上記画面が起動しましたら、下記3つの設定を行ないます。

- ① "Edit Boolean Expression"をクリックすると、次ページの図 3-16 画面が起動し、論理式の編集ができます(詳細は次ページ)。
- ② 必要に応じ、"Output Control"をクリックすると、前ページの図 3-13 画面が起動し、①で編集する論 理式に連動した出力が設定可能です。
- ③ 割り込みを可能にする場合は、「Instruction is interruptible by an exception」をチェックします。



Boolean Expression Editor	
Boolean Expression	ОК
VMON1_A AND VMON2_B	Cancel
AND OR NOT XOR ( )	
Double-click to add available items to expression	
VMON1_A VMON1_B VMON2_A	
VMON2_B VMON3_A VMON3_B VMON4_A	
VMON4 B	

図 3-15 Wait for Boolean Condition インストラクションの設定画面 2

上記画面にて信号名や AND、OR と言った論理演算子をダブルクリックして追加し、論理式を編集します。例 えば "VMON1\_A" をダブルクリックし、"AND" をクリックした後、"VMON2\_B" をダブルクリックすると、Boolean Expression = VMON1\_A AND VMON1\_B となります。編集後 OK をクリックし、図 3-14 画面へ戻ります。



Ver1.91

## 3.1.6 インストラクションの設定方法(Wait for Timeout Value)

Wait for Timeout Value インストラクションを選択した場合、図 3-16のように Timer1 を使用した場合のインスト ラクションが追加されます。

📡 PAC-Design	er - [Design1.PAC: Sequence	and Supervise	ory Logic]
<u>Eile E</u> dit <u>V</u> i	iew <u>T</u> ools <u>O</u> ptions <u>W</u> indow <u>H</u> elp	þ	
D 🖻 🖥 🎒	4 Q Q 1 2 3 4 1	+   🗶 jed	
፼  ♥ 眥 陥	🖅 🛛 🗠 🖉 🖉 PINS Logic 🔄 📰		
Step	Sequencer Instruction	Outputs	Interruptible
SMO Step O	Begin Startup Sequence		no
SM0 Step 1	Wait for AGOOD		no
SM0 Step 2	Wait for 1966.08ms using timer 1		no
SMO Step 3	Begin Shutdown Sequence		no
SM0 Step 4	Halt (end-of-program)		no
	•		

図 3-16 Wait for Timeout Value インストラクション追加後の画面

上記画面にて Wait for **\*\*\***ms using timer 1 の行をダブルクリックしますと、図 3-17のような画面が起動します。

Edit "Wait for Timeout" prope	rties 🛛 🛛
Timeout:	ок
Timer 1 1966.08ms timeout Timer 2 1966.08ms timeout Timer 3 1966.08ms timeout Timer 4 1966.08ms timeout	Cancel
Edit Timeout properties	
Outputs	
	Output Control
Instruction is interruptible by an exc	ception
Comment	

図 3-17 Wait for Timeout Value インストラクションの設定画面

上記画面にて使用するタイマーを選択します。また、「Edit Timeout properties」をクリックしますと、タイマーの 設定画面が起動します。タイマーの設定方法については、各デバイスのタイマー&クロックの節を参照ください。

割り込みを可能にする場合は、「Instruction is interruptible by an exception」をチェックします。



Ver1.91

# 3.1.7 インストラクションの設定方法(Boolean Condition with Timeout)

Boolean Condition with Timeout インストラクションを選択した場合、図 3-16のように Timer1 を使用した場合 のインストラクションが追加されます。

下 PAC-Design	er - [Design1.PAC: Sequence	and Supervise	ory Logic]
<u> </u>	iew <u>T</u> ools <u>O</u> ptions <u>W</u> indow <u>H</u> el	p	
🗅 🖻 🖥 🎒	QQ 1234 ~	+ 🗶 jed	
]፼ ♥ ‰ ‰	🖅 🛛 📴 🖉 PINS logic 🗐 📰		
Sten	Sequencer Instruction	Outnuts	Interruptible
1 - · · · ·		oatpato	ancerrapcipie
SMO Step 0	Begin Startup Sequence	- outputo	no
SM0 Step 0 SM0 Step 1	Begin Startup Sequence Wait for AGOOD	outpato	no no
SMO Step 0 SMO Step 1 SMO Step 2	Begin Startup Sequence Wait for AGOOD Wait for <booleanexpr> or 1966.08 If Timeout Then Goto 0</booleanexpr>	- auputo	no no no
SMO Step 0 SMO Step 1 SMO Step 2 SMO Step 3	Begin Startup Sequence Wait for AGOOD Wait for <booleanexpr> or 1966.08 If Timeout Then Goto 0 Begin Shutdown Sequence</booleanexpr>		no no no

図 3-18 Boolean Condition with Timeout インストラクション追加後の画面

上記画面にて Wait for 〈BooleanExpr〉 or **\*\*\***ms using timer 1 の行をダブルクリックしますと、図 3-19のよう な画面が起動します。

Instruction	Outputs
Wait for <booleanexpr> or 1966.08ms using Timer 1 If Timeout Then Goto 0</booleanexpr>	Cancel
1 <u>E</u> dit Boolean Expression	Output Control
Timeout if above condition is not satisfied by this time         Timer 1       1966.08ms timeout         Timer 2       1966.08ms timeout         Timer 3       1966.08ms timeout         Timer 4       1966.08ms timeout	imeout properties
On Timeout Goto Sequencer step	with Outputs
Instruction is interruptible by an exception	
Comment	

図 3-19 Boolean Condition with Timeout インストラクションの設定画面

上記画面が開きましたら、下記5つの設定を行ないます。

- ① Edit ボタンを押し、ブーリアン形式の論理式の設定を行なう(設定方法は、3.1.5節と同様)。
- ② 出力設定の選択を行なう(設定方法は3.1.4節と同様)。
- ③ タイマーの選択を行なう(設定方法は、3.1.6節と同様)。
- ④ タイムアウトした場合の、どのステップに移行するかを設定する(同時に出力設定も可能)。
- ⑤ 割り込み可能か否かを指定する。



Ver1.91

## 3.1.8 インストラクションの設定方法(If/Then/Else)

If / Then / Else インストラクションを選択した場合、図 3-20のように If <booleanExpr> Then Goto 0 Else Goto 0 と表示されます。

下 PAC-Design	er - [Design1.PAC: Sequence	and Supervise	ory Logic]
<u> </u>	iew <u>T</u> ools <u>O</u> ptions <u>W</u> indow <u>H</u> el	P	
🗅 🖻 🖥 🎒	\$ \$ \$ \$ \$ <b>1</b> 2 3 4 \	+ 🗶 jed	<b>☆</b> 🖗 ← →
]፼ ♥ ‰ ‰	🖅 🛛 🗠 🖉 🖉 PINS logic 🔄 📝		
Step	Sequencer Instruction	Outputs	Interruptible
SMO Step 0	Begin Startup Sequence		no
SMO Step 1	Wait for AGOOD		no
SMU Step 2	Wait for <booleanexpr> or 1966.08</booleanexpr>		
SMU Step 2	Wait for <booleanexpr> or 1966.08 If Timeout</booleanexpr>		
SMU Step 2	Wait for <booleanexpr> or 1966.08 If Timeout Then Goto 0</booleanexpr>		no
SMU Step 2 SMO Step 3	Wait for <booleanexpr> or 1966.08 If Timeout Then Goto 0 Begin Shutdown Sequence</booleanexpr>		no no
SMU Step 2 SM0 Step 3 SM0 Step 4	Wait for <booleanexpr> or 1966.08 If Timeout Then Goto 0 Begin Shutdown Sequence Halt (end-of-program)</booleanexpr>		no no no

図 3-20 If/Then/Else インストラクション追加後の画面

上記画面にて If <booleanExpr> Then Goto 0 Else Goto0 の行をダブルクリックしますと、図 3-21のような画面 が起動します。

	Conditional branch (IfThenElse)	×
		OK OK
	If <booleanexpr> Then Goto 0 Else Goto 0</booleanexpr>	Cancel
	Edit Boolean Expression     Output C	Control
₃{	Then Goto Step 0	
_ ι	Else Goto Step 0 🔹 with Outputs	
4	Instruction is interruptible by an exception	
	Comment	

図 3-21 If/Then/Else インストラクションの設定画面

上記画面が開きましたら、下記4つの設定を行ないます。

- ① Edit ボタンを押し、ブーリアン形式の論理式の設定を行なう(設定方法は、3.1.5節と同様)。
- ② 出力設定の選択を行なう(設定方法は 3.1.4 節と同様)。
- ③ ①の条件が成立した場合(Then)と成立しない場合(Else)の、ステップの移動先を設定する(同時に出力設定も可能)。
- ④ 割り込み可能か否かを指定する。



Ver1.91

## 3.1.9 インストラクションの設定方法(If / Then / Else with Timeout)

If / Then / Else with Timeout インストラクションを選択した場合、図 3-22のように If <booleanExpr> Then Goto 0 Else If Timer1 Then Goto 0 と表示されます。

🗾 PAC-Design	er - [Design1.PAC: Sequence	and Supervis	ory Logic]
<u>Eile E</u> dit <u>V</u> i	iew <u>T</u> ools <u>O</u> ptions <u>W</u> indow <u>H</u> elp	)	
🗅 🖻 🖥 🎒	4 Q Q 1 2 3 A 1	+   🗶 jed	☆ 🖾 🗧 →
國際情報	E    00   00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00    00	2011) 2019	
Step	Sequencer Instruction	Outputs	Interruptible
SMO Step 0 SMO Step 1	Begin Startup Sequence Wait for AGOOD		no no
SMO Step 0 SMO Step 1 SMO Step 2	Begin Startup Sequence Wait for AGOOD If <booleanexpr> Then Goto 0 Else If Timer 1 Then Goto 0 Else Goto 0</booleanexpr>		no no no

図 3-22 If / Then / Else with Timeout インストラクション追加後の画面

上記画面にて If <booleanExpr> Then Goto 0 Else If Timer1 Then Goto 0 の行をダブルクリックしますと、図 3-23のような画面が起動します。①~⑤については同時に出力設定も可能です。

Instruction Preview			(OK
Instruction If < booleanExpr> Then Goto 0 Else If Timer 1 Then Goto 0 Else Goto 0		Outputs	Cancel
<u>E</u> dit Boolean Express	ion	Output Control	
Timeout if above condition is not as Timer 1 1956 08ms timeout Timer 2 1956 08ms timeout Timer 3 1956 08ms timeout Timer 4 1966 08ms timeout	atisfied by this time	imeout properties	
On Timeout Goto Sequencer step	(4) Step 0 • (4)	with Outputs	
El <u>s</u> e Goto Sequencer step	5 Step 0 .5	with Outputs	
Comment	exception		

図 3-23 If/Then/Else with Timeout インストラクションの設定画面

上記画面が開きましたら、下記6つの設定を行ないます。

- ① Edit ボタンを押し、ブーリアン形式の論理式を設定する(設定方法は、3.1.5節と同様)。
- ② ①の条件が成立した場合(Then)の、ステップの移動先を設定する。
- ③ タイマーの選択を行なう(設定方法は、3.1.6節と同様)。
- ④ 選択したタイマーが満了している場合の、ステップの移動先を設定する。
- ⑤ 選択したタイマーが満了していない場合の、ステップの移動先を設定する。
- ⑥ 割り込み可能か否かを指定する。

・本インストラクションでは、タイマーは開始しませんので Start Timer インストラクションにて Timer をスタートさせておく必要があります。



#### 3.1.10 インストラクションの設定方法(Goto)

Goto インストラクションを選択した場合、Go to Step0と表示されますので、Go to Step0の行をダブルクリックしますと、図 3-24のような画面が起動します(下記は Outputs で2系統の出力制御を設定済みの画面例です)。

	Edit "Goto" instruction properties 🛛 🛛
	Step number OK
1	Step 0  Cancel
	Outputs
	HVOUT1 = 0 OUT6 = 1
3	Instruction is interruptible by an exception
	Comment

図 3-24 Goto インストラクションの設定画面

上記画面が開きましたら、下記3つの設定を行ないます。

- ① 移動先のステップを選択します。
- ② 必要に応じて、出力設定を行なう。
- ③ 割り込み可能か否かを指定する。



Ver1.91

### 3.1.11 インストラクションの設定方法(Start Timer/Stop Timer)

Start Timer もしくは Stop Timer インストラクションを選択した場合、Start Timer 1(\*\*\*ms)もしくは、Stop/Reset Timer1 と表示されますので、この行をダブルクリックしますと、図 3-25のような画面が起動します。

	Start Timer 🛛 🛛 🔀
	Timeout: OK
	Timer 1       1966.08ms timeout         Timer 2       1966.08ms timeout         Timer 3       1966.08ms timeout         Timer 4       1966.08ms timeout
	② Edit Timeout properties
	Outputs
3	Output Control
	④ 🥅 Instruction is interruptible by an exception
	Comment

図 3-25 Start Timer/Stop Timer インストラクションの設定画面

上記画面が開きましたら、下記4つの設定を行ないます。

- ① 使用するタイマーを選択する。
- ② この画面からも必要に応じてタイマーの設定を変更可能。図 2-10の右側と同様の画面が開き、2.5節に記載の方法と同様にタイマーの設定を行なうことが可能。
- ③ 必要に応じて、出力設定を行なう。
- ④ 割り込み可能か否かを指定する。

Start Timer および Stop Timer は、If / Then / Else with Timeout インストラクションや Wait for Boolean インストラクションと組み合わせて使用します。タイマーがリセット時および満了前は内部の Timer<n>\_TC 信号が"0"となり、タイマーが満了すると"1"となります。

Start Timer / Stop Timer インストラクションを使用する場合、Timer Gate のピンタイプを JK にする必要があります。



Ver1.91

## 3.1.12 インストラクションの設定方法(例外処理)

例外処理を追加するには、シーケンスの下の枠に表示されている<end-of-exception-table>の行をダブルクリックします。

📕 PAC-Design	er - [Design1.PAC:	Sequence and S	upervisory Logic]		
<u> </u>	iew <u>T</u> ools <u>O</u> ptions <u>V</u>	<u>v</u> indow <u>H</u> elp			
🗅 🗃 🖶 🎒	49912	3, 7   1 +	🐓 JED 🛛 🟠 😰 🔶	$\rightarrow$	
]፼ ♥ "⊑ "A	E   C; E   E   PINS by	io 📃 🗾 🚟			
Step	Sequencer Instruction			Outputs	
SMO Step 0 SMO Step 1 SMO Step 2 SMO Step 3	Begin Startup Sequence Wait for AGOOD Begin Shutdown Sequen Halt (end-of-program)	се			
Exception ID Bo	olean Expression	Outputs	Exception Handler	Comment	
E 0 If <booleanexpr> <no 0="" at="" outputs="" spe="" starts="" step="" th="" 🍙<=""></no></booleanexpr>					
e de	nd-of-exception-table>		17		
	図 3-26	例外処理の設	定の起動		

<end-of-exception-table>の行をダブルクリックしますと、図 3-26のようにif <booleanExpr>という1行が追加さ れますので、この行をダブルクリックして、図 3-27のような設定画面を起動します。

	Exception (	roperties 🛛						
	Expression wł	ich triggers the exception:						
	Excep	ion will make sequencer go to 🛛 Step 0 💽 🕗						
	(Jump only occurs when instruction is Interruptible)							
	Dutputs controlled by expression							
	(Outputs are active at all times; interruptible flag is ignored).							
	HVOUT1 HVOUT2 HVOUT3 HVOUT4							
	In use:	Change this output signal						
3	Set Value:	$\ensuremath{\mathbb{C}}$ Asynchronously set to 1 when expression is true. (RS FF)						
		$\ensuremath{\mathbb{C}}$ Asynchronously set to 0 when expression is true. (RS-FF)						
		C Synchronously follows expression. (D-FF)						
U		<ul> <li>Synchronously follows inverse of expression. (D-FF Emulation)</li> </ul>						
	Comment							

図 3-27 例外処理の設定画面

上記画面が開きましたら、下記3つの設定を行ないます。

- ① Edit ボタンを押し、ブーリアン形式の論理式の設定を行なう(設定方法は、3.1.5節と同様)
- ② ①の条件が成立した場合(Then)の、ステップの移動先を設定する。
- ③ 出力信号の状態を変化させる場合は、出力信号を選択し、変化後の出力状態を設定します。



Ver1.91

## July.2011

### 3.1.13 監視ロジック出力回路の生成(Supervisory Logic Equation)

監視ロジック出力回路(ステップ実行とは関係なく常時監視)を追加するには、シーケンス・コントローラの下の枠に表示されている<end-of-supervisory-logic-table>の行をダブルクリックします。



#### 図 3-28 監視ロジック出力回路設定画面の起動

<end-of- supervisory-logic -table>の行をダブルクリックしますと、図 3-29のように HVOUT= <booleanExpr>
という1行が追加されますので、この行をダブルクリックして、図 3-30のような設定画面を起動します。

	Supervisory Logic Equation Entry
	Output Macrocell OK
1	HVOUT1 Output, registered, JK flip-flop
	Type of assignment
2	OUTx = <boolexpr> (combinatorial)</boolexpr>
	Boolean Expression
	③
	Comment:

図 3-29監視ロジック出力回路の設定

上記画面が開きましたら、下記3つの設定を行ないます。

- ① 組み合わせ論理を出力するピンを指定します。
- ② アサインのタイプを選択します。
- ③ Edit ボタンを押し、ブーリアン形式の論理式の設定を行なう(設定方法は、3.1.5節と同様)。

出力ピンのタイプと、アサインタイプの組み合わせには制限があります。表 3-1にて可となっている組み合わ せのみ可能です。必要に応じて、ピンタイプの定義を変更してください。

		その他注意点		
アサインタイプ	Pin=JK FF	Pin=D-type FF	Pin=Combinatorial	-
Combinatorial	不可	不可	可	_
D	不可	可	不可	_
.ap (async set to 1)	可	可	不可	Active High
.ar (async reset to 0)	可	可	不可	Active High

表 3-1 ピン定義とアサインタイプ



Ver1.91

#### 3.1.14 コンパイル方法

シーケンスの設定が完了しましたら、コンパイルを実行します。PAC-Designer のシーケンス・コントローラの画面にて、2つの方法によりコンパイルを実行することができます。

- ① メニューから[Tools]→[Compile LogiBuilder Design]を選択する。
  - ② Compile Design アイコンをクリックする。



図 3-30 コンパイルの実行

コンパイルを開始すると MS-DOS 画面が起動し、正常に完了すると図 3-31のような画面が表示されますの で、OKボタンを押してコンパイルを終了します。

Compilation Result	
Your design compiled and fitted successfully!	OK )
Click here to see the fitter report.	
NOTE: Use File->Export to save a Jedec file for this design. This copies the latest PLD fusemap and the current analog settings information into the Jedec file.	

図 3-31 コンパイル成功画面

シーケンスに問題がある場合は、図 3-32のような画面が表示され、OKボタンを押すとにエラーの内容が表示されますので、エラーを修正し、再度コンパイルを実施します。



図 3-32 コンパイル成功画面



図 3-33 コンパイルエラーの内容



\_\_\_\_\_

Ver1.91

July.2011

3.1.15 エラー、ワーニングと対処方法

本節ではコンパイル時に良く出るエラーメッセージについて説明します。

Error 3: Instructions that start a timer may not follow one another. This includes WaitFor\_Timer or Start\_Timer instructions.

WaitFor Timer や Start Timer 等のタイマーをスタートさせるインストラクションを連続させた場合に、このエラー が発生します。ソフトウェアの制限によりタイマーを連続して使用することはできません。タイマーインストラクショ ンの間に NOP(No Operation)インストラクションを追加することで対処可能です。

Error 8: At least one OUTPUT instruction is required, with at least one write. Reason: The ABEL language used to implement the PLD requires at least one output. \_\_\_\_\_

シーケンス内に OUTPUT インストラクションが一つも無い場合に、このエラーが発生します。少なくとも1つ以上 の OUTPUT インストラクションを用いる必要があります。

Error 10: Exception has empty Boolean Expression.

\_\_\_\_\_

\_\_\_\_\_

例外処理(Exception)の追加だけされており、Boolean Expression 設定が空の場合表示されます。 設定を完了させるか、使用しない場合は該当行を削除します。

Error 14: Supervisory Logic equation has empty Boolean Expression.

\_\_\_\_\_\_

Supervisory Logic equationの追加だけされており、Boolean Expression設定が空の場合表示されます。設定 を完了させるか、使用しない場合は該当行を削除します。

Error 22: StartTimer requires Timer to be in JK-mode.

Start Timer インストラクション使用時に、使用するタイマーの Timer Gate 信号のタイプが D タイプになっている 場合に、このエラーが発生します。ピンの定義画面にて、該当信号を JK タイプに変更してください(設定方法 は、3.1.2節を参照)。

\_\_\_\_\_

上記以外のエラーメッセージが出力された場合は Lattice か代理店の FAE に問い合わせてください。



Ver1.91

#### July.2011

#### 3.2 ABEL ソースコードの表示

シーケンスのコンパイルが完了しますと、ABEL のソースファイルが生成されます。PAC-Designer のシーケン ス・コントローラの画面にて、メニューから[View]→[ABEL Source]を選択することで ABEL ソースファイルを参照 することができます。



図 3-34 ABEL ソースファイルの表示

上記を実行しますと、図 3-35のような画面が起動し ABEL ソースファイルが表示されます。



図 3-35 ABEL ソースファイルの表示例



Ver1.91

#### 3.3 ABEL ソースの編集

生成された ABEL ソースファイルは編集することも可能です。PAC-Designer のシーケンス・コントローラの画面 にて、図 3-37 の ABEL ソースファイルを表示している状態で、メニューから[Edit]→[Enable ABEL Editing]を選 択します。

📕 P AG-	-Desi	igner	- IPOV	/RI 220 A	T8-1-S	St_Seq_R
<u> </u>	<u>E</u> dit	⊻iew	Tools	Options	Window	<u>H</u> elp
🗋 🖻 😅	Gu			Ctrl+X	1 4	$ \gamma +  $
	<u>C</u> op <u>P</u> as	oy ste		Ctrl+C Ctrl+V		2
Module " Targe	Del	ete		Del	_:20A7	.8
" ABEL' " by P#	Ena COQE 4C—De	able AB e gen esign	EL Editi erated er MSN	i on :	ursday jenerat	7, June cor: bui

図 3-36 ABEL ソースファイルの編集有効設定

上記を実行し、編集を有効にしますと図 3-38 の様に表示しているソースファイルの背景が白くなり、編集可能な状態となります。



- ABEL ソースファイルを編集した場合は、再度コンパイルを実行する必要があります。
- ・ ABEL ソースファイルの編集は、推奨しておりません。編集を行なう場合には、予めバックアップを 取ることをお勧め致します。



Ver1.91

#### July.2011

#### 3.4 シーケンスのシミュレーション

PAC-Designer では、作成したシーケンスのシミュレーションを行なうことが出来ます。但し、シーケンスをコントロールするディジタル部分のみシミュレーション可能で、センス電源管理部のアナログシミュレーションは含みません。PAC-Designer のシーケンス・コントローラの画面にて、以下2つの何れかの方法によりシミュレーション波形の入力画面を起動します。

- ① メニューから[Tools]→[Run Waveform Editor]を選択する。
- ② Waveform Editor アイコンをクリックする。



図 3-38 シミュレーション波形入力画面の起動

上記の方法により起動しますと、図 3-39のような画面が表示されます。



図 3-39 シミュレーション波形入力画面

上記画面起動時、入出力信号および CLK\_IN(内部クロック)と RESET(アクティブ Low の外部リセット信号)が、 デフォルトでリストアップされます。



# 3.4.1 クロックとシミュレーション時間の設定

まず、クロック周波数とシミュレーション時間の設定を行ないます。

図 3-39の波形入力画面にて CLK\_IN をダブルクリックしますと、図 3-40のような画面が起動します。

Edit Glock and Sim	ulation Time	
Clock Frequency 250	⊂ Hz ⊙ kHz	Cancel
Clock Duration	⊂ us ● ms ⊂ seconds	

図 3-40 クロックとシミュレーション時間の設定画面

上記画面が起動しましたら、クロック周波数とシミュレーション実行時間を入力し、OKボタンをクリックします。

## 3.4.2 入力信号波形の設定

続いて、入力信号の設定を行ないます。 図 3-39の波形入力画面にて入力信号をダブルクリックしますと、図 3-41のような画面が起動します。

Edit INP_5V_OK Wa	veform			×
Waveform Name	CCC OK			
Initial State (t1) C HIGH C LOW	Index Level	Duration	Total Time	Cancel
				Oelete Segment 3 Add Segment
	2) Segment	Duration		0 us (4) Change Segment

図 3-41 入力信号波形の設定

上記画面が開きましたら、下記4つの設定を行ないます。

- ① Initial State で HIGH もしくは LOW を選択する。
- Segment Duration に①で選択した値の保持時間を入力します。
- ③ 続いて値を変化させるには、Add Segment ボタンをクリックします。
- ④ Change Segment ボタンをクリックし、保持時間を設定します。



#### 3.4.3 シミュレーションの実行

シミュレーション波形の入力が完了しましたら、波形を保存しシミュレーションを実行します。 シミュレーションは、以下2つの何れかの方法により実行します。

- ① メニューから[Tools]→[Run PLD Simulator]を選択する。
- ② PLD Simulator アイコンをクリックする。
  - ・ シーケンス・コントローラ画面表示時のみ実行可能です。

PAC-Design	er - [POWR1220AT8-1-	-SSt_Seq_RG_Sup_Trm
<u> </u>	ew <u>T</u> ools <u>O</u> ptions <u>W</u> indo	w <u>H</u> elp
🗅 🖻 🖥 🎒	+ Q Q 1 2 3 7	A,   🔨 🕂   🗶 JED 🛛 🖀
國世生	E DC- ST PINS Logic	1 🖬 🙀
Step	Sequencer Instruction	PLD Simulator
SM0 Step 0 SM0 Step 1	Begin Startup Sequence Wait for AGOOD	

図 3-42 シミュレーション波形入力画面の起動

コンパイルを開始すると MS-DOS 画面が起動し、図 3-43のような画面でシミュレーション結果が表示されます。

📆 Waveform Viewer – PO	WR1220AT8-1-S	ST_SEQ_RG_SUP_TRM				
<u>Eile E</u> dit <u>V</u> iew Object <u>T</u> oo	ols <u>O</u> ptions <u>J</u> ump	<u>H</u> elp				
<b>2 4 4 4 5</b>	2 🙍 🖾 🖉	<u>/</u> ?				
34.4 us	0 20 	∣ 40 ₹	60 l	80 	100 	120
PLD_CLT_EN						
BROWN_OUT_INTR_B						
CPU_RESET_B						
EN_1V8_B						
RESET						
CLK_IN	mm			uuu	uuu	nnnn
<b>≤</b> Zoom Out - Pick Center	Point					

図 3-43 シミュレーション結果例



## 3.4.4 汎用 HDL シミュレータを使用する方法

シミュレーション・ツールとして汎用のHDLシミュレータを使用することも可能です。ファイルメニューから [File] → [Export]を選択します(図 3-45)。

-	F PAC-Designer - [POWR1220AT8-1-SSt_Seq_RG										
	<u>F</u> ile	<u>E</u> dit	⊻iew	Tools	Options	Window	<u>H</u> elp				
Г	<u>N</u> e	W					Ctrl+N				
	Op	en					Ctrl+O				
	<u>C</u> lo	)se									
	Save Ctrl+S										
	Save <u>A</u> s										
	Import										
	Import ispPAC-POWR1014/A design										
	<u> </u>	oort									



Export	3
Export What:	
Verilog File	3
Jedec File	
SVF File <u>C</u> ancel	
Schematic	
LogiBuilder	
Margin/Trim	
Export To:	
File:	
···	
C:\PAC-Designer53\Examples\POWR1220AT8-1-SSt_Seq_R(	
(2) Browse	
Clipboard	

図 3-45フォーマットの選択

図 3-46の画面が開きましたら、下記3つの設定を行ないます。

- ① Export What で VHDL File か Verilog File を選択。
- ② Browse ボタンをクリックし、Export Toの File 欄にファイルの生成場所とファイル名を指定。
- ③ OK ボタンを押し、ファイルを生成する。

尚、汎用 HDL シミュレータ用の POWR デバイスライブラリは、PAC-Designer をデフォルトでインス トールした場合、下記に保存されています。

C:¥PAC-Designer53¥cae\_library¥simulation¥verilog¥powr¥src C:¥PAC-Designer53¥cae\_library¥simulation¥vhdl¥powr¥src



Ver1.91

## 3.5 供給電源ランプレートのシミュレーション

PAC-Designer では、HVOUT 出力で制御する供給電源のランプレートをシミュレーションすることが可能です。 まずメニューの「Tools」→「Design Utilities…」を選択しますと、図 3-46のような画面が起動します。

Design Utilities	×
ispPAC-ExtractFromPacFiles.exe PowerManager_1014_I2C_Utility.exe PowerManager_1220_I2C_Utility.exe PowerManager_6AT6_I2C_Utility.exe PowerManager_HVOUT_Sim_exe PowerManager_WaveformEditor.exe ispPAC80 Filter Configurations Waveform Editor	OK Cancel
Description PAC-Designer Designer Utilites.	

図 3-46 デザイン・ユーティリティ選択画面

上記画面より「PowerManagerHVOUT\_Sim.exe」を選択しますと、図 3-47のような画面が起動します。



図 3-47 高電圧出力 シミュレータ

高電圧シミュレータが起動しましたら、HVOUTからの出力ピンに接続される FET および周辺回路についての パラメータを調整します。



Ver1.91



図 3-48 MOSFETの設定

高電圧シミュレータ画面にて、MOSFET付近をダブルクリックしますと、図 3-49のような画面が起動します。



図 3-49 MOSFET ライブラリ

上図の画面が起動しましたら、一覧から MOSFET を選択します。 また、Add FET ボタンをクリックすることで、新規にライブラリを追加することが可能です。 登録されているライブラリを編集するには、Edit FET ボタンをクリックします。



MOS-FET のライブラリを選択しましたら、その他のパラメータを編集します。 各パラメータ上(マウスアイコンが ( ) に変化する場所)をダブルクリックしますと、編集画面が起動します。



図 3-50 パラメータの編集



図 3-51 シミュレーションの実行

各パラメータの編集が完了しましたら、Simulate ボタンをクリックしシミュレーションを実行します。



Ver1.91

シミュレーションを実行しますと、図 3-52のような画面が起動します。

本画面では、「ディヴィジョンの変更」、「カーソルの表示」、「カーソル位置に対する電圧」、「時間の表示」、「2 点間の傾きの表示」、「印刷」、「CSV ファイルへの出力」を行なうことが出来ます。

尚、カーソル1は左クリックを押しながら、カーソル2は右クリックを押しながら移動することが可能です。



図 3-52 シミュレーション画面

## 3.6 UES エディタ

各デバイスの UES エディタ部(図 2-1 で示すメインウインドウ右下の UES エディタ部)をダブルクリックすると 図 3-53のような画面が起動します。ここで、設定したい bit を選択した状態で Toggle ボタンをクリックするか、 各ビットをダブルクリックすると値が"0","1"交互に変化しますので、各ビット値を設定します。

UES Editor	×
<u>B</u> it number / Bit Value	
UES bit0 1	<u> </u>
UES bit2 1	<u>C</u> ancel
UES bit4 1 UES bit5 1	
UES bit6 1 UES bit7 1	Toggle
UES bit8 1	
Hex: FFFFFFFF	

図 3-53 UES エディタ

設定が完了しましたら、OK ボタンを押して終了します。



Ver1.91

# 4 デバイスへの書き込み

デバイスへの書き込み方法は、PAC-Designerから書き込む方法と、ispVM Systemを使用する方法の2種類があります。

但し、Ver4.97以前のPAC-Designerから書き込む場合は、パラレルポート・ダウンロード・ケーブルのみに対応 しておりますので、必ず ispVM System から書き込みをしてください(Ver4.98以降では USB タイプにも対応してい ます)。

### 4.1 PAC-Designer からの書き込み

## 4.1.1 ダウンロード・ケーブルの設定(Ver4.98 以降)

PAC-Designer4.98 以降では、デバイスへのダウンロードを行なうケーブルとして、パラレルポートタイプと USB タイプを使用することが出来ます。PAC-Designer からダウンロードを行なうためには、どちらのタイプのダウン ロード・ケーブルを使用するかを設定する必要があります。

ダウンロード・ケーブルの設定を行なうには、メニューから[Options]→[Cable and I/O Port Setup]を選択します。



図 4-1 ダウンロード・ケーブルの設定画面の起動

Cable and L/O Port Setup 🛛 🛛 🛛							
Programming Cable Interface							
Uses PC Parallel Port (at port 3BC, 378, or 278)							
C <u>h</u> ange							
Configure and Test Parallel Port interface							
1/0 port address							
<u> </u>							

図 4-2 ダウンロード・ケーブルの設定

図 4-2のような画面が起動しましたら、Change ボタンをクリックします。



Ver1.91

Change Programming Cable Interface	×
Programming Cable Interface: Uses PC Parallel Port (at port 3BC, 378, or 278) Uses PC USB Port	OK Cancel
Note: Changing the interface will disable all JTAG programming until PAC-Designer is restarted.	

図 4-3 ダウンロード・ケーブルの選択

図 4-3のような画面が起動しましたら、Parallel タイプか USB タイプかを選択し、OK ボタンをクリックします。

# 4.1.2 デバイスへのダウンロード

PAC-Designer からデバイスへの書き込みを行なうには、以下2つの方法により実行することができます。

- ① メニューから[Tools]→[Downloads]を選択する。
- ② Downloads アイコンをクリックする。

-	PAC	-Desi	gner -	[POW	/R1220A	T8-1-S	St_Seq	RG Sup	Trm.P	AC:	Sei
	<u>F</u> ile	<u>E</u> dit	⊻iew	Tools	<u>O</u> ptions	<u>W</u> indow	<u>H</u> elp				
	ነ 🖻	₽ €	<b>∌</b>  -⊕.	€€	12	3, 3	$  \uparrow +$	- 🗶 jei		Ţ.	÷
	Hz/	Hz F	<b>a</b> E	DC- DC	💽 🛛 PINS	logic 🗐		Down	nload		

図 4-4 デバイスへの書き込み


Ver1.91

### July.2011

#### 4.2 ispVM System からの書き込み

PAC-Designer 上で JEDEC ファイルを生成することで、CPLD や FPGA 同様に ispVM System を使用して書き 込みを行なうことが可能です。

JEDEC ファイルを生成するには、以下2つの方法により実行することができます。

- (ア) メニューから[File]→[Export]を選択する(下記図 4-6 の設定画面)。
- (イ) Export JEDEC File アイコンをクリックする(保存場所を示すダイアログ画面と共に、Jedec ファイルが出力直接出力されます)。

 PAC-Designer - [POWRI22DAT8-1-SSt\_Seq\_RG\_Sup\_Trm.PAC: Schem

 ■ Eile Edit View Tools Options Window Help

 □ 2 3 4 1 + 100

 □ 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

 □ 10 2 3 4 1 + 100

図 4-5 JEDEC ファイルの生成

Export		<b>X</b>	
Export What:			
Jedec File	1	<u>0</u> K	4
In this forma <u>t</u> :		<u>C</u> ancel	
Standard JEDEC File	2		
1			
Export To:			
• <u>F</u> ile:			
C:\PAC-Designer53\Examples\POWP	1220AT8-1-9	SSt_Seq_R(	
	3	Browse	
Clipboard			

図 4-6 JEDEC ファイルの生成

図 4-6の画面が開きましたら、下記4つの設定を行ないます。

- ① Export What で Jedec File を選択。
- ② In this format で Standard JEDEC File を選択。
- ③ Browse ボタンをクリックし、Export To の File 欄に JEDEC ファイルの生成場所とファイル名を指定
- ④ OK ボタンを押し、ファイルを生成する。



Ver1.91

JEDEC ファイル生成後の、書き込み方法は CPLD/FPGA と同様です。 詳細は、ispLEVER ユーザーマニュアルの ispVM System 編を参照ください。

JEDEC ファイルを生成しますと、ヘッダー部に Author(設計者)が入ります。 この欄が、日本語(2 バイト文字)の場合デバイスへの書き込みが正常に行なえませんので Author を空欄もしくは、半角文字に変更する必要があります。

Author の変更は、メニューの[File]→[Summary Information]を選択し、図 4-7のような画面にて変更します。

Summary	Information	×
Filename:	POWR1220AT8-1-SSt_Seq_RG_Sup_Trm.PAC	<u>0</u> K
Device:		Canaal
<u>T</u> itle:	Start 3V and 5V supplies, Generate Reset and Brown out	
<u>S</u> ubject:	Design Complexity: Simple	
<u>A</u> uthor:	Lattice Applications Group	
<u>K</u> eywords:	ispPAC-POWR1220AT8	
<u>C</u> omments:	Refer to "Design Examples.PPT" (Page 9) in Directory <pac-designer root="">/ Examples Description: VMON1 to 6 monitor input supply voltages EN_2.5_b, En_1V8_B are active low DC-DC Converter Brown-out_Intr_b active low interrupt to CPU if supply fa SS_5V_3V3V_En soft-starts 3.3 and 5V through MOSFE 2.5V and 1.8V supplies should be trimmed to 1% of the S External Voltage profile pins connected to '00' Limit inrush current on 3.3V and 5V bus by MOSFET turn- Sequence 2.5V and 1.8V, After all Supplies stabilize, enab Closed loop trim mechanism The first time, release CPU reset with pulse stretch when supplies all supplies stabilize</pac-designer>	enables nils ET Set voltage le

図 4-7 Summary Information 画面



Ver1.91

### 5 I2C Utility

デバイスへの書き込み後、I2C を搭載しているデバイス(POWR1014A, 1220AT8 及び 6AT6)では、USB・パラレルのダウンロード・ケーブルを使用し、デバイス内部レジスタへのリードライトが可能です。ダウンロード・ケーブルの接続先は、POWR デバイスの JTAG 端子ではなく、I2C 端子となります。

あらかじめ、デザインで I2C インタフェース用のデバイスアドレスを指定します(本資料 33-34 ページ参照)。 メニューの「Tools」→「Design Utilities…」を選択しますと、図 5-1 のような画面が起動します。

Design Utilities	×
ispPAC-CLK_Freq_Synthesizer.exe ispPAC-CLK_Skew_Editor.exe ispPAC-CLK_Skew_Editor.exe powerManager_1014_I2C_Utility.exe PowerManager_1014_I2C_Utility.exe PowerManager_6AT6_I2C_Utility.exe PowerManager_HVOUT_Sim.exe PowerManager_WaveformEditor.exe ispPAC80 Filter Configurations	OK Cancel

図 5-1デザイン・ユーティリティ選択画面

使用するデバイスに合わせ、ユーティリティツールを選択し、OK を押すと図 5-2 の様な I2C ユーティリティが起動します。



図 5-2 I2C ユーティリティ (POWR1220AT8 の場合)



**Option** の I2C Interface を起動し (図 5-3)、図 5-4 の画面にてダウンロード・ケーブルの種類を設定 します。

1 ispPAC-POWRI220AT8 I2C Utility						
<u>F</u> ile	⊻iew	<u>O</u> ptions	<u>H</u> elp			
I2C Interface						

図 5-3 I/O セットアップの起動

Cable and VO Port Setup	X
Programming Cable Interface Uses PC USB Port	
	Change
Configure USB interface Settings	
	Cancel

図 5-4 I/O セットアップ画面

I2C ユーティリティの I2C アドレスを、あらかじめデザインで設定している値に合わせます(図 5-5)。 設定後は各メニューボタンにてレジスタ・アクセスが可能です。



図 5-5 I2C アドレスの設定



Ver1.91

## 6 Appendix

6.1 ピンの外部処理方法

## 6.1.1 ispPAC-POWR1220AT8 のピン外部処理方法

表 6-1 ispPAC-POWR1220AT8のピン外部処理方法

ピン名	使用時	未使用時					
VPS[10]	_	GND に接続を推奨(オープンも可)					
IN[61]	_	GND に接続					
VMON[121]	_	GND に接続を推奨(オープンも可)					
VMONCS[19, 1]	GND に接続 (VMONGSx ピ	ンは必ず接続してください。					
VMONG5[121]	また、GNDA に対して-0.2V~+0.3V 以内にして下さい)						
GNDD	CND に接続(CNDA と CNDD は ボードトの同じ CND に接続して下さい)						
GNDA	GND に按続 (GNDA と GNDD は、 かート上の回し GND に接続して トさい)						
VCCD	2.8V~3.96V を供給(	VCCPROG オープン)					
VCCA	(VCCDとVCCAは、ボード上の	の同じ VCC に接続して下さい.)					
VCCINP	2.25V~3.6	6V を供給					
VCCJ	$2.25V\sim3.6$	5V を供給					
VCCPROG	3.0V~3.6V を供給	オープン					
Veennee	(VCCD 及び VCCA オープン)	~ ~ ~ ~					
HVOUT[4, 1]	(FET ドライバ時)	オープン					
	外部プルアップ(オープンドレイン出力時)	オーブン					
SMBA_OUT5	外部プルアップ	オーブン					
OUT[206]	外部プルアップ	オープン					
TRIM[81]	_	オープン					
RESETb	オープン(必須)	オープン(必須)					
PLDCLK	_	オープン					
MCLK	_	オープン					
TDO	_	オープン					
ТСК	外部プルダ	ウンを推奨					
TMS	外部プルア	ップを推奨					
TDI	_	オープン					
ATDI	_	オープン					
TDISEL	GND に接続	オープン					
SCL, SDA	外部プルアップ	GND に接続					
RESEVED	何も接続しな	いで下さい					
NC	何も接続しないで下さい						

「一」は、プルアップやプルダウンを外部に必要としないことを意味します。

・ RESETb に外部プルアップ/プルダウン抵抗は一切接続しないで下さい。デバイスの初期化 が正常に行われず、誤動作をする可能性が大きくなります。複数デバイスを同期動作させる 場合にのみワイヤド OR 接続で使用します。

※パワーマネージャ・デバイスへプログラムするための JTAG I/F は、他の FPGA 等の JTAG デバイスと同一 チェーンとしないことを推奨します。チェーン上のデバイスへの電源をパワーマネージャで制御している場合、 チェーン上のデバイスへの電源が OFF されていることにより、JTAG チェーンとして成立しない可能性を防ぐため です。



SMBA\_OUT3

OUT[14..4]

RESETb

PLDCLK

MCLK TDO

TCK

TMS

TDI ATDI

TDISEL

SCL

SDA

Ver1.91

も可)

オープン

オープン

オープン(必須)

オープン

オープン

オープン

オープン

オープン

オープン

GND に接続(POWR1014のみ)

GND に接続(POWR1014のみ)

### 6.1.2 ispPAC-POWR1014/A のピン外部処理方法

ピン名	使用時	未使用時					
IN[41]	_	GND に接続					
VMON[101]	_	GND に接続を推奨(オープンもF					
GNDD							
GNDA	GND に按応(GNDA C GNDD は、かう	「上の向し GND に按応して「さい」					
VCCD	2.8V~3.96V を供給(VCCPROG オープン)						
VCCA	(VCCDとVCCAは、ボード上の同じVCCに接続して下さい.)						
VCCINP	2.25V~3.6V を供給						
VCCJ	$2.25V\sim3.6$	5V を供給					
VCCDDOC	3.0V~3.6V を供給	オープン					
VCCPROG	(VCCD 及び VCCA オープン)						
HVOUT[2, 1]	—(FET ドライバ時)	オープン					
110001[21]	外部プルアップ(オープンドレイン出力時)	オープン					

#### 表 6-2 ispPAC-POWR1014/Aのピン外部処理方法

「一」は、プルアップやプルダウンを外部に必要としないことを意味します。

外部プルアップ

外部プルアップ

オープン(必須)

\_

\_

\_

GND に接続

外部プルアップ(POWR1014Aのみ)

外部プルアップ(POWR1014Aのみ)

RESETb に外部プルアップ/プルダウン抵抗は一切接続しないで下さい。デバイスの初期化 が正常に行われず、誤動作をする可能性が大きくなります。複数デバイスを同期動作させる 場合にのみワイヤド OR 接続で使用します。

外部プルダウンを推奨

外部プルアップを推奨

※パワーマネージャ・デバイスヘプログラムするための JTAG I/F は、他の FPGA 等の JTAG デバイスと同一 チェーンとしないことを推奨します。チェーン上のデバイスへの電源をパワーマネージャで制御している場合、 チェーン上のデバイスへの電源が OFF されていることにより、JTAG チェーンとして成立しない可能性を防ぐため です。



Ver1.91

### 6.1.3 ispPAC-POWR6AT6 のピン外部処理方法

ピン名	使用時	未使用時					
VPS[10]	-	GND に接続を推奨(オープンも可)					
CLTENb		GND に接続					
VMON[61]	_	GND に接続を推奨(オープンも可)					
VMONGS[61]	GND に接続(VMONGSx ピン また、GNDA に対して-0.2V	ンは必ず接続してください。 ~+0.3V 以内にして下さい)					
GND	GND 🕻	こ接続					
VCCD	2.8V~3.9	6V を供給					
VCCA	(VCCDとVCCAは、ボード上の	(VCCDとVCCAは、ボード上の同じVCCに接続して下さい.)					
VCCJ	$2.25V\sim3.0$	6V を供給					
CLTLOCK/SMBA	外部プルアップ	オープン					
OUT[206]	外部プルアップ	オープン					
TRIM[61]	_	オープン					
TDO	-	オープン					
ТСК	外部プルダ	ウンを推奨					
TMS	外部プルア	ップを推奨					
TDI	-	オープン					
SCL	外部プルアップ	GND に接続					
SDA	外部プルアップ	GND に接続					

表 6-3 ispPAC-POWR6AT6 のピン外部処理方法

・ 「一」は、プルアップやプルダウンを外部に必要としないことを意味します。

※パワーマネージャ・デバイスへプログラムするための JTAG I/F は、他の FPGA 等の JTAG デバイスと同一 チェーンとしないことを推奨します。チェーン上のデバイスへの電源をパワーマネージャで制御している場合、 チェーン上のデバイスへの電源が OFF されていることにより、JTAG チェーンとして成立しない可能性を防ぐため です。



Ver1.91

## 6.1.4 ispPAC-POWR607 のピン外部処理方法

表 6-4 ispPAC-POWR607 のピン外部処理方法

ピン名	使用時	未使用時			
GND	GND に接続				
VMON[61]	_	GND に接続を推奨(オープンも可)			
VCC	2.64V~3.9	06V を供給			
VCCJ	$2.25V\sim3.0$	6V を供給			
$\Box V \cap \Box T \begin{bmatrix} 2 & 1 \end{bmatrix}$	—(FET ドライバ時)	オープン			
110001[21]	外部プルアップ(オープンドレイン出力時)	オープン			
	- (ディジタルインプットモード時)	10kΩの抵抗でプルダウン.			
IN_001[73]	外部プルアップ(オープンドレイン出力時)	オープン			
IN1_PWRDN	_	10kΩ の抵抗でプルダウン.			
IN2		GND に接続			
TDO	_	オープン			
ТСК	外部プルダ	ウンを推奨			
TMS	外部プルア	ップを推奨			
TDI	-	オープン			
NC	オープン	オープン			

「一」は、プルアップやプルダウンを外部に必要としないことを意味します。

※パワーマネージャ・デバイスへプログラムするための JTAG I/F は、他の FPGA 等の JTAG デバイスと同一 チェーンとしないことを推奨します。チェーン上のデバイスへの電源をパワーマネージャで制御している場合、 チェーン上のデバイスへの電源が OFF されていることにより、JTAG チェーンとして成立しない可能性を防ぐため です。



Ver1.91

July.2011

### 6.1.5 ProcessorPM - POWR605 のピン外部処理方法

表 06-5 ProcessorPM - POWR605 のビン外部処理万法	表 06-5
----------------------------------------	--------

ピン名	使用時	未使用時				
GND	GND に接続					
VMON[61]	_	GND に接続を推奨(オープンも可) <sup>注)</sup>				
VCC	2.64V~3.9	6V を供給				
VCCJ	2.25V~3.0	6V を供給				
IN_OUT[51]	- (ディジタルインプットモード時)	10kΩの抵抗でプルダウン.				
	外部プルアップ(オープンドレイン出力時)	オープン				
IN1_PWRDN	_	10kΩ の抵抗でプルダウン.				
IN2		GND に接続				
TDO	_	オープン				
ТСК	外部プルダウンを推奨					
TMS	外部プルア	ップを推奨				
TDI	-	オープン				
NC	オープン	オープン				

「一」は、プルアップやプルダウンを外部に必要としないことを意味します。

※パワーマネージャ・デバイスへプログラムするための JTAG I/F は、他の FPGA 等の JTAG デバイスと同一 チェーンとしないことを推奨します。チェーン上のデバイスへの電源をパワーマネージャで制御している場合、 チェーン上のデバイスへの電源が OFF されていることにより、JTAG チェーンとして成立しない可能性を防ぐため です。

注) Processor PM-POWR605 データシート "DS1034" では 3.3V の VCC へ接続する旨の記載がござい ますが、VCC/GND どちらの接続でも問題ございません。



Ver1.91

#### July.2011

#### 6.2 出力ピンにコンデンサを付加する場合の注意事項(重要)

アプリケーションによっては、DC-DC コンバータのソフトスタート機能を制御する為に使用する場合 もあり、そのような場合パワーマネージャ・デバイスの出力ピンにコンデンサが接続される場合があります。 (図 6-1 の C1 のコンデンサ)。

パワーマネージャ・デバイスでは、電源投入後のリセット (Power On Reset)後、HVOUT/OUT 出力の初期設定 が選択できます。デフォルト設定では Low 出力設定となっている為、HVOUT/OUT のオープン・ドレイン・トラン ジスタはオンとなります。トランジスタがオンすると、外部に接続されているコンデンサにチャージされた電荷が、 トランジスタを介してパワーマネージャ・デバイスへと流れ込み、パワーマネージャ・デバイスが正常に起動しな い場合がございます。

このような状況を防ぎ、パワーマネージャ・デバイスの起動を確実なものにする為、パワーマネージャ・デバイスの出力ピンにコンデンサを接続する場合、流れ込み電流制限用の直列抵抗を入れます(図 6-1 の R1)。抵抗の 値については、470Ωを推奨いたします。



#### 図 6-1 コンデンサを接続する場合の対策



Ver1.91

#### 6.3 Power Manager から Power ManagerII への置き換え

Power Manager (以下 PM1) から Power ManagerII (以下 PM2) へ置き換えるに際に必要な注意事 項を以下にまとめます。また、次ページからは、PM1 の 604, 1208, 1208P1 をそれぞれ PM2 の 1014 へ置き換える場合の、電気的仕様と特性を示します。黄色のセルは特に PM1 に対して PM2 の耐圧に 関する違いです、過電圧の印加に充分ご注意下さい。

- [1] VCCPROG に電源を供給する場合は、決して VCCD/VCCA に同時に電圧を印加してはなりません。VCCD/VCCA に電源を供給する場合は、VCCPROG はフローティングとします。
- [2] PM1 にあった CREF ピンは PM2 にはないため、外付け 0.1uF は不要です。
- [3] RESETb ピンに関して、PM1 では入力であり、外部からの制御入力も受け付けたが、PM2 では基本的にオープンとします。外部プルアップ/ダウン抵抗やコンデンサを付加すると、初期リセットが 正常にかからなくなるので、ご注意下さい。外部で接続するのは、複数の PM2 デバイスを同期動 作させる場合のみ必要となります。
- [4] ディジタル出力ピンは PM1 も PM2 も共にオープンドレインであるため、使用する場合はいずれ も外付けプルアップ抵抗が必要です。
- [5] PM2 では一部デバイスを除き内部信号 AGOOD があります(シーケンスの最初にデフォルトで必ず挿入されます)。削除することも可能ですが、特に理由がない限り使うことを推奨します。



Ver1.91

## 6.3.1 POW604からPOW1014への置き換え

	パラメータ	+ ==	604		+ ==	1014/A			ж <i>і</i> т	
項日		衣 記	Min	Тур	Max	衣記	Min	Тур	Max	単位
	電源電圧	VDD	-0.5		6.0	VCCD, VCCA	-0.5		4.5	V
	VMON 入力	VMON	-0.5		7.0	VMON	-0.5		6.0	V
	デジタル入力電源	VDDINP	-0.5		6.0	VCCINP	-0.5		6.0	V
統計是士宁族	デジタル入力	VIN	-0.5		6.0	VIN	-0.5		6.0	V
心对取入足怕	トライステート/オープンドレイン	VTRI	-0.5		6.0	VTRI, OUT	-0.5		6.0	V
	出カピン印加電圧	HVOUTmax				VTRI, HVOUT	-0.5		13.3	V
	JTAG 電源					VCCJ	-0.5		6.0	V
	EECMOS プログラム電圧					VCCPROG	-0.5		4.0	V
	動作電源電圧	VDD	2.25		5.5	VCCD, VCCA	2.8		3.96	V
	VMON 入力	VMON	0		6.0	VMON	-0.3	-	5.5	V
	デジタル入力電源	VDDINP	2.25		5.5	VCCINP	2.25	-	5.5	V
堆将动作冬州	デジタル入力	VIN	0		5.5	VIN	-0.3		5.5	V
推关到作术件	トライステート/オープンドレイン					VTRI, OUT	-0.3		5.5	V
	出カピン印加電圧					VTRI, HVOUT	-0.3		13.0	V
	JTAG 電源					VCCJ	2.25		3.6	V
	EECMOS プログラム電源	VDDPROG	3.0		5.5	VCCPROG *1	3.0		3.6	V
	主電源	IDD		5	10	ICCINP			20	mA
電源電流	デジタル入力電源	IDDINP				ICCINP			5	mA
(推奨動作条件下)	JTAG 電源					ICCJ			1	mA
	EECMOS プログラム電圧					ICCPROG		-	20	mA
	入力電圧範囲	VMON Range	1.03		5.72	VMON Range	0.075		5.867	V
	検出精度	VMON Acc.	-0.9		0.9	VMON Acc.		0.3	0.9	%
	ヒステリシス	VHYST		±0.3		HYST		1.0		%
VMON 入力	検出電圧温度依存係数	Vmon Tempco		50						ppm/C
	検出電圧VDD依存性	PSR		0.06						%/V
	入力インピーダンス	RIN	70	100	130	RIN	55	65	75	kΩ
	入力容量					CIN		8		pF
		VPP Range				VPP, 12V	11.5	12	12.5	V
	山大東西					10V	9.6	10	10.4	V
	出力电圧					8V	7.7	8	8.3	V
HVOUT ゲート						6V	5.8	6	6.2	V
ドライバ出力		ISOURCE Range						12.5, 25,		
		1000110E Mange				1001010		50, 100		uA
	ドライフ電流					IOUTSINK, fast-off	2000	3000		uA
						IOUTSINK		100, 250, 500		uA
		VIL (LVCMOS33,							0.3 x	
デジタル入力ピン	入力 Low レベル	LVTTL)	-0.3		0.8	VIL			VCCINP	V
IN 1-4	入力 High レベル	VIH (LVCMOS33, LVTTL)	2.0		5.5	VIH	0.7 x VCCINP		VCCINP	v
デジタル出力ピン OUT5-8	出力レベル	VOL			0.4	VOL (ISINK=20mA)			0.8	v
	POR アサート VDD 電圧	VLPOR			1.15	VTL (RESETb)			2.3	V
	POR ネゲート VDD 電圧	VHPOR			2.1	VTH (RESETb)	2.7			V
POR	POR/AGOOD 解除からの遅延	tDPOR				TGOOD			500u	sec
	ON からリセットとなる電圧	VRESET				VT (RESETb)	0.8			V
	POR が有効になる瞬断時間長					TBRO	10		50	us.
	周波数	fCl K	230k		330k	fCLK	7.6M	8.0M	8.4M	H7
オシレータ (MCLK)、	PLDCLK Range	PLDCLK Range	1.95k		250k	fPLDCLK		250k		Hz
র্গন হ	タイマ精度	Timeout Range	0.03		524	Timeout Range	0.032		1968	ms

表 6-6 POWR604からPOWR1014への置き換え



Ver1.91

## 6.3.2 POW1208からPOW1014への置き換え

項目	パラメータ	表 記	1208				1014/A			
			Min	Тур	Max	表記	Min	Тур	Max	単位
絶対最大定格	電源電圧	VDD	-0.5		6.0	VCCD, VCCA	-0.5		4.5	V
	VMON 入力	VMON	-0.5		7.0	VMON	-0.5		6.0	V
	デジタル入力電源	VDDINP	-0.5		6.0	VCCINP	-0.5		6.0	V
	デジタル入力	VIN	-0.5		6.0	VIN	-0.5		6.0	V
	トライステート/オープンドレイン	VTRI	-0.5		6.0	VTRI, OUT	-0.5		6.0	V
	出カピン印加電圧	HVOUTmax	-0.5	-	VDD+9.0	VTRI, HVOUT	-0.5		13.3	V
	JTAG 電源					VCCJ	-0.5		6.0	V
	EECMOS プログラム電圧					VCCPROG	-0.5		4.0	V
	動作電源電圧	VDD	2.25		5.5	VCCD, VCCA	2.8		3.96	V
	VMON 入力	VMON	0		6.0	VMON	-0.3		5.5	V
	デジタル入力電源	VDDINP	2.25	-	5.5	VCCINP	2.25		5.5	V
堆将动作冬州	デジタル入力	VIN	0	-	5.5	VIN	-0.3		5.5	V
推关到作术性	トライステート/オープンドレイン					VTRI, OUT	-0.3		5.5	V
	出カピン印加電圧					VTRI, HVOUT	-0.3		13.0	V
	JTAG 電源					VCCJ	2.25		3.6	V
	EECMOS プログラム電源	VDDPROG	3.0	-	5.5	VCCPROG *1	3.0		3.6	V
	主電源	IDD		7	15	ICCINP			20	mA
電源電流	デジタル入力電源	IDDINP				ICCINP			5	mA
(推奨動作条件下)	JTAG 電源					ICCJ			1	mA
	EECMOS プログラム電圧					ICCPROG			20	mA
	入力電圧範囲	VMON Range	1.03		5.72	VMON Range	0.075		5.867	V
	検出精度	VMON Acc.	-0.9		0.9	VMON Acc.		0.3	0.9	%
	ヒステリシス	VHYST		±0.3		HYST		1.0		%
VMON 入力	検出電圧温度依存係数	Vmon Tempco		50						ppm/C
	検出電圧VDD依存性	PSR		0.06						%/V
	入力インピーダンス	RIN	70	100	130	RIN	55	65	75	kΩ
	入力容量					CIN		8		pF
		VPP Range	8.0		12.0	VPP, 12V	11.5	12	12.5	V
	山中雪口					10V	9.6	10	10.4	V
HVOUT ゲート ドライバ出力	出力电圧					8V	7.7	8	8.3	V
						6V	5.8	6	6.2	V
		ISOURCE Range	0.5		50	IOUTSRC		12.5, 25,		цА
		1000110E Mange	0.0		00	1001010	-	50, 100		uA
	ドライフ電流					IOUTSINK, fast-off	2000	3000		uA
						IOUTSINK		100, 250, 500		uA
デジタル入力ピン	入力 Low レベル	VIL (LVCMOS33, LVTTL)	-0.3		0.8	VIL			0.3 x VCCINP	v
IN 1-4	入力 High レベル	VIH (LVCMOS33, LVTTL)	2.0		5.5	VIH	0.7 x VCCINP		VCCINP	v
デジタル出力ピン OUT5-8	出力レベル	VOL			0.4	VOL (ISINK=20mA)			0.8	v
POR	POR アサート VDD 電圧	VLPOR			1.15	VTL (RESETb)			2.3	V
	 POR ネゲート VDD 電圧	VHPOR			2.1	VTH (RESETb)	2.7			V
	 POR/AGOOD 解除からの遅延 tDPOR					TGOOD			500u	sec
	ON からリセットとなる電圧	VRESET				VT (RESETb)	0.8			V
	POR が有効になる騒断時間長					TBRO	1.0		5.0	us
	周波数	fCLK	230k		330k	fCLK	7.6M	8.0M	8.4M	Hz
オシレータ (MCLK)、	PLDCLK Range	PLDCLK Range	1.95k		250k	fPLDCLK		250k		Hz
ঙ্গবি	タイマ精度	Timeout Range	0.03		524	Timeout Range	0.032		1968	ms

表 6-7 POWR1208 から POWR1014 への置き換え



Ver1.91

## 6.3.3 POW1208P1 からPOW1014 への置き換え

項目	パラメータ	表 記	1208P1			+ ==	1014/A			出店
			Min	Тур	Max	衣記	Min	Тур	Max	単位
絶対最大定格	電源電圧	VDD	-0.5		6.0	VCCD, VCCA	-0.5		4.5	V
	VMON 入力	VMON	-0.5		7.0	VMON	-0.5		6.0	V
	デジタル入力電源	VDDINP	-0.5	-	6.0	VCCINP	-0.5		6.0	V
	デジタル入力	VIN	-0.5		6.0	VIN	-0.5		6.0	V
	トライステート/オープンドレイン	VTRI	-0.5		6.0	VTRI, OUT	-0.5		6.0	V
	出カピン印加電圧	HVOUTmax	-0.5		VDD+9.0	VTRI, HVOUT	-0.5		13.3	V
	JTAG 電源					VCCJ	-0.5		6.0	V
	EECMOS プログラム電圧					VCCPROG	-0.5		4.0	V
	動作電源電圧	VDD	2.7	-	5.5	VCCD, VCCA	2.8		3.96	V
	VMON 入力	VMON	0	-	6.0	VMON	-0.3		5.5	V
	デジタル入力電源	VDDINP	2.25		5.5	VCCINP	2.25		5.5	V
堆将动作冬州	デジタル入力	VIN	0	-	5.5	VIN	-0.3		5.5	V
推关到作术任	トライステート/オープンドレイン					VTRI, OUT	-0.3		5.5	V
	出カピン印加電圧					VTRI, HVOUT	-0.3		13.0	V
	JTAG 電源					VCCJ	2.25		3.6	V
	EECMOS プログラム電源	VDDPROG	3.0		5.5	VCCPROG *1	3.0		3.6	V
	主電源	IDD		10	20	ICCINP			20	mA
電源電流	デジタル入力電源	IDDINP		5	20	ICCINP			5	mA
(推奨動作条件下)	JTAG 電源					ICCJ			1	mA
	EECMOS プログラム電圧					ICCPROG			20	mA
	入力電圧範囲	VMON Range	0.680		5.932	VMON Range	0.075		5.867	V
VMON 入力	検出精度	VMON Acc.	-0.5/0.6		0.5/0.6	VMON Acc.		0.3	0.9	%
	ヒステリシス	VHYST		0.5		HYST		1.0		%
	検出電圧温度依存係数	Vmon Tempco		30						ppm/C
	検出電圧VDD依存性	PSR		0.07						%/V
	入力インピーダンス	RIN	70	100	130	RIN	55	65	75	kΩ
	入力容量					CIN		8		pF
		VPP Range	8		12	VPP, 12V	11.5	12	12.5	V
	山力雪口					10V	9.6	10	10.4	V
	山力电圧					8V	7.7	8	8.3	V
HVOUT ゲート ドライバ出力						6V	5.8	6	6.2	V
		ISOURCE Bange	0.5		50			12.5, 25,		
		15001(OL Italige	0.0			100131(0		50, 100		uA
	ドライブ電流					IOUTSINK, fast-off	2000	3000		uA
						IOUTSINK		100, 250, 500		uA
デジタル入力ピン	入力 Low レベル	VIL (LVCMOS33, LVTTL)	-0.3		0.25 x VDDINP	VIL			0.3 x VCCINP	v
IN1-4	入力 High レベル	VIH (LVCMOS33, LVTTL)	0.75 x VDDINP		5.5	VIH	0.7 x VCCINP		VCCINP	v
デジタル出力ピン OUT5-8	出力レベル	VOL			0.4	VOL (ISINK=20mA)			0.8	v
POR	POR アサート VDD 電圧	VLPOR			1.15	VTL (RESETb)			2.3	V
	POR ネゲート VDD 電圧	VHPOR			2.1	VTH (RESETb)	2.7			V
	POR/AGOOD 解除からの遅延	tDPOR		3.0m		TGOOD			500u	sec
	ON からリセットとなる電圧	VRESET	1.8		2.1	VT (RESETb)	0.8			V
	POR が有効になる瞬断時間長					TBRO	10		5.0	us
	周波数	fCI K	0.8M		1.2M	fCI K	7.6M	8.0M	8.4M	Hz
オシレータ (MCLK)、	PLDCLK Range	PLDCLK Range	1,95		250	fPLDCI K		250k		Hz
タイマ	タイフ特度	Timeout Bange	0.03		524	Timeout Bange	0.032		1968	me

表 6-8 POWR1208P1 から POWR1014 への置き換え



Ver1.91

# 更新履歴

## 表 7-1 更新履歴

バージョン	リリース日	更新内容				
Ver1.0	2006/11	初版リリース(PAC-Designer4.9 対応)				
Ver1.1	2007/1	6章 Appendix ピンの外部処理方法を追加				
Ver1.2	2007/4	<ul> <li>PAC-Designer4.95 に対応</li> <li>DC/DC コンバータウイザードの説明にタイプ 3 と 4 を追加</li> <li>POWR1014/A から POWR1220AT8 へのデザイン以降方法を追加</li> <li>監視ロジック出力回路の生成</li> <li>エラー、ワーニングと対処方法を追加</li> </ul>				
Ver1.3	2008/8	PAC-Designer4.98 に対応				
Ver1.4	2008/9	PAC-Designer4.99a に対応				
Ver.1.5	2009/2/2	Page.45; "Begin Startup Sequence"で例外処理との関連での注意を追加 Page.46; Output 命令記述に TIMER_GATE に関する注意を追加 Page.72, 73; RESETb 処理に"オープン必須"の注意書きを追加				
Ver. 1.6	2009/8/10	Page 76 ProcessorPM - POWR605 のピン外部処理方法 を追加 Page 5(1-10, 1-11) PAC-Desginer5.0, 5.1 での変更点を追加				
Ver. 1.7	2009/10/28	Page.70 図 5-6 とその説明をアップデート				
Ver. 1.8	2010/6/15	PAC-Designer5.3の対応に合わせ全面改訂				
Ver. 1.81	2010/12/27	14-15 ページ、74-76 ページの誤植を修正。6.2 節 PM1 から PM2 への置き換え について追加。				
Ver.1.90	2011/6/7	79 ページ、出力ピンにコンデンサを接続している場合の注意事項を追加				
Ver.1.91	2011/7/25	11 ページ、OV/UV 設定について補足追加				