

PAC-Designer

ユーザーマニュアル (*ispPAC POWR ManagerII 編*)

目次

| | | |
|----------|---|-----------|
| 1 | 概要 | 6 |
| 1.1 | PAC-Designer5.0 から PAC-Designer5.1 への変更点..... | 6 |
| 1.2 | PAC-Designer5.1 から PAC-Designer5.2 への変更点..... | 6 |
| 1.3 | PAC-Designer5.2 から PAC-Designer5.3 への変更点..... | 6 |
| 1.4 | ライセンスの申請と設定..... | 7 |
| 1.5 | ブランクデザインから作成する方法..... | 9 |
| 1.6 | サンプルデザインから作成する方法..... | 9 |
| 2 | パワーマネージャIIファミリの設計方法 | 10 |
| 2.1 | アナログ入力(Analog Inputs)..... | 11 |
| 2.2 | デジタル入力(Digital Inputs)..... | 14 |
| 2.3 | ロジック出力(Logic Outputs)..... | 16 |
| 2.4 | 高電圧出力(High Voltage Outputs)..... | 18 |
| 2.5 | クロック&タイマー..... | 20 |
| 2.6 | DC/DC コンバータ・ウイザード..... | 22 |
| 2.7 | マージン/トリム(Margin/Trim)..... | 30 |
| 2.8 | トリム コンフィグレーションのオプション設定..... | 33 |
| 2.9 | トリム設定の一覧確認..... | 34 |
| 2.10 | I2C コンフィグレーション..... | 35 |
| 2.11 | パワーダウンモード..... | 37 |
| 2.12 | POWR1014/A から POWR1220AT8 のデザインマイグレーション(移行)..... | 38 |
| 2.13 | UES エディタ..... | 39 |
| 2.14 | シーケンス・コントローラ..... | 39 |
| 3 | パワーマネージャ共通の設計方法 | 40 |
| 3.1 | シーケンス・コントローラ..... | 40 |
| 3.1.1 | オプション設定..... | 40 |
| 3.1.2 | Pin の定義..... | 42 |
| 3.1.3 | インストラクションの設定方法..... | 44 |
| 3.1.4 | インストラクションの設定方法(Output)..... | 47 |
| 3.1.5 | インストラクションの設定方法(Wait for Boolean Condition)..... | 49 |
| 3.1.6 | インストラクションの設定方法(Wait for Timeout Value)..... | 51 |
| 3.1.7 | インストラクションの設定方法(Boolean Condition with Timeout)..... | 52 |
| 3.1.8 | インストラクションの設定方法(If/Then/Else)..... | 53 |
| 3.1.9 | インストラクションの設定方法(If / Then / Else with Timeout)..... | 54 |
| 3.1.10 | インストラクションの設定方法(Goto)..... | 55 |
| 3.1.11 | インストラクションの設定方法(Start Timer/Stop Timer)..... | 56 |
| 3.1.12 | インストラクションの設定方法(例外処理)..... | 57 |
| 3.1.13 | 監視ロジック出力回路の生成(Supervisory Logic Equation)..... | 58 |
| 3.1.14 | コンパイル方法..... | 59 |
| 3.1.15 | エラー、ワーニングと対処方法..... | 60 |
| 3.2 | ABEL ソースコードの表示..... | 61 |
| 3.3 | ABEL ソースの編集..... | 62 |
| 3.4 | シーケンスのシミュレーション..... | 63 |
| 3.4.1 | クロックとシミュレーション時間の設定..... | 64 |
| 3.4.2 | 入力信号波形の設定..... | 64 |

| | | |
|-------|--|----|
| 3.4.3 | シミュレーションの実行 | 65 |
| 3.4.4 | 汎用 HDL シミュレータを使用する方法 | 66 |
| 3.5 | 供給電源ランプレートのシミュレーション | 67 |
| 3.6 | UES エディタ | 70 |
| 4 | デバイスへの書き込み..... | 71 |
| 4.1 | PAC-Designer からの書き込み..... | 71 |
| 4.1.1 | ダウンロード・ケーブルの設定(Ver4.98 以降) | 71 |
| 4.1.2 | デバイスへのダウンロード..... | 72 |
| 4.2 | ispVM System からの書き込み..... | 73 |
| 5 | I2C Utility..... | 75 |
| 6 | Appendix..... | 77 |
| 6.1 | ピンの外部処理方法 | 77 |
| 6.1.1 | ispPAC-POWR1220AT8 のピン外部処理方法..... | 77 |
| 6.1.2 | ispPAC-POWR1014/A のピン外部処理方法 | 78 |
| 6.1.3 | ispPAC-POWR6AT6 のピン外部処理方法 | 79 |
| 6.1.4 | ispPAC-POWR607 のピン外部処理方法..... | 80 |
| 6.1.5 | ProcessorPM - POWR605 のピン外部処理方法 | 81 |
| 6.2 | 出力ピンにコンデンサを付加する場合の注意事項 (重要) | 82 |
| 6.3 | Power Manager から Power ManagerII への置き換え..... | 83 |
| 6.3.1 | POW604 から POW1014 への置き換え..... | 84 |

| 項目 | パラメータ | 表記 | 604 | | | 表記 | 1014/A | | | 単位 |
|----------------------|-----------------------------|---------------------------|-------|------|------------|--------------------|------------------|----------------------|-----------------|-------|
| | | | Min | Typ | Max | | Min | Typ | Max | |
| 絶対最大定格 | 電源電圧 | VDD | -0.5 | -- | 6.0 | VCCD, VCCA | -0.5 | -- | 4.5 | V |
| | VMON 入力 | VMON | -0.5 | -- | 7.0 | VMON | -0.5 | -- | 6.0 | V |
| | デジタル入力電源 | VDDINP | -0.5 | -- | 6.0 | VCCINP | -0.5 | -- | 6.0 | V |
| | デジタル入力 | VIN | -0.5 | -- | 6.0 | VIN | -0.5 | -- | 6.0 | V |
| | トリステート/オープンドレイン 出力ピン印加電圧 | VTRI | -0.5 | -- | 6.0 | VTRI, OUT | -0.5 | -- | 6.0 | V |
| | | HVOUTmax | | | | VTRI, HVOUT | -0.5 | -- | 13.3 | V |
| | JTAG 電源 | | | | | VCCJ | -0.5 | -- | 6.0 | V |
| EECMOS プログラム電圧 | | | | | VCCPROG | -0.5 | -- | 4.0 | V | |
| 推奨動作条件 | 動作電源電圧 | VDD | 2.25 | -- | 5.5 | VCCD, VCCA | 2.8 | -- | 3.96 | V |
| | VMON 入力 | VMON | 0 | -- | 6.0 | VMON | -0.3 | -- | 5.5 | V |
| | デジタル入力電源 | VDDINP | 2.25 | -- | 5.5 | VCCINP | 2.25 | -- | 5.5 | V |
| | デジタル入力 | VIN | 0 | -- | 5.5 | VIN | -0.3 | -- | 5.5 | V |
| | トリステート/オープンドレイン 出力ピン印加電圧 | | | | | VTRI, OUT | -0.3 | -- | 5.5 | V |
| | | | | | | VTRI, HVOUT | -0.3 | -- | 13.0 | V |
| | JTAG 電源 | | | | | VCCJ | 2.25 | -- | 3.6 | V |
| EECMOS プログラム電源 | VDDPROG | 3.0 | -- | 5.5 | VCCPROG *1 | 3.0 | -- | 3.6 | V | |
| 電源電流 (推奨動作条件下) | 主電源 | IDD | -- | 5 | 10 | ICCINP | -- | -- | 20 | mA |
| | デジタル入力電源 | IDDINP | | | | ICCINP | -- | -- | 5 | mA |
| | JTAG 電源 | | | | | ICCJ | -- | -- | 1 | mA |
| | EECMOS プログラム電圧 | | | | | ICCPROG | -- | -- | 20 | mA |
| VMON 入力 | 入力電圧範囲 | VMON Range | 1.03 | -- | 5.72 | VMON Range | 0.075 | -- | 5.867 | V |
| | 検出精度 | VMON Acc. | -0.9 | -- | 0.9 | VMON Acc. | -- | 0.3 | 0.9 | % |
| | ヒステリシス | VHYST | -- | ±0.3 | -- | HYST | -- | 1.0 | -- | % |
| | 検出電圧温度依存係数 | Vmon Tempco | -- | 50 | -- | | | | | ppm/C |
| | 検出電圧VDD依存性 | PSR | -- | 0.06 | -- | | | | | %/V |
| | 入力インピーダンス | RIN | 70 | 100 | 130 | RIN | 55 | 65 | 75 | kΩ |
| | 入力容量 | | | | | CIN | -- | 8 | -- | pF |
| HVOUT ゲート ドライバ出力 | 出力電圧 | VPP Range | | | | VPP, 12V | 11.5 | 12 | 12.5 | V |
| | | | | | | 10V | 9.6 | 10 | 10.4 | V |
| | | | | | | 8V | 7.7 | 8 | 8.3 | V |
| | | | | | | 6V | 5.8 | 6 | 6.2 | V |
| | ドライブ電流 | ISOURCE Range | | | | IOUTSRC | -- | 12.5, 25, 50, 100 | -- | uA |
| | | | | | | IOUTSINK, fast-off | 2000 | 3000 | -- | uA |
| | | | | | IOUTSINK | -- | 100, 250, 500 | -- | uA | |
| デジタル入力ピン IN1-4 | 入力 Low レベル | VIL (LVCMOS33, LVTTTL) | -0.3 | -- | 0.8 | VIL | -- | -- | 0.3 x VCCINP | V |
| | 入力 High レベル | VIH (LVCMOS33, LVTTTL) | 2.0 | -- | 5.5 | VIH | 0.7 x VCCINP | -- | VCCINP | V |
| デジタル出力ピン OUT5-8 | 出力レベル | VOL | -- | -- | 0.4 | VOL (ISINK=20mA) | -- | -- | 0.8 | V |
| POR | POR アサート VDD 電圧 | VLPOR | -- | -- | 1.15 | VTL (RESETb) | -- | -- | 2.3 | V |
| | POR ネゲート VDD 電圧 | VHPOR | -- | -- | 2.1 | VTH (RESETb) | 2.7 | -- | -- | V |
| | POR/AGOOD 解除からの遅延 | tDPOR | | | | TGOOD | -- | -- | 500u | sec |
| | ON からリセットとなる電圧 | VRESET | | | | VT (RESETb) | 0.8 | -- | -- | V |
| POR が有効になる瞬断時間長 | | | | | TBRO | 1.0 | -- | 5.0 | us | |
| オシレータ (MCLK)、 タイマ | 周波数 | fCLK | 230k | -- | 330k | fCLK | 7.6M | 8.0M | 8.4M | Hz |
| | PLDCLK Range | PLDCLK Range | 1.95k | -- | 250k | fPLDCLK | -- | 250k | -- | Hz |
| | タイマ精度 | Timeout Range | 0.03 | -- | 524 | Timeout Range | 0.032 | -- | 1968 | ms |

84

6.3.2 POW1208 から POW1014 への置き換え..... 85

| 項目 | パラメータ | 表記 | 1208 | | | 表記 | 1014/A | | | 単位 |
|----------------------|------------------------------|---------------------------|-------|------|------------|--------------------|------------------|----------------------|-----------------|-------|
| | | | Min | Typ | Max | | Min | Typ | Max | |
| 絶対最大定格 | 電源電圧 | VDD | -0.5 | -- | 6.0 | VCCD, VCCA | -0.5 | -- | 4.5 | V |
| | VMON 入力 | VMON | -0.5 | -- | 7.0 | VMON | -0.5 | -- | 6.0 | V |
| | デジタル入力電源 | VDDINP | -0.5 | -- | 6.0 | VCCINP | -0.5 | -- | 6.0 | V |
| | デジタル入力 | VIN | -0.5 | -- | 6.0 | VIN | -0.5 | -- | 6.0 | V |
| | トライステート/オープンドレイン 出力ピン印加電圧 | VTRI | -0.5 | -- | 6.0 | VTRI, OUT | -0.5 | -- | 6.0 | V |
| | | HVOUTmax | -0.5 | -- | VDD+9.0 | VTRI, HVOUT | -0.5 | -- | 13.3 | V |
| | JTAG 電源 | | | | | VCCJ | -0.5 | -- | 6.0 | V |
| EECMOS プログラム電圧 | | | | | VCCPROG | -0.5 | -- | 4.0 | V | |
| 推奨動作条件 | 動作電源電圧 | VDD | 2.25 | -- | 5.5 | VCCD, VCCA | 2.8 | -- | 3.96 | V |
| | VMON 入力 | VMON | 0 | -- | 6.0 | VMON | -0.3 | -- | 5.5 | V |
| | デジタル入力電源 | VDDINP | 2.25 | -- | 5.5 | VCCINP | 2.25 | -- | 5.5 | V |
| | デジタル入力 | VIN | 0 | -- | 5.5 | VIN | -0.3 | -- | 5.5 | V |
| | トライステート/オープンドレイン 出力ピン印加電圧 | | | | | VTRI, OUT | -0.3 | -- | 5.5 | V |
| | | | | | | VTRI, HVOUT | -0.3 | -- | 13.0 | V |
| | JTAG 電源 | | | | | VCCJ | 2.25 | -- | 3.6 | V |
| EECMOS プログラム電源 | VDDPROG | 3.0 | -- | 5.5 | VCCPROG *1 | 3.0 | -- | 3.6 | V | |
| 電源電流 (推奨動作条件下) | 主電源 | IDD | -- | 7 | 15 | ICCINP | -- | -- | 20 | mA |
| | デジタル入力電源 | IDDINP | | | | ICCINP | -- | -- | 5 | mA |
| | JTAG 電源 | | | | | ICCJ | -- | -- | 1 | mA |
| | EECMOS プログラム電圧 | | | | | ICCPROG | -- | -- | 20 | mA |
| VMON 入力 | 入力電圧範囲 | VMON Range | 1.03 | -- | 5.72 | VMON Range | 0.075 | -- | 5.867 | V |
| | 検出精度 | VMON Acc. | -0.9 | -- | 0.9 | VMON Acc. | -- | 0.3 | 0.9 | % |
| | ヒステリシス | VHYST | -- | ±0.3 | -- | HYST | -- | 1.0 | -- | % |
| | 検出電圧温度依存係数 | Vmon Tempco | -- | 50 | -- | | | | | ppm/C |
| | 検出電圧VDD依存性 | PSR | -- | 0.06 | -- | | | | | %/V |
| | 入力インピーダンス | RIN | 70 | 100 | 130 | RIN | 55 | 65 | 75 | kΩ |
| | 入力容量 | | | | | CIN | -- | 8 | -- | pF |
| HVOUT ゲート ドライバ出力 | 出力電圧 | VPP Range | 8.0 | -- | 12.0 | VPP, 12V | 11.5 | 12 | 12.5 | V |
| | | | | | | 10V | 9.6 | 10 | 10.4 | V |
| | | | | | | 8V | 7.7 | 8 | 8.3 | V |
| | | | | | | 6V | 5.8 | 6 | 6.2 | V |
| | ドライブ電流 | ISOURCE Range | 0.5 | -- | 50 | IOUTSRC | -- | 12.5, 25, 50, 100 | -- | uA |
| | | | | | | IOUTSINK, fast-off | 2000 | 3000 | -- | uA |
| | | | | | IOUTSINK | -- | 100, 250, 500 | -- | uA | |
| デジタル入カピン IN1-4 | 入力 Low レベル | VIL (LVCMOS33, LVTTTL) | -0.3 | -- | 0.8 | VIL | -- | -- | 0.3 x VCCINP | V |
| | 入力 High レベル | VIH (LVCMOS33, LVTTTL) | 2.0 | -- | 5.5 | VIH | 0.7 x VCCINP | -- | VCCINP | V |
| デジタル出カピン OUT5-8 | 出力レベル | VOL | -- | -- | 0.4 | VOL (ISINK=20mA) | -- | -- | 0.8 | V |
| POR | POR アサート VDD 電圧 | VLPOR | -- | -- | 1.15 | VTL (RESETb) | -- | -- | 2.3 | V |
| | POR ネゲート VDD 電圧 | VHPOR | -- | -- | 2.1 | VTH (RESETb) | 2.7 | -- | -- | V |
| | POR/AGOOD 解除からの遅延 | tDPOR | | | | TGOOD | -- | -- | 500u | sec |
| | ON からリセットとなる電圧 | VRESET | | | | VT (RESETb) | 0.8 | -- | -- | V |
| POR が有効になる瞬断時間長 | | | | | TBRO | 1.0 | -- | 5.0 | us | |
| オシレータ (MCLK)、 タイマ | 周波数 | fCLK | 230k | -- | 330k | fCLK | 7.6M | 8.0M | 8.4M | Hz |
| | PLDCLK Range | PLDCLK Range | 1.95k | -- | 250k | fPLDCLK | -- | 250k | -- | Hz |
| | タイマ精度 | Timeout Range | 0.03 | -- | 524 | Timeout Range | 0.032 | -- | 1968 | ms |

..... 85

6.3.3 POW1208P1 から POW1014 への置き換え 86

更新履歴 87

1 概要

パワーマネージャ・ファミリの設計、シミュレーション、書き込みを行なうためには、PAC-Designerを使用します。PAC-Designerは、弊社HP【<http://www.latticesemi.com/>】からダウンロードしてご利用ください。

初めて、PAC-Designerを使用する場合は、弊社日本語HP【<http://www.latticesemi.co.jp/>】で公開しています、日本語チュートリアルを合わせて参照することを推奨します。

1.1 PAC-Designer5.0 から PAC-Designer5.1 への変更点

- ① ProcessorPM - POWR605 の市場投入に合わせて、同デバイスをサポートしました。
- ② LogiBuilder のユーザインターフェースを改良し、読みやすさを向上させました。

1.2 PAC-Designer5.1 から PAC-Designer5.2 への変更点

- ① ProcessorPM - POWR1014-2 及び 1014A-2 の市場投入に合わせて、同デバイスをサポートしました (POWR1014-2 及び 1014A-2 はチャージポンプ出力電圧の 12V を追加サポート)。
- ② 無償のライセンスファイルが不要となりました。

1.3 PAC-Designer5.2 から PAC-Designer5.3 への変更点

- ① デジタル入力・出力ピンのアサインメント画面でピンのスワップ機能を追加しました。
- ② LogiBuilder の Supervisory Equations 画面と Pin Definition 画面にて、T-Type flip-flop をサポートしました。
- ③ LogiBuilder の Boolean Expression Editor 画面にて、XOR オペレーションをサポートしました。
- ④ Trim Configuration Option 画面にて、EIA 系列の 12 を選択した場合に、同系列に存在しない抵抗値をレポートしていた不具合を修正しました。
- ⑤ POWR1220AT8-2 の市場投入に合わせて、同デバイスをサポートしました (チャージポンプ出力電圧の 12V を追加サポート)。

1.4 ライセンスの申請と設定

PAC-Designer は無料ツールで、Ver5.2 以降では無償のライセンスも必要としません。インストール直後からご利用いただけます。ver5.1 以前の PAC-Designer では web 上から無償のライセンス申請を行なう必要がありますので、弊社ホームページより Support => Licensing => PAC Designer とお進みいただき、無償のライセンスファイルを取得して下さい。

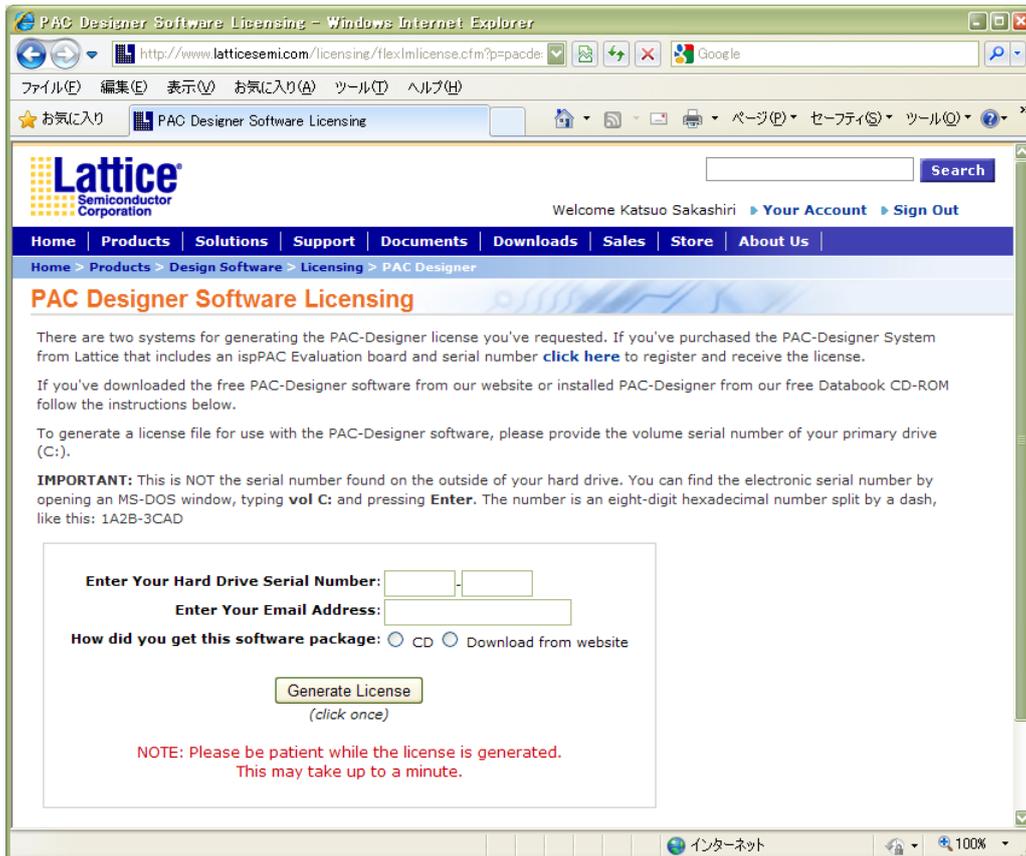


図 1-1 ライセンス申請画面

Hard Drives Serial Number には、ソフトウェアを使用するパソコンのハードディスク・シリアルナンバーを入力します。ハードディスク・シリアルナンバーは、コマンドプロンプト(MS-DOS プロンプト)上で、【vol】というコマンドを使用して調べられます。

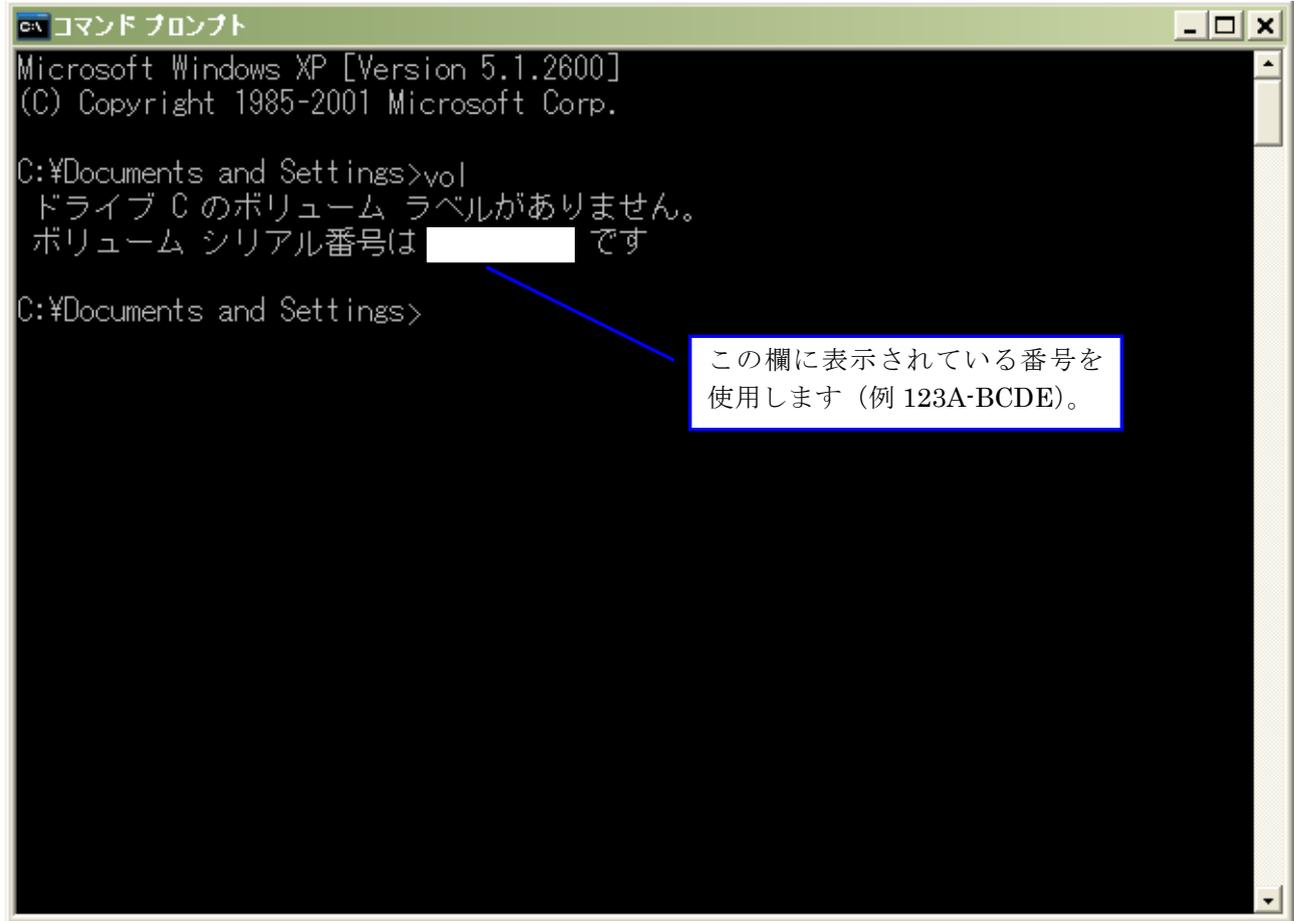


図 1-2 ハードディスク・シリアルナンバー確認方法

Enter Your Email Address には、ライセンスファイルを送付する Email のアドレスを入力します。

How Did you get this software package は、Tool の入手した方法を CD もしくは Download from website から選択します。

Generate License ボタンを押しますと、ライセンスの申請が完了し、E-mail にて「license.dat」というファイルが送付されます。このファイルを、インストールフォルダ¥license¥の直下に保存すると、ライセンスの登録が完了します。

ライセンスが無効となった場合、再度申請する必要があります。申請回数に制限はございません。

1.5 ブランクデザインから作成する方法

新規デザイン作成時は、PAC-Designer を起動し、デバイスの選択を行ないます。デバイスの選択は、PAC-Designer のメニューから File→New を選択しますと、図 1-3のような画面が開きます。

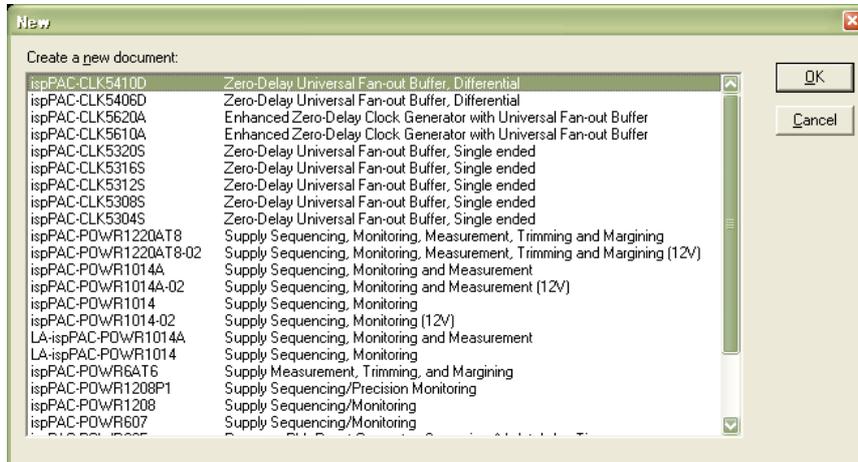


図 1-3 デバイスの選択

上記画面にて、設計するデバイスを選択し OK ボタンをクリックします。

1.6 サンプルデザインから作成する方法

デバイス毎に、デザイン例を読み出すことでリファレンスデザインを参照することができます。ライブラリは、PAC-Designer のメニューから File→Design Examples を選択することで、図 1-4のような画面が開きますので、ここからデザインを選択します。

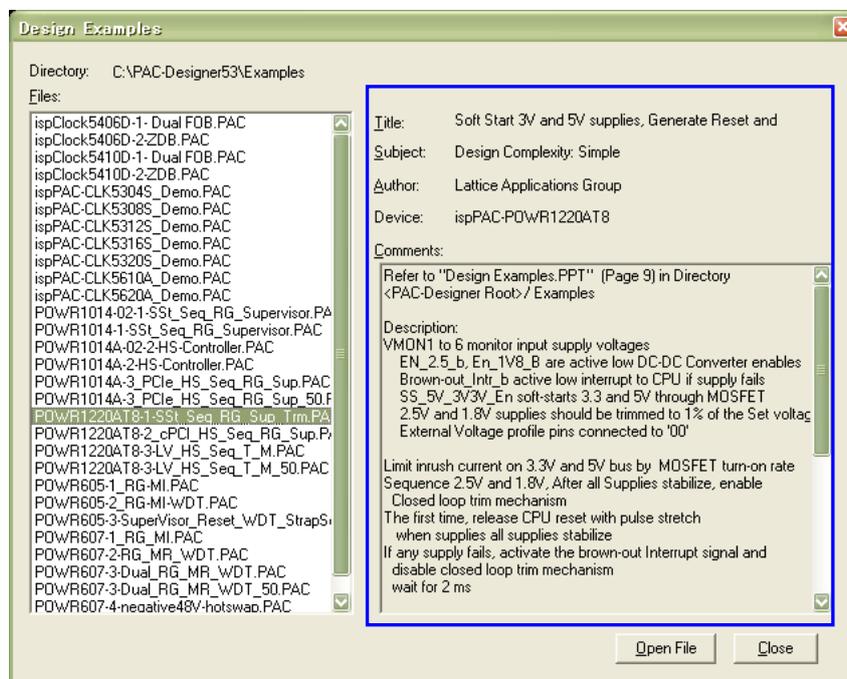


図 1-4 サンプルデザイン ブラウザー

画面右側(青い四角枠内)で、サンプルデザインの内容を確認することが可能です。

編集後保存する際には上書き保存せず、別途ご自身で管理されるフォルダに保存してご利用下さい。

2 パワーマネージャIIファミリの設計方法

本節では、パワーマネージャIIファミリ(ispPAC-POWR1220AT8、ispPAC-POWR1014/A、ispPAC-POWR6AT6,POWR607)の設計方法について、説明いたします。

ここでは、代表して ispPAC-POWR1220AT8 を例に説明いたします(POWR1220AT8 と違う個所に関しては、個別に説明いたします)。

デバイスの選択画面にて、ispPAC-POWR1220AT8 を選択しますと図 2-1のような画面が開きます。

本画面にて、各ブロックをダブルクリックしますと、それぞれの設計画面が開きます。

各ブロックの詳細については、次ページ以降で説明いたします。

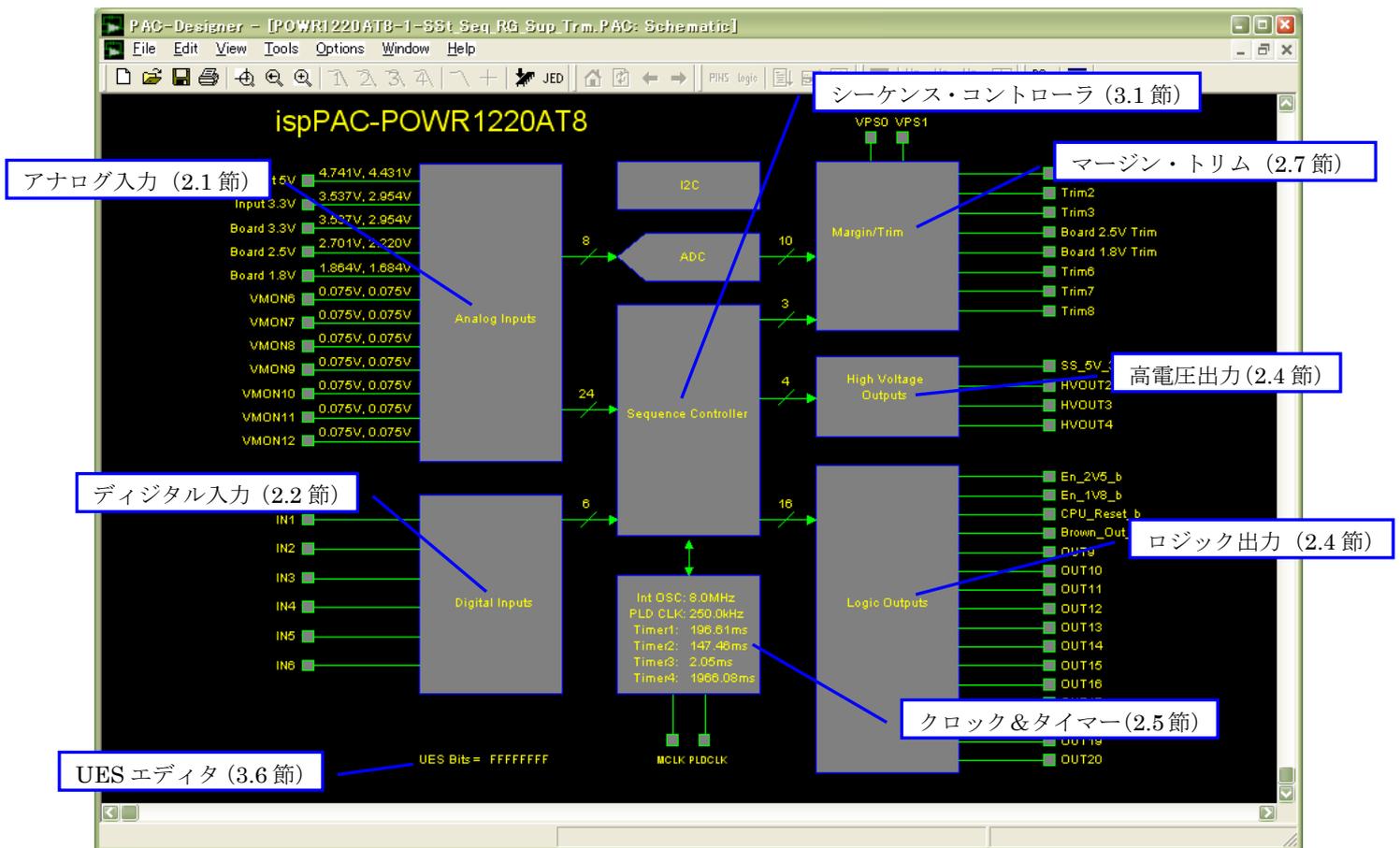


図 2-1 ispPAC-POWR1220AT8 メインウインドウ

基本操作方法

ツール画面上でクリック可能な状態になると、カーソルが以下の状態に変化し操作が可能となります。各種設定はモジュールの設定画面にて行います。

⇓ 下位モジュールへ移動

⇑ 上位モジュールへ移動

☞ そのモジュールの設定画面へ

2.1 アナログ入力(Analog Inputs)

対象デバイス : POWR1220AT8, POWR1014, POWR1014A

アナログ入力ブロックでカーソルが下矢印に変わる箇所をダブルクリックすると、図 2-2の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる箇所をダブルクリックしますと、図 2-2の右側(Analog Input Setting)の画面が起動します。

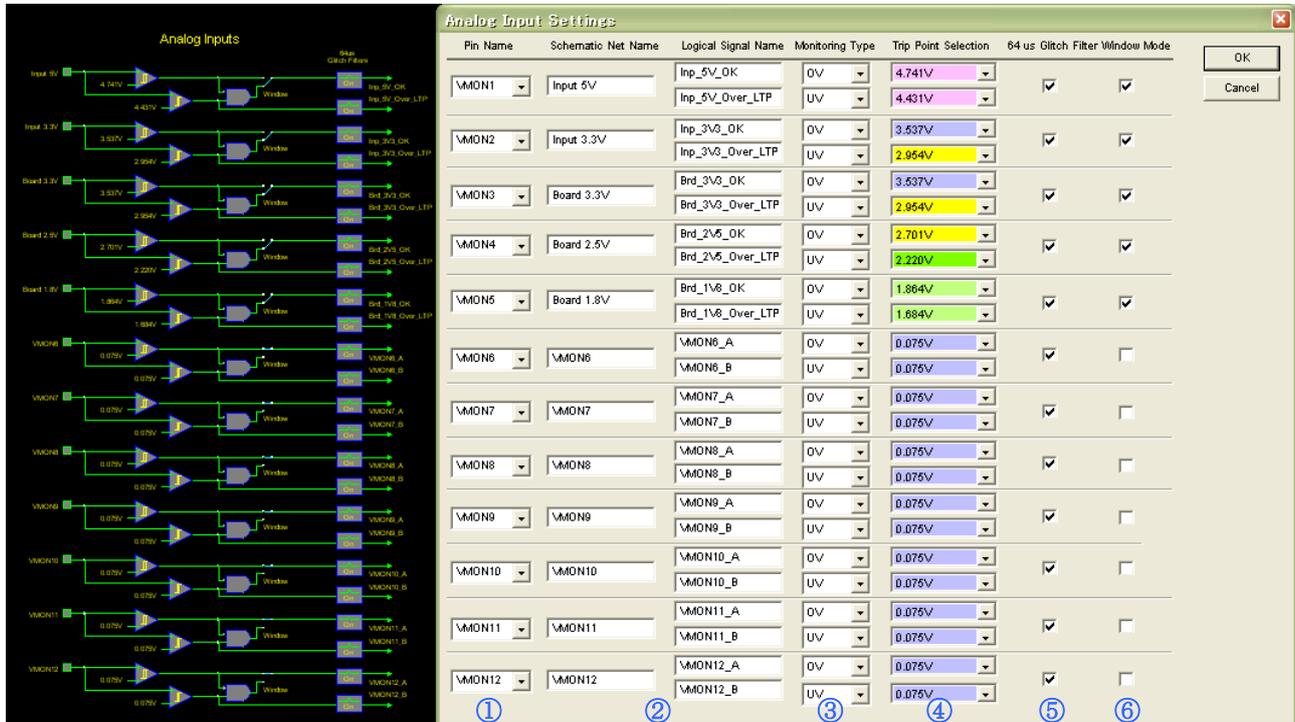


図 2-2 アナログ入力設定画面(PAC-POWR1220AT8)

上記画面が開きましたら、下記 6 つの設定を行ないます。

- ① 入力ピンを選択します(デフォルトのままでも構いません)。
- ② 各ピンの信号名を定義します。Schematic Net Name は回路図の入力信号名として、Logical Signal Name は回路図の出力信号名と後述のシーケンス・コントローラ内で使用されます(デフォルトのままでも構いません)。尚、PAC-POWR1220AT8, 1014/A では、1入力に対して閾値を二つ設定することができ、1入力に対して二つの Logical Signal Name を任意に設定可能です。
- ③ 監視条件を、OV(Over Voltage)、UV(Under Voltage)から選択します。OV/UV いずれのモードでも、測定電圧が設定値を上回った場合に“1”、設定値を下回った場合に“0”が返り値となります。2 つのモードの相違点は、ヒステリシス特性の違いのみです。

- ④ プルダウンメニューより、コンパレータのトリップポイント電圧を設定します。
(基準電圧に対して色分けされています)
- ⑤ 64us のグリッチフィルタを使用するか否かを設定します。チェックでグリッチフィルタを使用します。
- ⑥ ウィンドウ・コンパレータ・モードにするか否かを設定します。ウィンドウ・コンパレータ・モードに設定した場合、②で設定した2つの値の範囲内であるか否かを監視します。

各デバイスの、トリップポイント選択範囲は以下のようになります。

POWR1220AT8 : 0.075V, 0.668V～5.734V(OV), 0.075, 0.664V～5.703V(UV)

POWR1014/A : 0.075V, 0.680V～5.867V(OV), 0.075, 0.672V～5.806V(UV)

※0.075V(75mV)は、”電源が完全にオフした事の検出用”として用いる事が出来ます。

対象デバイス : POWR605, POWR607

アナログ入力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-3の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる箇所をダブルクリックしますと、図 2-4の右側(Analog Input Setting)の画面が起動します。



図 2-3 アナログ入力設定画面(PAC-POWR607)

上記画面が開きましたら、下記 5 つの設定を行ないます。

- ① 入力ピンを選択します(デフォルトのままでも構いません)。
- ② 各ピンの信号名を定義します。Schematic Net Name は回路図の入力信号名と、後述のシーケンス・コントローラ内で使用されます(デフォルトのままでも構いません)。
- ③ 監視条件を、OV(Over Voltage)、UV(Under Voltage)から選択します。
- ④ プルダウンメニューより、コンパレータのトリップポイント電圧を設定します。
(基準電圧に対して色分けされています)
- ⑤ 48us のグリッチフィルタを使用するか否かを設定します。チェックでグリッチフィルタを使用します。

各デバイスのトリップポイント選択範囲は以下のようになります。

POWR605 : 0.075V, 0.678V~5.793V(OV), 0.075V, 0.669V~5.734V(UV)
 POWR607 : 0.075V, 0.676V~5.811V(OV), 0.075V, 0.667V~5.751V(UV)

※0.075V(75mV)は、”電源が完全にオフした事の検出用”として用いる事が出来ます。

2.2 デジタル入力(Digital Inputs)

対象デバイス : POWR1220AT8, POWR1014A

デジタル入力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-4の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる箇所をダブルクリックしますと、図 2-4の右側(Digital Inputs)の画面が起動します。

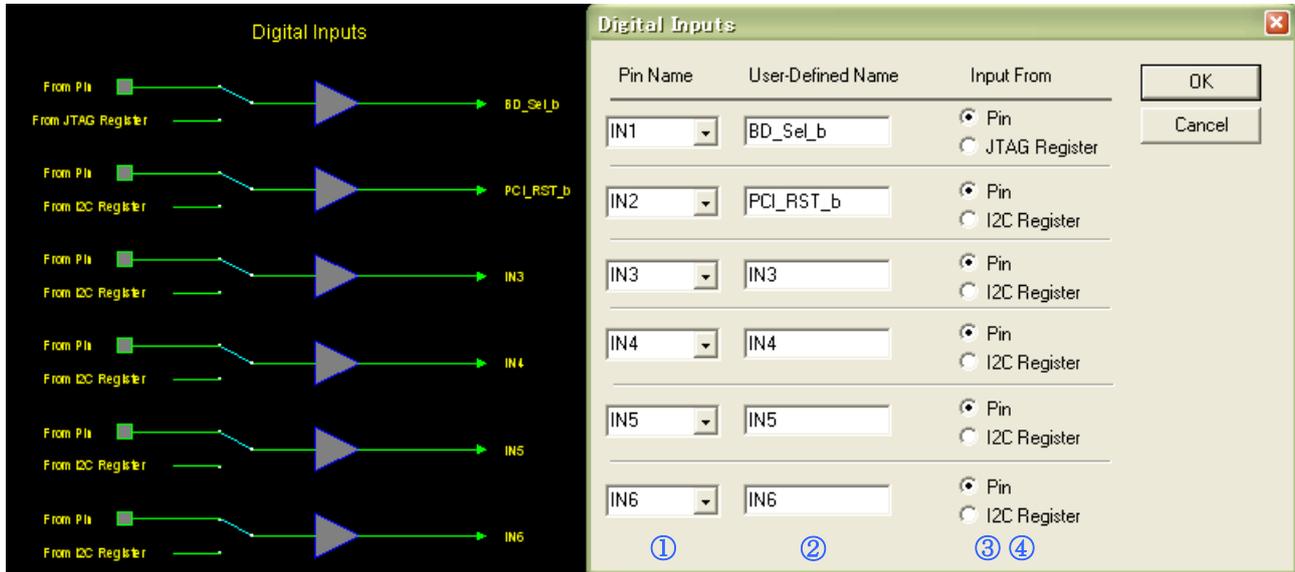


図 2-4 デジタル入力設定画面(PAC-POWR1220AT8 の場合)

ここでは、デジタル入力ピンの信号名をユーザで任意に設定することができます(デフォルトのままでも構いません)。

上記画面が開きましたら、下記 4 つの設定を行ないます。

- ① 入力ピンを選択します(デフォルトのままでも構いません)。
- ② 各ピンの信号名を定義します。User-Defined Name は、回路図の出力信号名と後述のシーケンス・コントローラ内で使用されます(デフォルトのままでも構いません)。
- ③ デジタル入力信号 1(デフォルト名 IN1)の制御を、pin の入力状態もしくは JTAG のユーザレジスタ設定の何れかから選択します。
- ④ デジタル入力信号 2 から 6 の制御を、pin の入力状態もしくは IC2 レジスタ設定の何れかから選択します(POWR1014A の場合デジタル入力信号 2 から 4 について制御します)。

JTAG および I2C のレジスタ設定(アドレス等)についての詳細は、データシートを参照ください。

対象デバイス : POWR1014, POWR607, POWR605

デジタル入力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-5の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる箇所をダブルクリックしますと、図 2-5の右側(Digital Inputs)の画面が起動します。

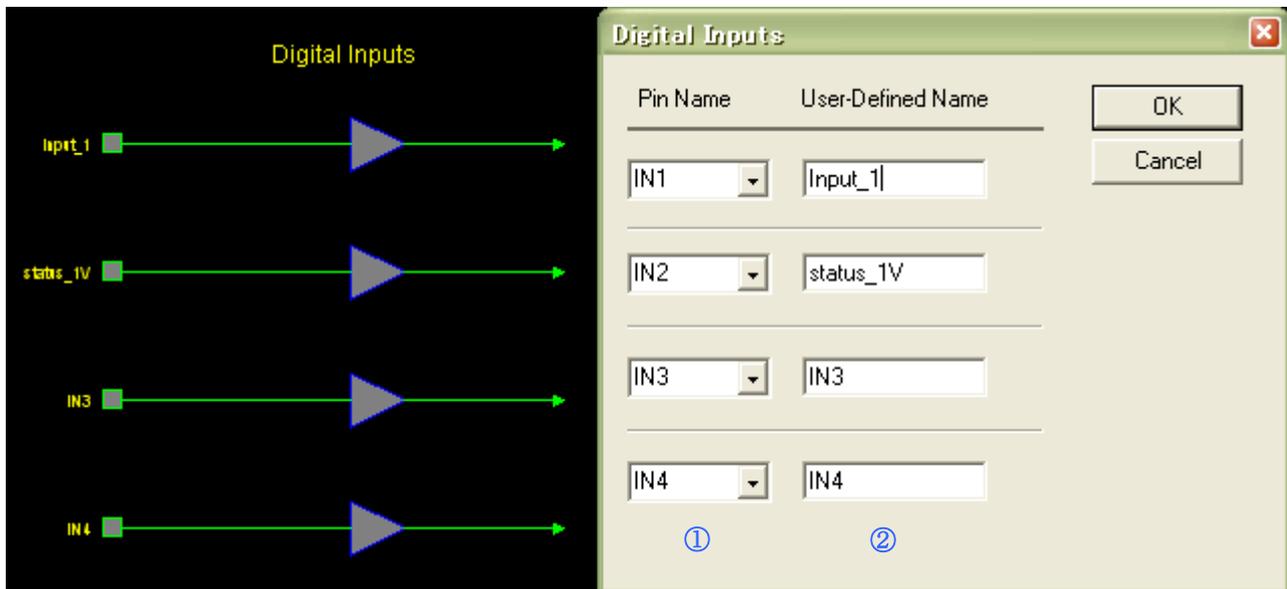


図 2-5 デジタル入力設定画面(PAC-POWR1014 の場合)

ここでは、デジタル入力ピンの信号名をユーザで任意に設定することができます(デフォルトのままでも構いません)。

上記画面が開きましたら、下記 2 つの設定を行ないます。

- ① 入力ピンを選択します(デフォルトのままでも構いません)。
- ② 各ピンの信号名を定義します。User-Defined Name は、回路図の入力信号名と後述のシーケンス・コントローラ内で使用されます(デフォルトのままでも構いません)。

入力ピンの数は、POWR1014 では 4 ピン、POWR607/605 では 2 ピンとなります。尚、後述いたしますが POWR605/607 の場合、それぞれ 5 ピンあるデジタル出力ピンもデジタル入力ピンとして使用することも可能です。

2.3 ロジック出力(Logic Outputs)

対象デバイス : POWR1220AT8, POWR1014, POWR1014A

ロジック出力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-6の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる箇所をダブルクリックしますと、図 2-6の右側(Logic Outputs)の画面が起動します。

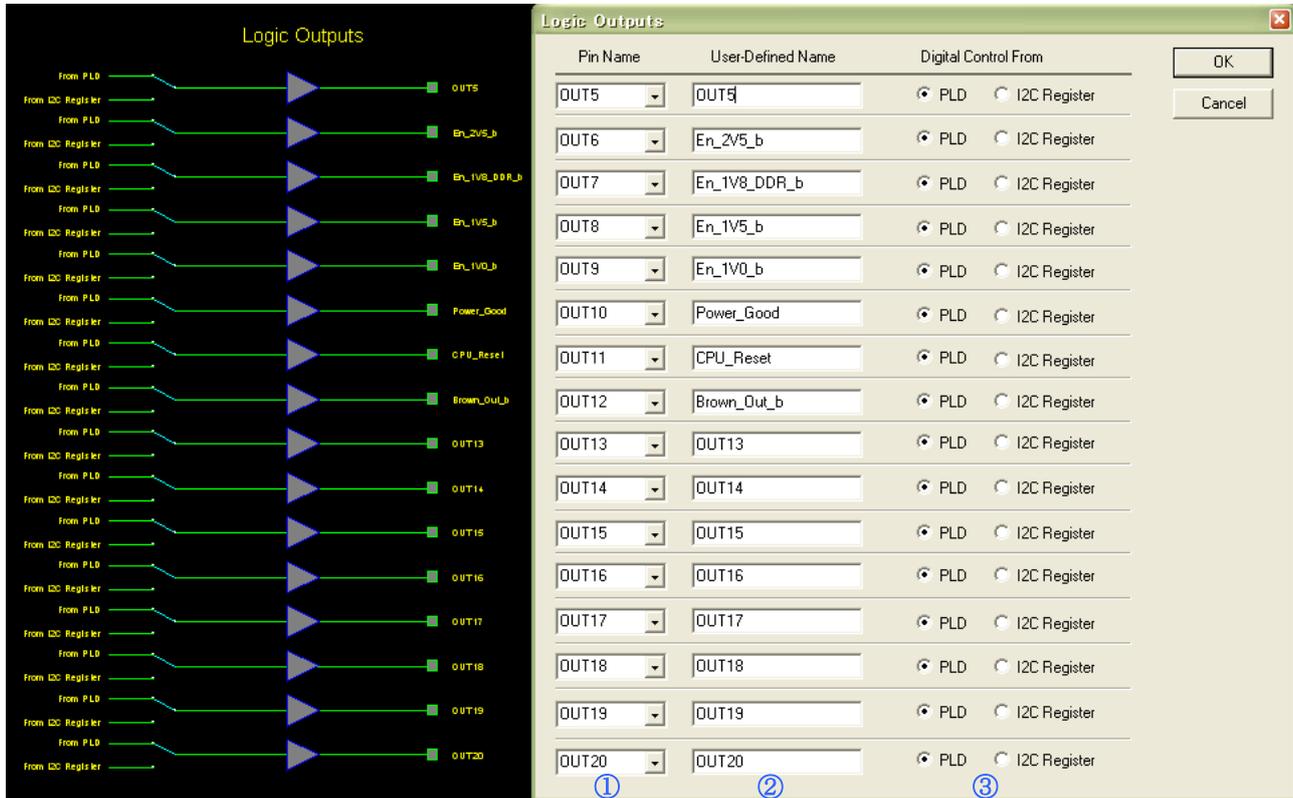


図 2-6 ロジック出力設定画面(PAC-POWR1220AT8 の場合)

上記画面が開きましたら、下記 3 つの設定を行ないます。

- ③ 出力ピンを選択します(デフォルトのままでも構いません)。
- ③ 各ピンの信号名を定義します。User-Defined Name は回路図の出力信号名と、後述のシーケンス・コントローラ内で使用されます(デフォルトのままでも構いません)。
- ③ 出力状態を PLD で制御するか I2C バス経由で制御するかを設定します(1220AT8, 1014A のみ)。

出力ピンの数は、POWR1220AT8 では 20 ピン、POWR1014/A では 14 ピンとなります。

尚、POWR1014 デバイスは、I2C インタフェースを持たない為、上記③に相当する設定はございません。出力状態は PLD からのみの制御となります。

対象デバイス : POWR605, POWR607

ロジック入出力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-7の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる箇所をダブルクリックしますと、図 2-7右側(Inputs_Outputs)の画面が起動します。

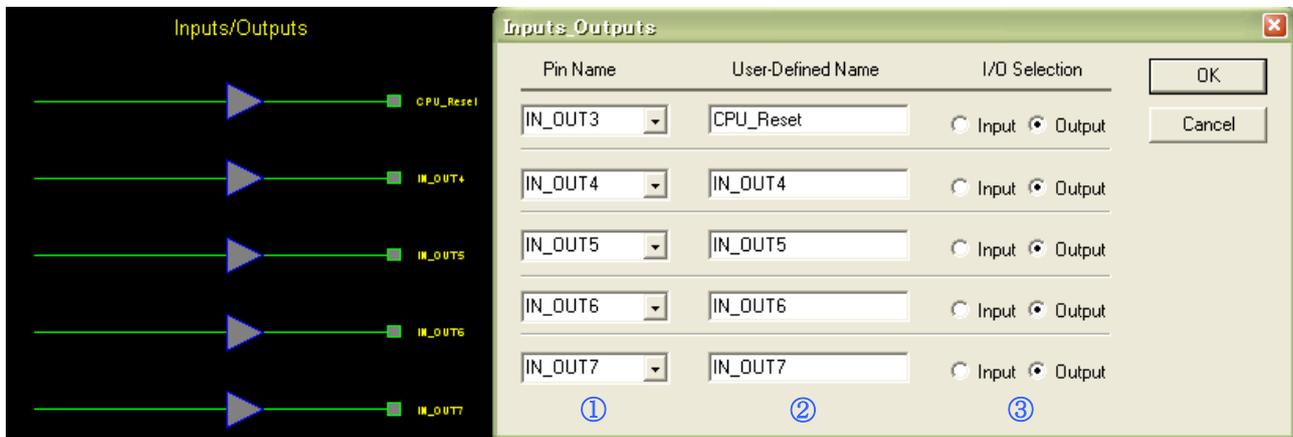


図 2-7 ロジック入出力設定画面(PAC-POWR605/607)

上記画面が開きましたら、下記 3 つの設定を行ないます。

- ① 入出力ピンを選択します(デフォルトのままでも構いません)
- ② 各ピンの信号名を定義します。User-Defined Name は回路図の出力信号名と、後述のシーケンス・コントローラ内で使用されます(デフォルトのままでも構いません)。
- ③ 入力ピンとして使用するか出力ピンとして使用するかを選択します。

入出力ピンの数は、POWR605/607 共に 5 ピンとなります。

2.4 高電圧出力(High Voltage Outputs)

対象デバイス : POWR1220AT8, POWR1014, POWR1014A

PAC-POWR1220AT8は4つ、1014/Aは2つの出力ピンを高電圧出力(High Voltage Outputs)として設定することができます。また、高電圧出力ピンは、オープンドレイン出力とすることも可能です。

高電圧出力は、電源シーケンスを制御するために、ボード上のNチャネルMOSFETのゲートをドライブするのに必要な、NチャネルMOSFETゲートドライバとして使用することができます。

高電圧出力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-8の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる箇所をダブルクリックしますと、図 2-8の右側(High Voltage Output Setting)の画面が起動します。

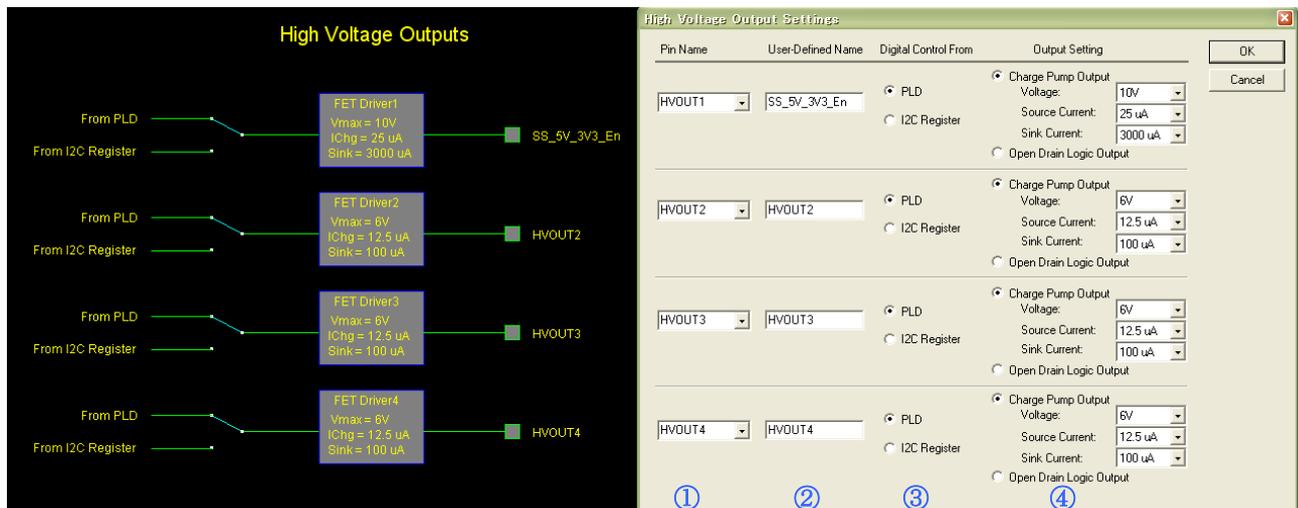


図 2-8 高電圧出力設定画面(PAC-POWR1220AT8 の場合)

上記画面が開きましたら、下記4つの設定を行ないます。

- ① 出力ピンを選択します(デフォルトのままでも構いません)。
- ② 各ピンの信号名を定義します。User-Defined Nameは回路図の出力信号名と、後述のシーケンス・コントローラ内で使用されます(デフォルトのままでも構いません)。
- ③ 出力ピンの制御をPLDで行なうかI2Cバス経由で行なうかを設定します(POWR1014を除く)。
- ④ 高電圧出力とする場合は、チャージポンプ出力(Charge Pump Output)にチェックし、出力電圧および電流値を設定します。オープンドレイン出力として使用する場合は、オープンドレイン出力(Open Drain Output)にチェックをします。オープンドレイン出力の場合は、通常の出カレベルとなります。

対象デバイス : POWR607

PAC-POWR607 は、2 つの出力ピンを高電圧出力(High Voltage Outputs)として設定することができます。また、高電圧出力ピンは、オープンドレイン出力とすることも可能です。

高電圧出力ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-9の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる箇所をダブルクリックしますと、図 2-9の右側(High Voltage Output Setting)の画面が起動します。



図 2-9 高電圧出力設定画面(PAC-POWR607)

上記画面が開きましたら、下記 3 つの設定を行ないます。

- ① 入力ピンを選択します(デフォルトのままでも構いません)。
- ② 各ピンの信号名を定義します。User-Defined Name は回路図の出力信号名と、後述のシーケンス・コントローラ内で使用されます(デフォルトのままでも構いません)。
- ③ 高電圧出力とする場合は、チャージポンプ出力(Chare Pump Output)にチェックし、出力電圧および電流値を設定します。オープンドレイン出力として使用する場合は、オープンドレイン出力(Open Drain Output)にチェックをします。オープンドレイン出力の場合は、通常出力レベルとなります。

2.5 クロック&タイマー

対象デバイス : POWR1220AT8, POWR1014, POWR1014A

クロック&タイマーブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-10の左側(背景黒のブロック)が開きます。この画面上にて背景黒以外の場所でカーソルが□に変わります。そこでダブルクリックすると、図 2-10の右側(Clock & Timer Settings)の画面が起動します。

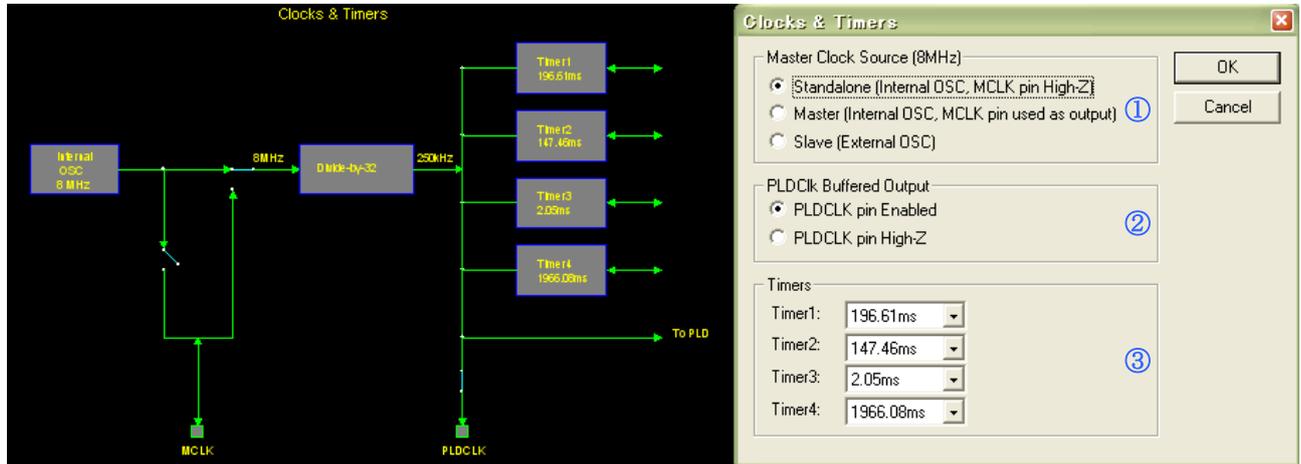


図 2-10 クロック&タイマー設定画面(PAC-POWR1220AT8 の場合)

上記画面が開きましたら、下記 3 つの設定を行ないます。

- ① クロックソースを設定します。
 - ・ Standalone :内部 OSC を使用し、MCLK ピンは Hi-Z
 - ・ Master :内部 OSC を使用し、MCLK ピンにクロックを出力
 - ・ Slave :外部のクロックを使用し、MCLK ピンは入力ピン
- ② PLDCLK ピンの出力を設定します。
 - ・ PLDCLK pin Enabled :PLDCLK ピンからクロックを出力
 - ・ PLKCLK pin High-Z :PLDCLK ピン出力は Hi-Z 状態
- ③ 1~4 種類のタイマー値をプルダウンメニューから選択します。

ここで、設定したタイマー値はシーケンス・コントローラ内部の、タイマー値を使用するインストラクションで使用することが出来ます。上記の通り、タイマー値は 4 つ個別に設定することが可能で、インストラクション毎に任意のタイマー値を用いることが出来ます。上記設定結果は回路図にも反映されます。

対象デバイス : POWR605, POWR607

クロック&タイマーブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-11の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる背景黒以外の場所をダブルクリックしますと、図 2-11の右側(Clock & Timer Settings)の画面が起動します(カーソルが上矢印に変わる箇所をダブルクリックしますと、メイン画面に戻ります)。

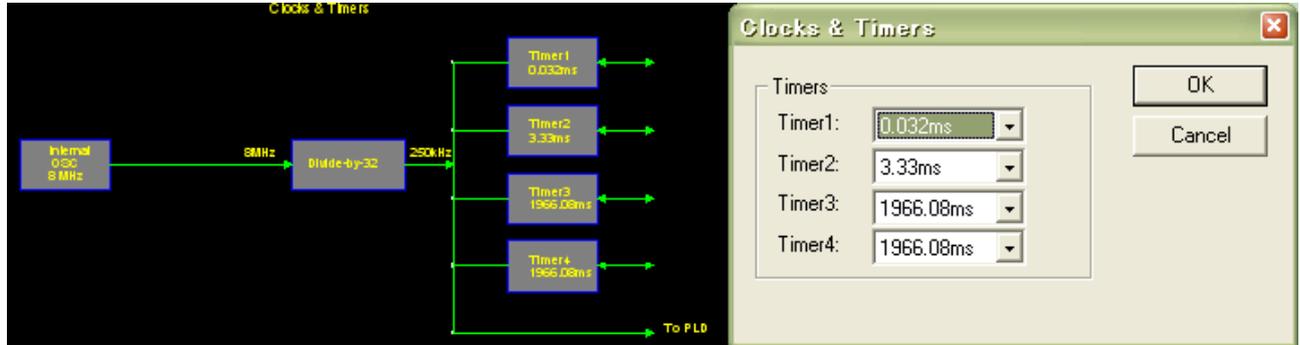


図 2-11 クロック&タイマー設定画面(PAC-POW605/607)

上記画面が開きましたら、1~4 種類のタイマー値をプルダウンメニューから選択します。

ここで、設定したタイマー値はシーケンス・コントローラ内部の、タイマー値を使用するインストラクションで使用することが出来ます。上記の通り、タイマー値は4つ個別に設定することが可能で、インストラクション毎に任意のタイマー値を用いることが出来ます。上記設定結果は回路図にも反映されます。

2.6 DC/DC コンバータ・ウイザード

対象デバイス : POWR1220AT8, POWR6AT6

トリミング機能付 DC/DC コンバータと、ispPAC-POWR1220AT8 を用いてトリミング機能を実現するためには、DC/DC コンバータの特性を設定する必要があります。

メニューバーの「DC-DC」アイコンをクリックすると、DC/DC コンバータウイザードが起動します(アイコンが表示されない場合、メニューの View→Margin Toolbar にチェックをつけて表示させます)。

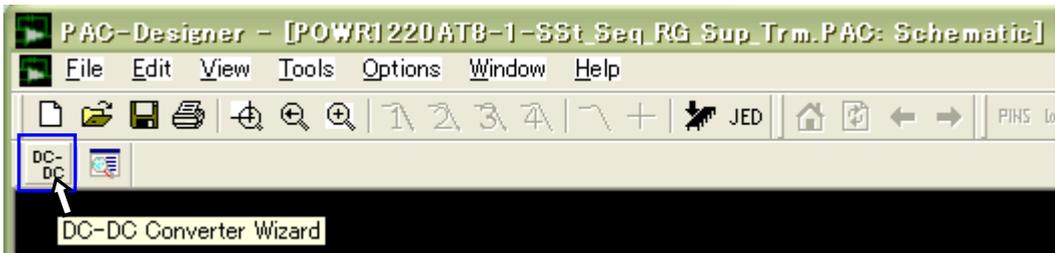


図 2-12 DC/DC コンバータウイザードの起動

DC/DC コンバータウイザードが起動したら、「New」ボタンをクリックし、ライブラリ名を入力し、新規ライブラリの生成を行ないます。名前を付けて OK をクリックしたら、次へ(N)をクリックします。

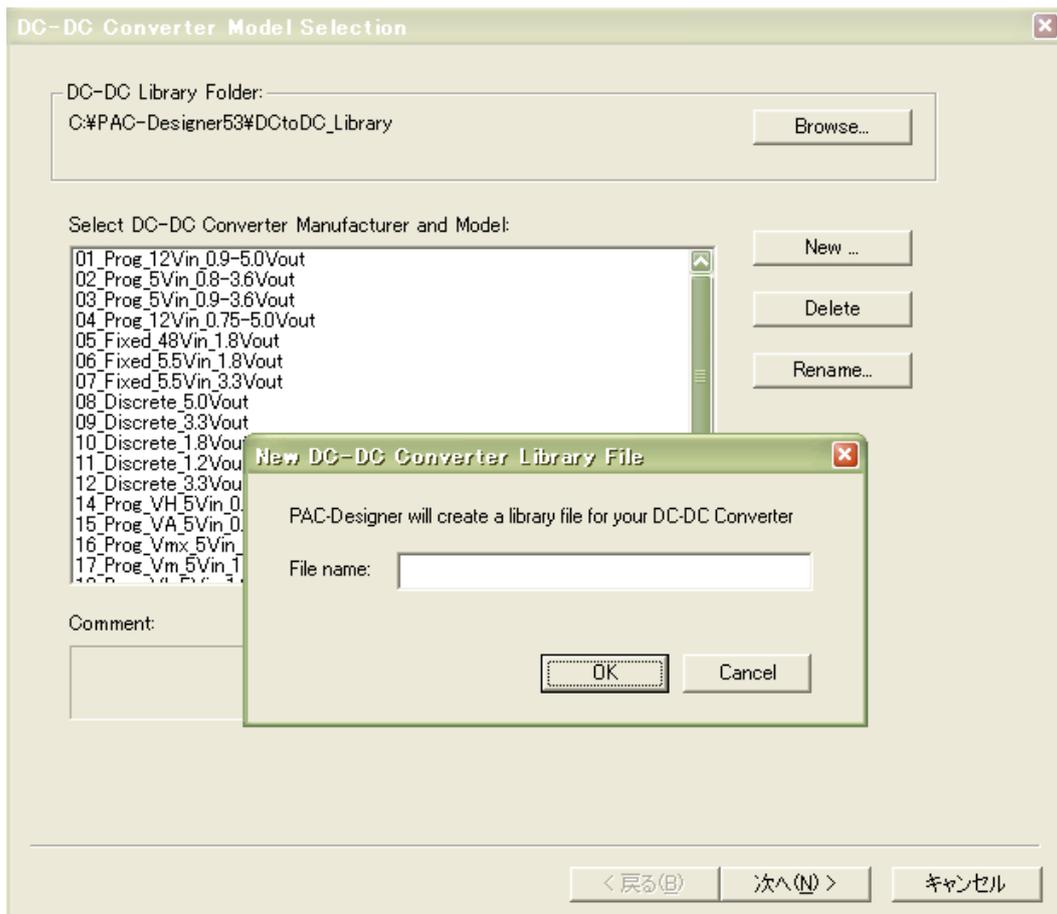


図 2-13 新規 DC/DC コンバータライブラリーの生成

続いて、DC/DC コンバータのタイプを以下の 4 種から選択します。

1. トリムピンと V_{out} もしくは GND を抵抗で接続し、抵抗値により基準電圧に対して数%の出力電圧調整が可能なタイプ
2. ピンと GND を抵抗で接続することで、抵抗値により広いレンジで出力電圧を変更できるタイプ
3. トリムピンと V_{out} を抵抗で接続することで、抵抗値により広いレンジで出力電圧を変更できるタイプ
4. 外部のフィードバック抵抗により出力電圧を設定するタイプ

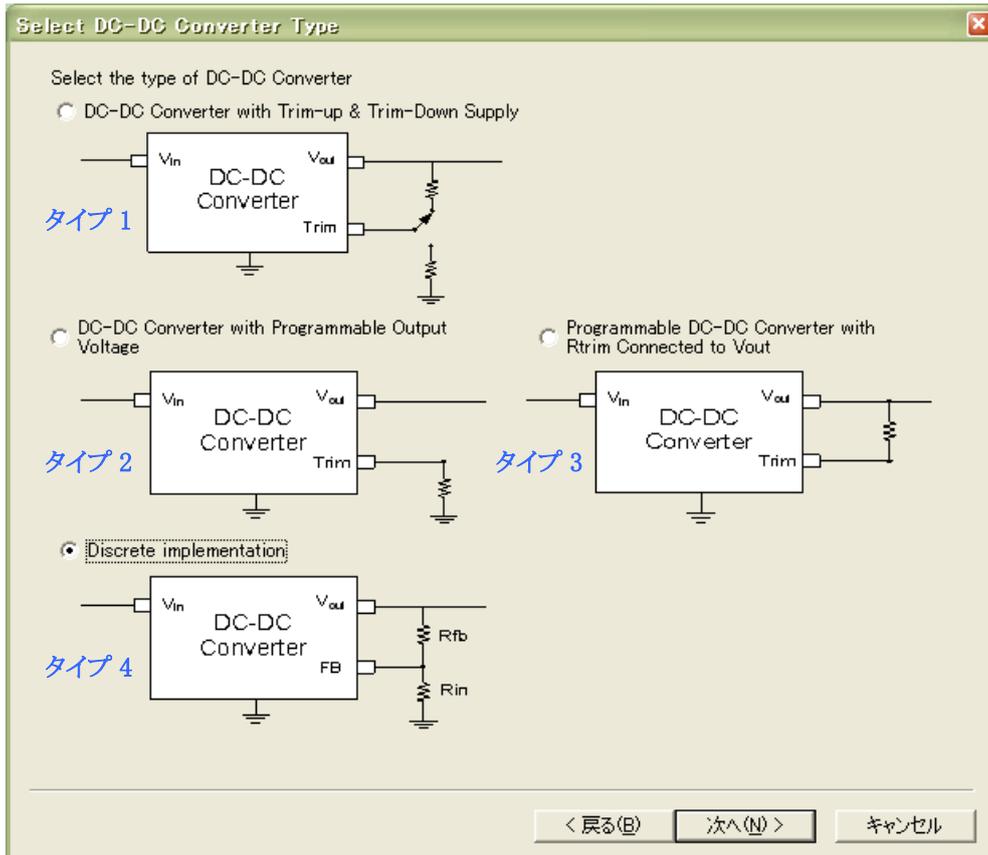


図 2-14 DC/DC コンバータのタイプ選択画面

タイプを選択したら、次へ(N)をクリックします。

続いて、選択したDC/DCコンバータのパラメータ設定を行ないます。使用するDC/DCコンバータのデータシートを参照し、パラメータを設定します。
お使いになります DC/DC コンバータのデータシートをお手元にご用意下さい。

タイプ 1

トリムピンと Vout もしくは GND を抵抗で接続し、抵抗値により基準電圧に対して数%の出力電圧調整が可能なタイプ

図 2-15のような画面が起動しましたら、パラメータの入力を行ないます。入力が完了しましたら「Save」ボタンをクリックしてライブラリを保存し、「完了」ボタンをクリックします。

DC-DC Converter Datasheet Example Configurations

Nominal Output Voltage With Trim Resistor Open: V

| Parameter | Example1 R to GND | Example2 R to GND | Example3 R to Vout |
|-----------------|--|---|---|
| Resistor | <input type="text" value="33"/> V | <input type="text" value="33"/> V | <input type="text" value="33"/> V |
| Voltage with | <input type="text" value="3.63"/> V | <input type="text" value="3.15"/> V | <input type="text" value="2.7"/> V |
| Resistor to Set | <input type="text" value="5447"/> ohms | <input type="text" value="12333"/> ohms | <input type="text" value="10333"/> ohms |

Comment:

Save configurations to library file:

Buttons: <戻る(B) | 完了 | キャンセル

Callout 1: データシートを参照し、トリム用レジスタ未使用時の通常電圧を入力

Callout 2: データシートを参照し、抵抗値と電圧値の構成例を入力します。抵抗を介して GND と接続した場合の例を 2 つ。Vout と接続した場合の例を 1 つ入力します。入力する値は、実際に使用する値である必要はございません。

Callout 3: 保存するライブラリ名を入力します。必要に応じコメントも記載しておくくと便利です。

図 2-15 DC/DC コンバータのパラメータ設定画面(タイプ 1)

タイプ 2

トリムピンと GND を抵抗で接続することで、抵抗値により広いレンジで出力電圧を変更できるタイプ

図 2-16 のような画面が起動しましたら、内部の基準電圧(Vref)もしくは内部の基準抵抗値(Rref)及び基準電流(Iref)の入力を行ないます。入力が完了しましたら「次へ」ボタンをクリックします。

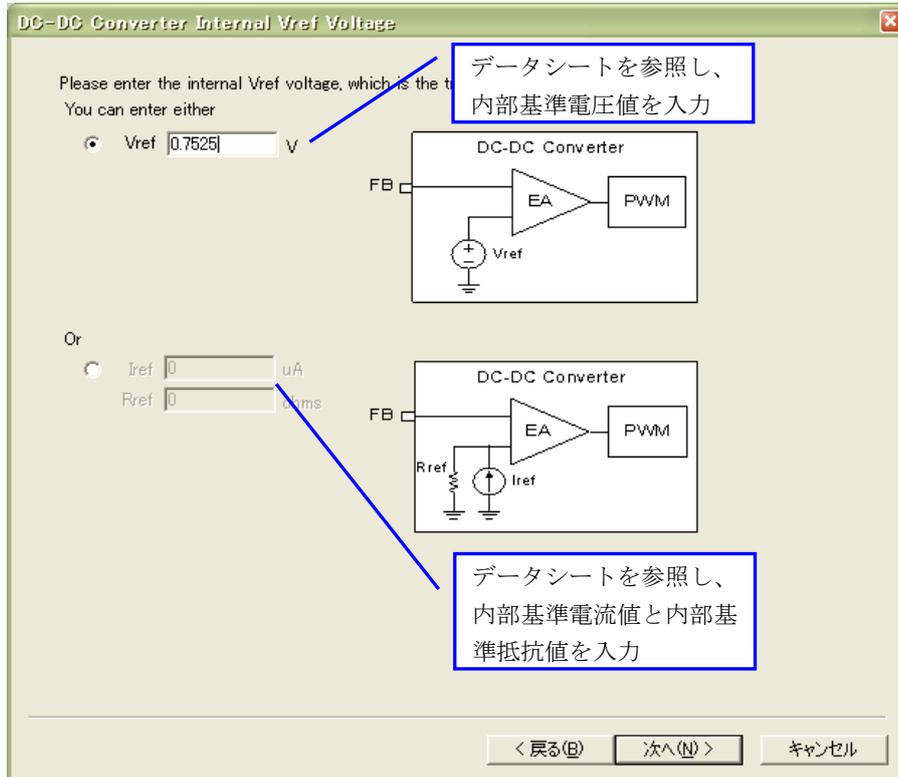


図 2-16 DC/DC コンバータのパラメータ設定画面(タイプ 2-1)

図 2-17 のような画面が起動しましたら、パラメータの入力を行ないます。入力が完了しましたら「Save」ボタンをクリックしてライブラリを保存し、「完了」ボタンをクリックします。

データシートを参照し、トリムピン開放時の Vout 電圧を入力

データシートを参照し、抵抗値と電圧値の構成例を 2 つ入力します。入力する値は、実際に使用する値である必要はございません。

| DC-DC Converter Datasheet Example Configuration Equations | | | |
|---|----------------------|----------------------|-----------------------|
| | Example1 R to GND | Example2 R to GND | Example3 R to Vout |
| Trim Resistor | 0.7525 V | 0.7525 V | 0 V |
| Trimmed/Margined Output Voltage with Trim Resistor Connected | 1.2 V | 3.3 V | 0 V |
| Trim Resistor in ohms Required to Set Output Voltage as Above | 41973 ohms | 3160 ohms | 0 ohms |

Comment: 2.5V DC/DC Converter

Save configurations to library file: Power Suplyer *****

保存するライブラリ名を入力します。必要に応じコメントも記載しておくと便利です。

<戻る(B) 完了 キャンセル

図 2-17 DC/DC コンバータのパラメータ設定画面(タイプ 2-2)

タイプ 3

トリムピンと V_{out} を抵抗で接続することで、抵抗値により広いレンジで出力電圧を変更できるタイプ

図 2-18のような画面が起動しましたら、内部の基準電圧(V_{ref})もしくは内部の基準抵抗値(R_{ref})及び基準電流(I_{ref})の入力を行ないます。入力が完了しましたら「次へ」ボタンをクリックします。

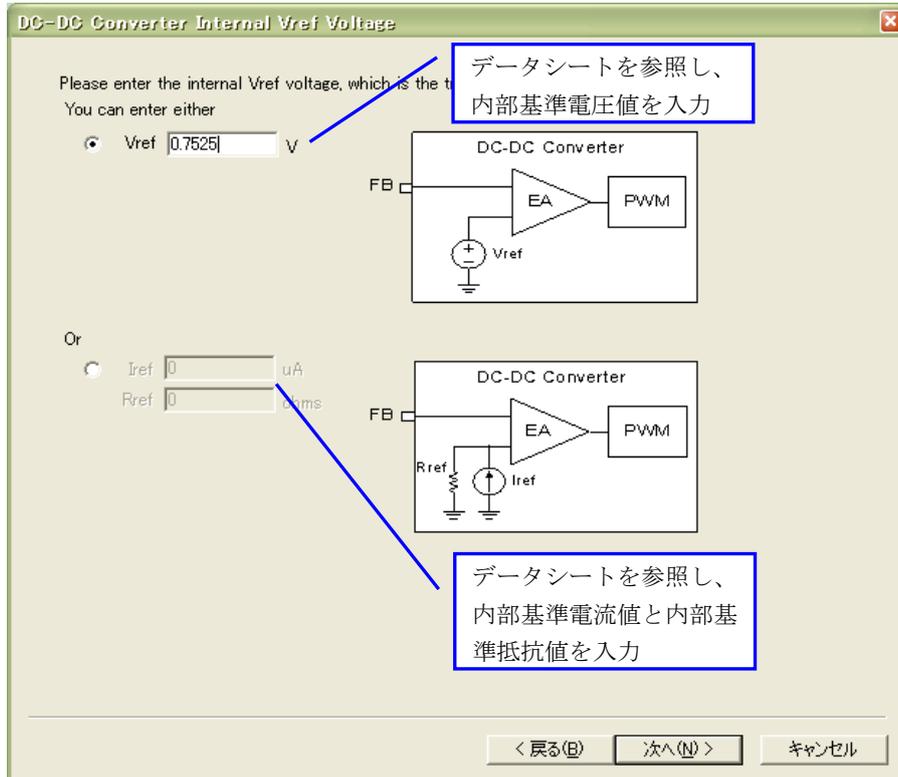


図 2-18 DC/DC コンバータのパラメータ設定画面(タイプ 3-1)

図 2-19 のような画面が起動しましたら、パラメータの入力を行ないます。入力が完了しましたら「Save」ボタンをクリックしてライブラリを保存し、「完了」ボタンをクリックします。

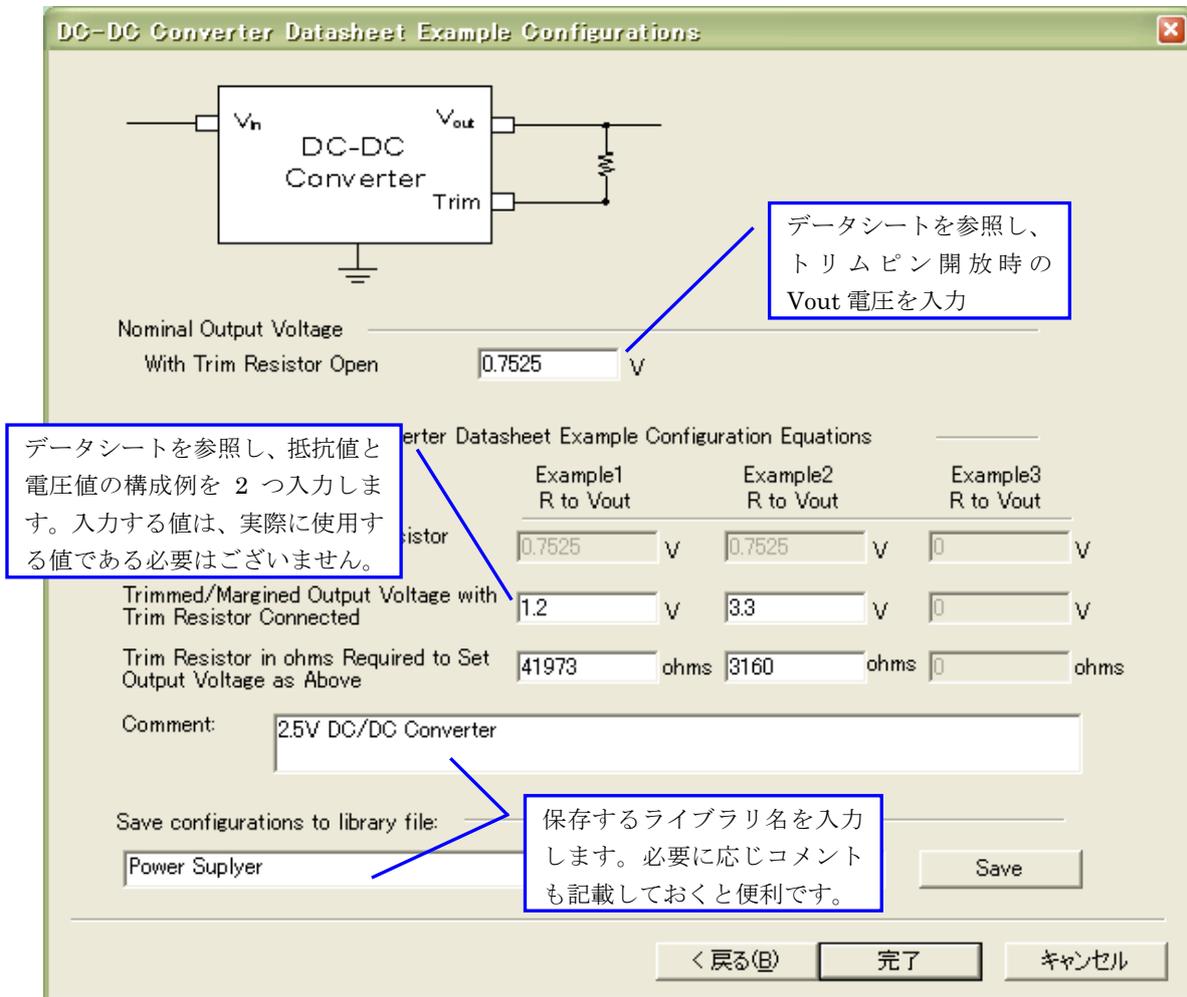


図 2-19 DC/DC コンバータのパラメータ設定画面(タイプ 3-2)

タイプ 4

外部のフィードバック抵抗により出力電圧を設定するタイプ

図 2-20のような画面が起動しましたら、パラメータの入力を行ないます。入力が完了しましたら「Save」ボタンをクリックしてライブラリを保存し、「完了」ボタンをクリックします。

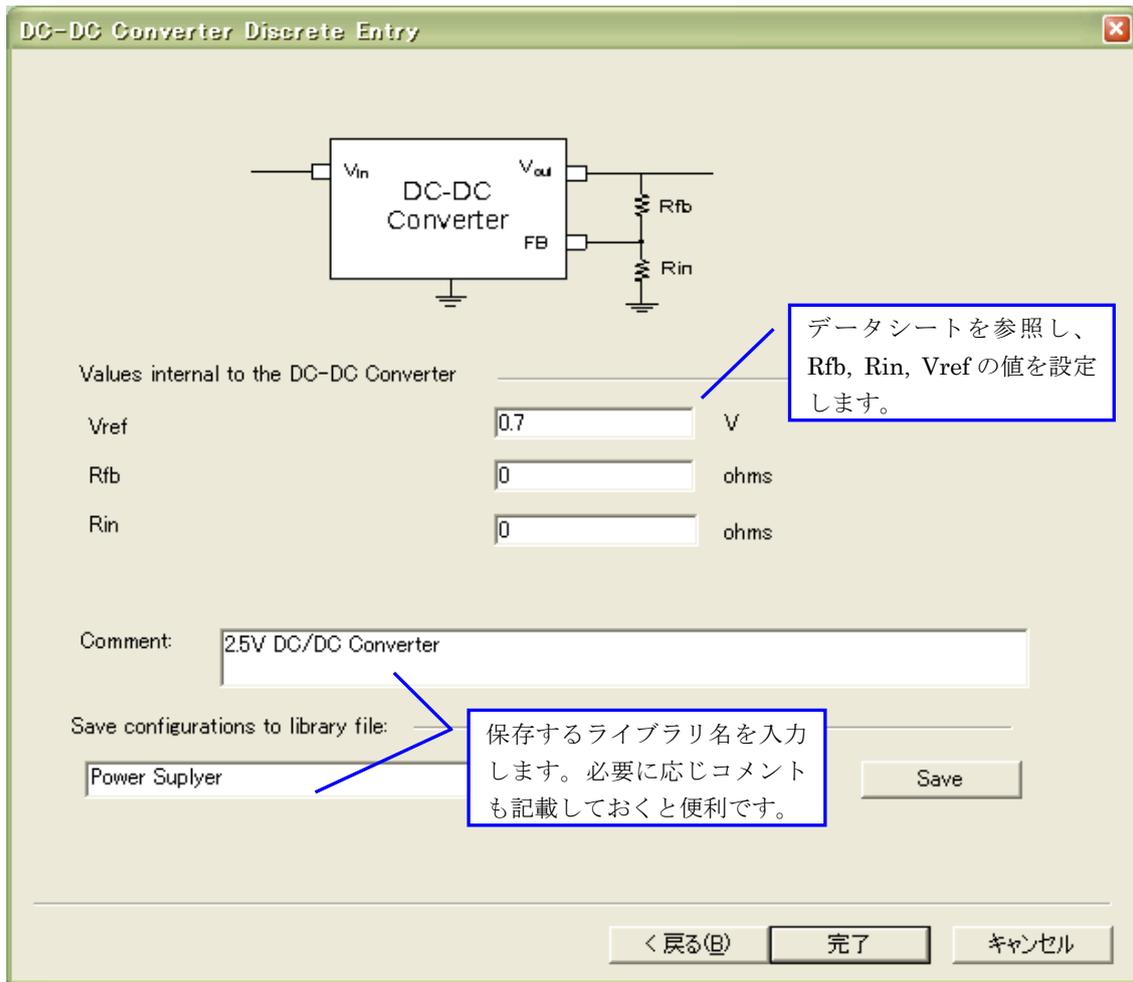


図 2-20 DC/DC コンバータのパラメータ設定画面(タイプ 4)

2.7 マージン/トリム(Margin/Trim)

対象デバイス : POWR1220AT8, POWR6AT6

マージン/Trim ブロック(カーソルが下矢印に変わる箇所)をダブルクリックすると、図 2-21の左側(背景黒のブロック)が開きます。この画面上にて、カーソルが□に変わる青枠内をダブルクリックしますと、図 2-21の右側(Global Trimming Settings)の画面が起動します。

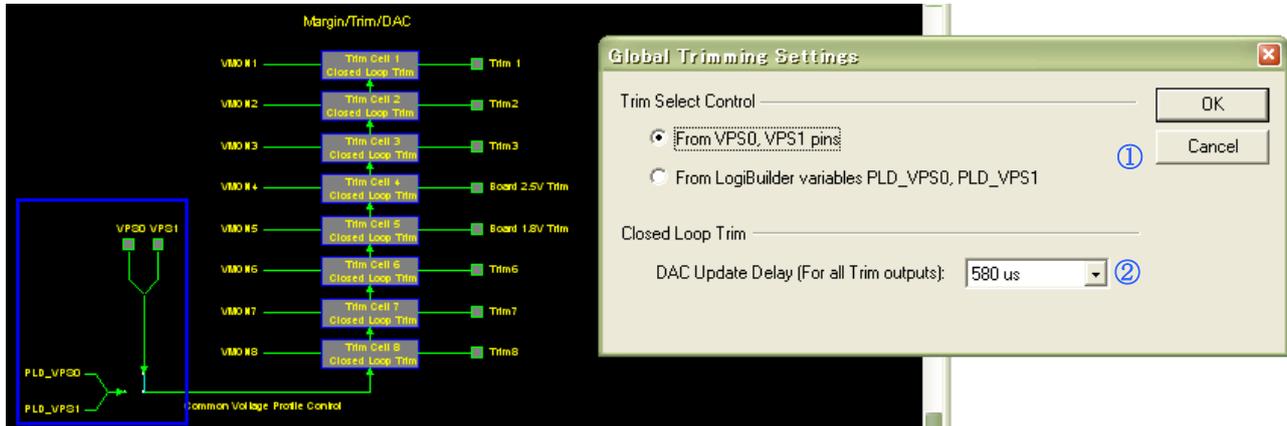


図 2-21 グローバルトリミング設定画面(ispPAC-POWR1220AT8 の場合)

上記画面が開きましたら、下記 2 つの設定を行ないます。

①トリム・プロファイルの制御源

ispPAC-POWR1220AT8 では、電圧プロファイルを最大で 4 種類設定することが出来ます。この設定にて 4 種類を選択する、2 ビット制御信号を外部ピンから制御するか、内部ノードから制御するか選択します。

- From VPS0, VPS1 pins : 外部ピンから制御
- From LogiBuilder variable PLD_VPS0, PLS_VPS1 : 内部ノードから制御

②閉ループのトリマ調整時の、DAC のアップデート遅延時間をプルダウンメニューより設定します。

続いて、トリマの設定を行ないます。

図 2-22のカーソルが□に変わる青枠内をクリックしますと、図 2-22の右側(Trim Setting)画面が起動します。尚、トリマは最大でそれぞれ 8 種類 (1220AT8)、6 種類 (6AT6)使用できます。設定したい Trim Cell の上でダブルクリックをして下さい。

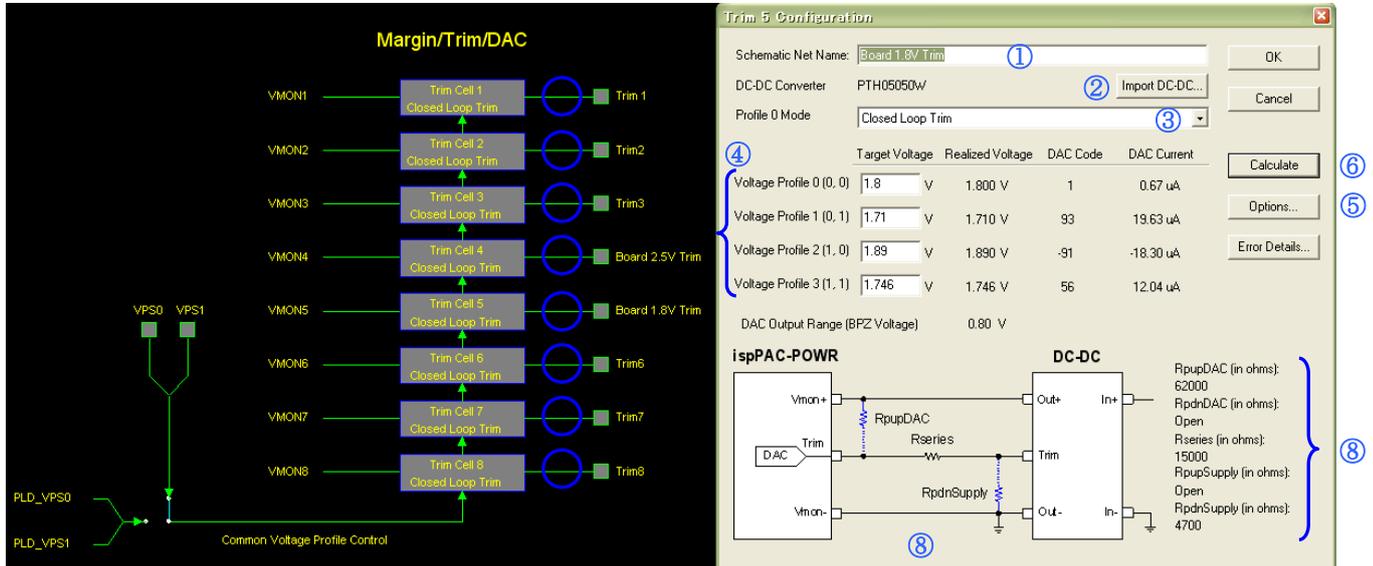


図 2-22 トリマ設定画面

上記画面が開きましたら、下記 8 つの設定を行ないます。

- ① 各ピンの信号名を定義します。Schematic Net Name は回路図の出力信号名で使用されます (デフォルトのままでも構いません)。
- ② 2.6 章にて設定した DC/DC コンバータのライブラリを読み出します。
- ③ Profile0 のモードを設定します。
- ④ 各プロファイルについて、ターゲット電圧を設定します。
- ⑤ 必要に応じて、オプションの設定を行ないます(詳細は2.8節を参照ください)。
- ⑥ 「Calculate」ボタンをクリックし、抵抗値を計算する。
- ⑦ 計算の結果、エラーがあった場合は、「Error Details」ボタンをクリックするとエラーの詳細を見ることが出来ます(次ページ 図 2-23参照)。
- ⑧ 実ボード上に実装すべき抵抗値の値と接続イメージが表示されます。

図 2-23に「Error Details」ボタンをクリックしたときに表示される、エラー内容の一例を示します。

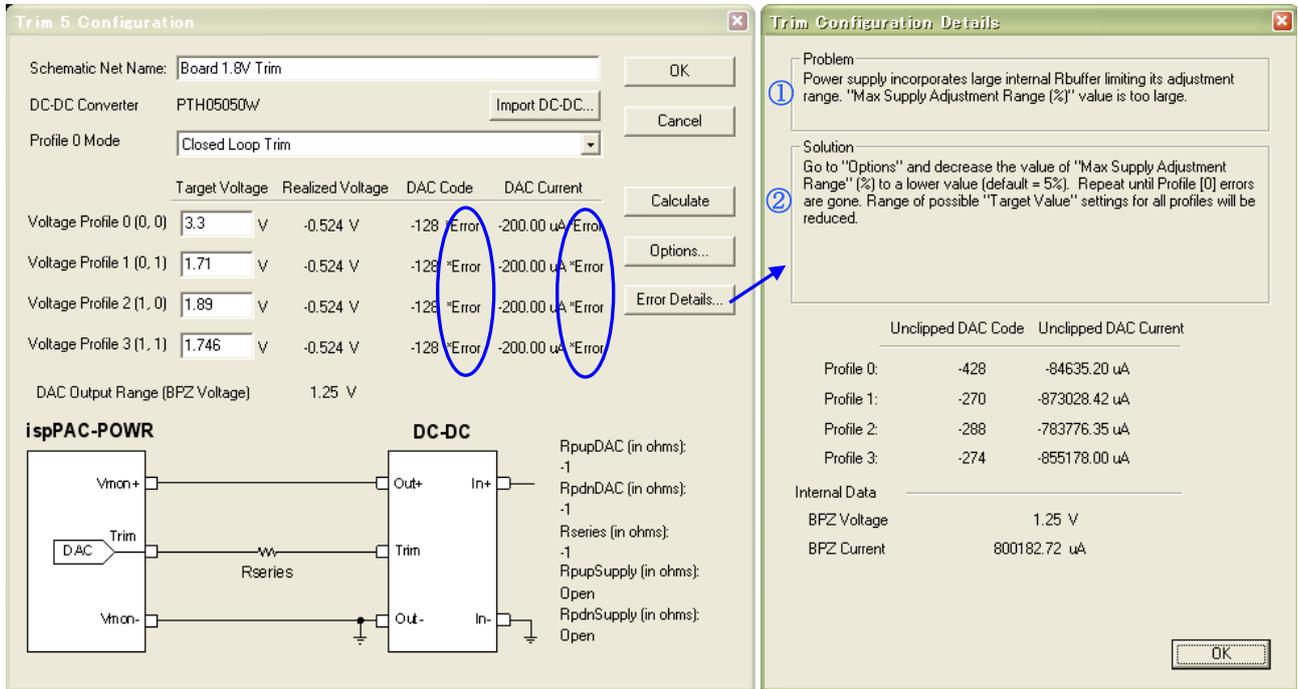


図 2-23 エラー内容の例

上図①に示されるように、エラー内容が「Problem」に表示され、その解決策が②「Solution」に表示されます。

2.8 トリム コンフィグレーションのオプション設定

対象デバイス : POWR1220AT8, POWR6AT6

図 2-22 の⑤の、「オプション」ボタンをクリックしますと、図 2-24のような画面が起動します。

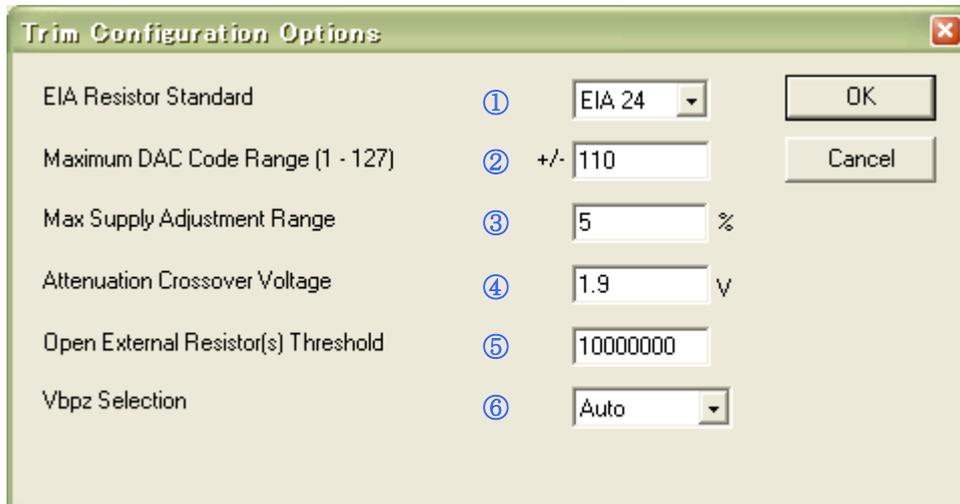


図 2-24 Trim コンフィグレーションのオプション設定画面

上記画面が開きましたら、必要に応じて下記 6 つの設定を行ないます。

- ① 抵抗網の系列を設定します。
- ② DAC コードの範囲を設定します。
1～127 の範囲で選択することが出来ます。デフォルト設定は 110 です。
数字を大きくすることにより、設定可能な電圧範囲は広がります。ただし、デジタル閉ループモード時の過渡応答特性に対するエラーを許容するための値となっているため、**デフォルト設定を推奨します。**
- ③ 出力電圧の範囲を設定します。
設定出力電圧の最大、最小の範囲を設定します。
設定した範囲により、DAC コードのステップサイズが決定されます。
範囲を広くすれば、設定可能な出力電圧の範囲は広がりますが、設定電圧の数値は粗くなります。範囲を狭くすれば、出力電圧の範囲は狭まりますが細かな設定が可能となります。尚、**出力電圧の誤差を±1%以内に抑えるためには、レンジを±5 以内に設定する必要があります。**
- ④ 内部アッテネータが有効となる電圧を設定します。
内蔵の DAC の前段にアッテネータがあり、設定した値を超えるとアッテネータが有効となります。基本的には、デフォルトの 1.9V で問題ありません。
但し、アッテネータが有効になりますとアッテネータの誤差が発生しますので、2.0V 付近の電圧を VMON に入力する場合には、設定を変更することにより精度を良くすることが出来ます。設定可能な範囲は、1.8V～2.1V です。尚、アッテネータによる誤差は最大±1%です。
- ⑤ 外部抵抗をオープンにする場合の閾値を設定します。
計算結果で、設定値以上の値となった場合 Open となります。
- ⑥ バイポーラ・ゼロ・電圧を設定します。Auto 設定の場合、ツールが自動的に最適な値に設定します。**デフォルト設定を推奨します。**

2.9 トリム設定の一覧確認

対象デバイス : POWR1220AT8, POWR6AT6

トリムブロックの設定が完了しましたら、各トリム出力の設定値の一覧を表示することが出来ます。
トリムブロックの設定画面にて、View→Trim Output Summary を選択します(図 2-25)。

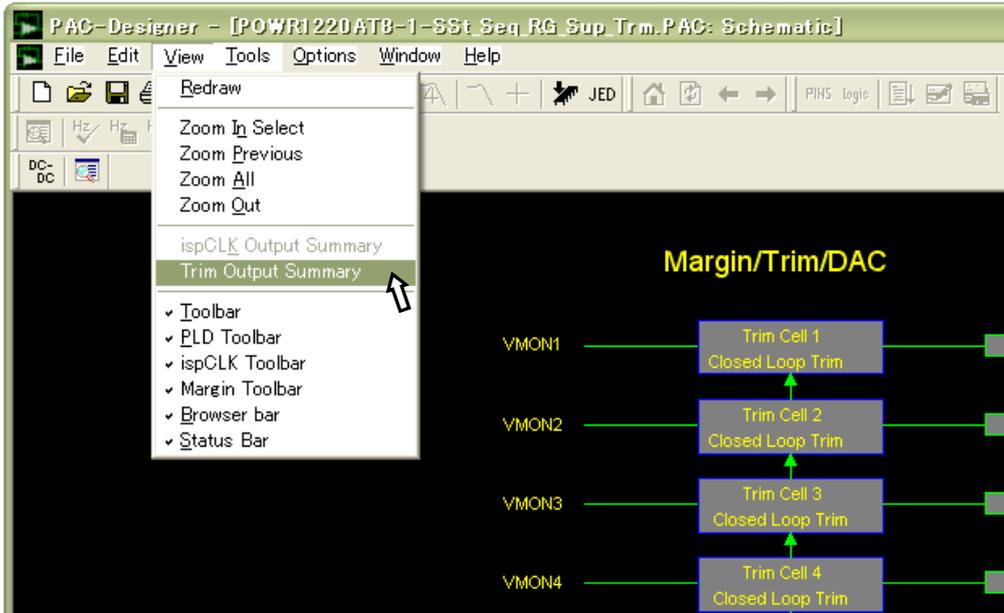


図 2-25 トリム設定の一覧画面起動方法

上記操作にて、図 2-26の画面が起動し、設定内容を確認することが出来ます。
左右に表示しきれていない場合、下部のスクロールバーで閲覧可能です。

| DAC Output | Voltage Profile ... | Profile 0 Voltage | Profile 1 Voltage | Profile 2 Voltage | Profile 3 Voltage | BPZ Vol |
|-----------------|---------------------|-------------------|-------------------|-------------------|-------------------|---------|
| Trim 1 | Closed Loop | 3.000V | 3.000V | 3.000V | 3.000V | 0.80V |
| Trim2 | Closed Loop | 3.000V | 3.000V | 3.000V | 3.000V | 0.80V |
| Trim3 | Closed Loop | 3.000V | 3.000V | 3.000V | 3.000V | 0.80V |
| Board 2.5V Trim | Closed Loop | 2.500V | 2.374V | 2.625V | 2.425V | 1.25V |
| Board 1.8V Trim | Closed Loop | 1.800V | 1.710V | 1.890V | 1.746V | 0.80V |
| Trim6 | Closed Loop | 3.000V | 3.000V | 3.000V | 3.000V | 1.25V |
| Trim7 | Closed Loop | 3.000V | 3.000V | 3.000V | 3.000V | 1.25V |
| Trim8 | Closed Loop | 3.000V | 3.000V | 3.000V | 3.000V | 1.25V |

図 2-26 トリム出力設定の一覧画面

2.10 I2C コンフィグレーション

対象デバイス : POWR1220AT8, POWR1014A

I2C コンフィグレーションブロック(カーソルが□に変わる箇所)をダブルクリックすると、図 2-27のような画面が開きます。

ここでは、I2C インタフェースを使用するための設定を行ないます(I2C インタフェースを使用しない場合は設定不要です)。I2C インタフェースを使用することで、設定内容のリード・ライトや、ピンの入力や出力状態の制御を行なうことができます。

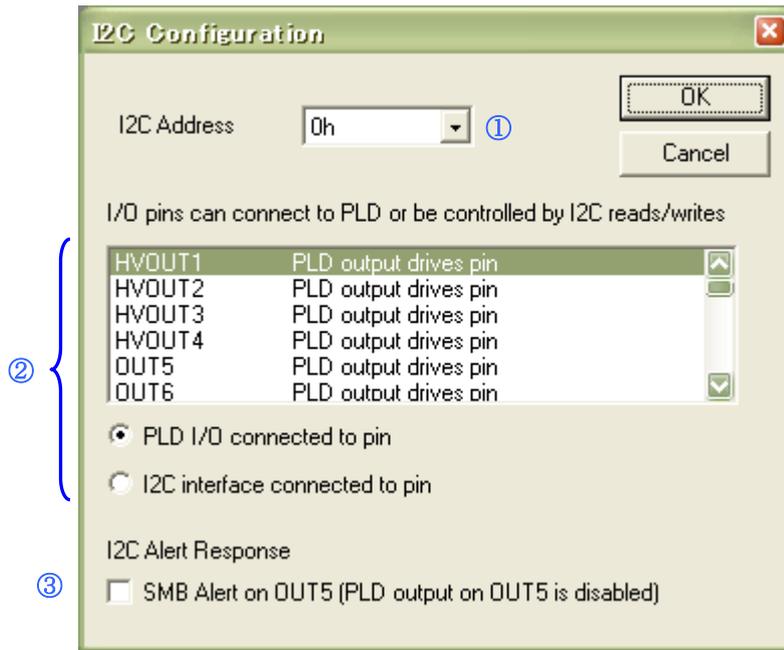


図 2-27 I2C コンフィグレーションウインドウ

上記画面が開きましたら、下記 3 つの設定を行ないます。

- ① I2C インタフェース用のデバイスアドレスをプルダウンから設定します。
デバイスアドレスは、0h 以外を使用してください。また同一 I2C バス上に複数のデバイスを接続する場合は、他のデバイスと違うアドレスに設定してください。
- ② デジタル入力、高電圧出力、ロジック出力ピンの制御を、I2C バス経由で行なうか、内部の PLD 部で制御するかを設定します。
設定は、各ブロックでも設定が可能です。各ブロックで設定した場合も、本設定に内容が反映されます。
- ③ I2C バスのアラート・レスポンス信号を使用する場合、OUT5ピンの出力を利用することができます。チェックボックスにチェックを入れた場合、OUT5 ピンの出力はアラート・レスポンス信号出力 (Active Low)となります。

対象デバイス : POWR6AT6

I2C コンフィグレーションブロック(カーソルが□に変わる箇所)をダブルクリックすると、図 2-28 のような画面が開きます。

ここでは、I2C インタフェースを使用するための設定を行いません(I2C インタフェースを使用しない場合は設定不要です)。I2C インタフェースを使用することで、設定内容のリード/ライトや、ピンの入力や出力状態の制御を行なうことができます。

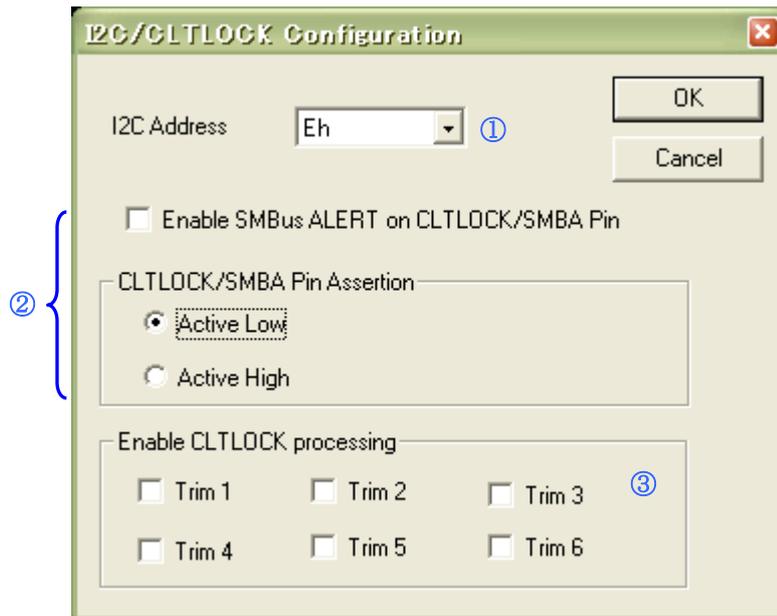


図 2-28 I2C コンフィグレーションウインドウ

上記画面が開きましたら、下記 3 つの設定を行いません。

- ① I2C インタフェース用のデバイスアドレスをプルダウンから設定します。
デバイスアドレスは、0h 以外を使用してください。また同一 I2C バス上に複数のデバイスを接続する場合は、他のデバイスと違うアドレスに設定してください。
- ② I2C バスのアラート・レスポンス信号を使用する場合、CLTLOCK/SMBA ピンの出力を利用することができます。チェックボックスにチェックを入れた場合、CLTLOCK/SMBA ピンの出力はアラート・レスポンス信号出力となります。尚、デフォルトは Active Low ですが Active High を選択することも可能です。その場合“Enable SMBus ALERT on CLTLOCK/SMBA Pin”のチェックが外れている状態で、Active Low/Active High かを先に選択します。
- ③ 閉ループのトリミングモードにて、6組のトリムセルがそれぞれロックに達したかをモニタ可能です。どのトリムセルをモニタするかを選択します。

2.11 パワーダウンモード

対象デバイス : POWR605, POWR607

パワーダウンモードは、デフォルト設定では無効となっておりますので、本モードを使用するには、下記手順にて設定する必要があります。

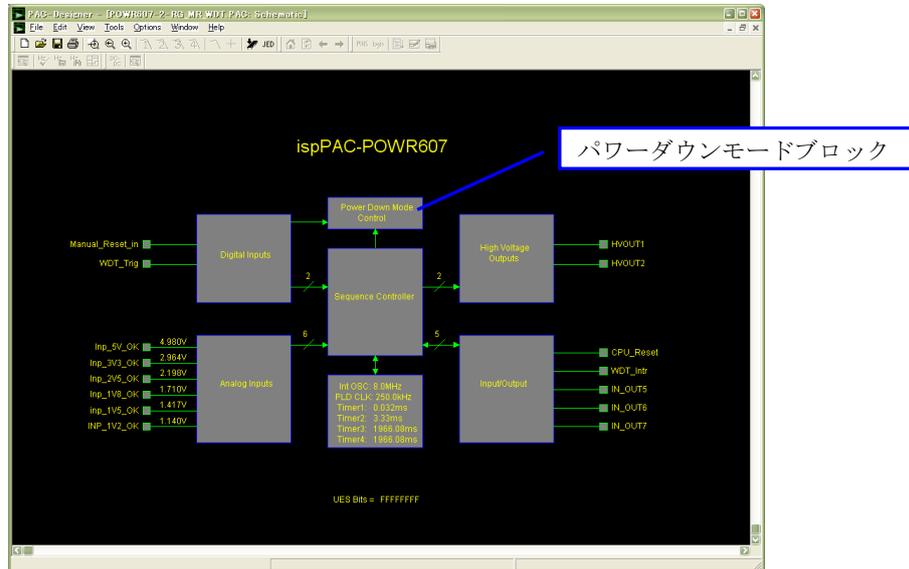


図 2-29 ispPAC-POWR607 メインウインドウ

図 2-29に示します ispPAC-POWR607 のメインウインドウにて、パワーダウンモードブロックをクリックしますと、図 2-30のような画面が起動します。

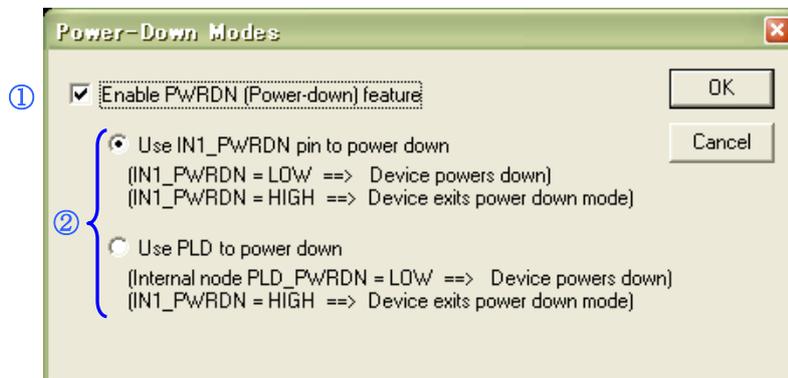


図 2-30 パワーダウンモード設定画面

上記画面が開きましたら、下記 2 つの設定を行ないます。

- ① チェックを入れ、パワーダウンモードを有効にします。
- ② パワーダウンの制御を、外部からの入力(IN1_POWRN ピン)にて行なうか、PLD 内部の信号で制御するかを選択します。

- ・ **パワーダウンモード中は、VCCJピンをオープンにする必要があります。オープンにならない場合、VCCJは約 2.2mA 消費します(POWR605/607 共)。**

2.12 POWR1014/A から POWR1220AT8 のデザインマイグレーション(移行)

対象デバイス : POWR1220AT8

バージョン 4.95 以降の PAC-Designer では、(LA)POWR1014/A のデザインファイルをインポートすることで、容易に POWR1220AT8 ヘドデザインを移行することができます。

まず、POWR1220AT8 の新規デザインを作成します。
メインウィンドウが起動したら、メニューの File→Import ispPAC-POWR1014A design を選択します (図 2-31)。

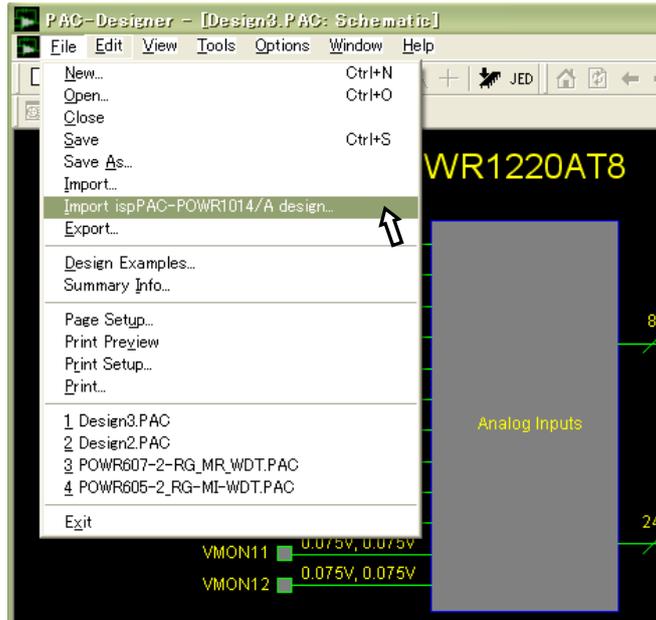


図 2-31 Import ispPAC-POWR1014/A design

インポートするファイルを聞いてきますので、ファイルを指定して「開く」をクリックしますと、インポートが完了します (図 2-32)。

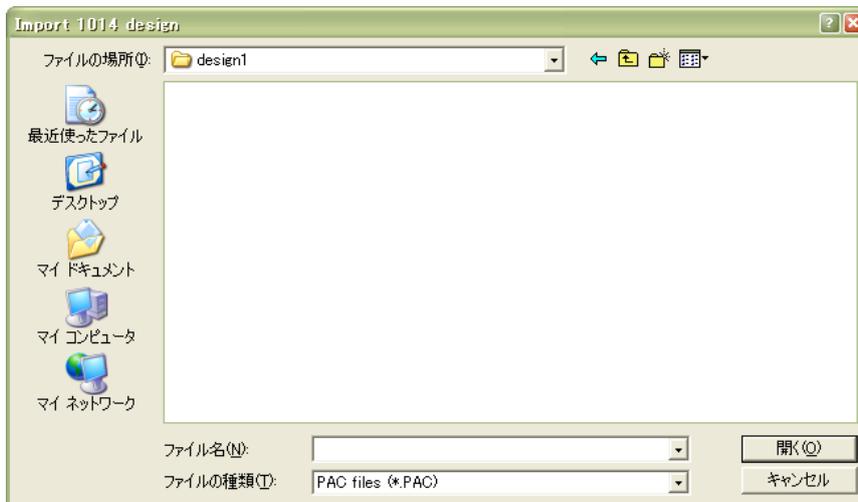


図 2-32 インポートファイルの指定

2.13 UES エディタ

シーケンスコントローラブロックは、パワーマネージャ・ファミリ全てで共通ですので3.6章でまとめて説明いたします。

2.14 シーケンス・コントローラ

シーケンスコントローラブロックは、パワーマネージャ・ファミリ全てで共通ですので3章でまとめて説明いたします。

3 パワーマネージャ共通の設計方法

3.1 シーケンス・コントローラ

各デバイスのメインウィンドウにて、シーケンス・コントローラ部をダブルクリックすると、図 3-1のような画面が起動します。

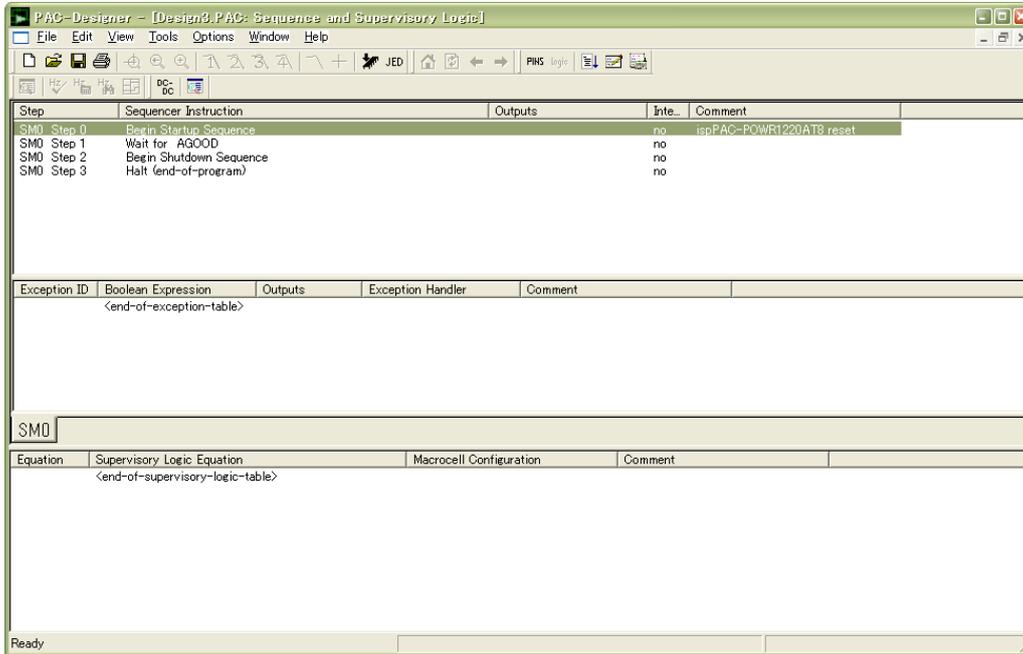


図 3-1 シーケンス・コントローラ画面

本画面にて、シーケンスの設計を行ないます。

本画面にて設計したステップ順に、インストラクションが実行されます。

3.1.1 オプション設定

バージョン 4.99 以降の PAC-Designer では、シーケンス・コントローラ(LogiBuilder)では、オプション設定により、より多くのロジックを PLD に実装することが可能となります。

メニューから[Options]→[LogiBuilder Options]を選択しますと、図 3-3のようなオプション設定画面が起動します。

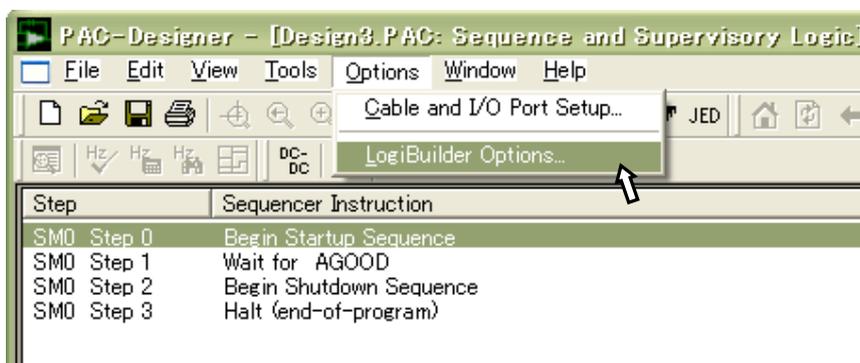


図 3-2 オプション設定画面の起動

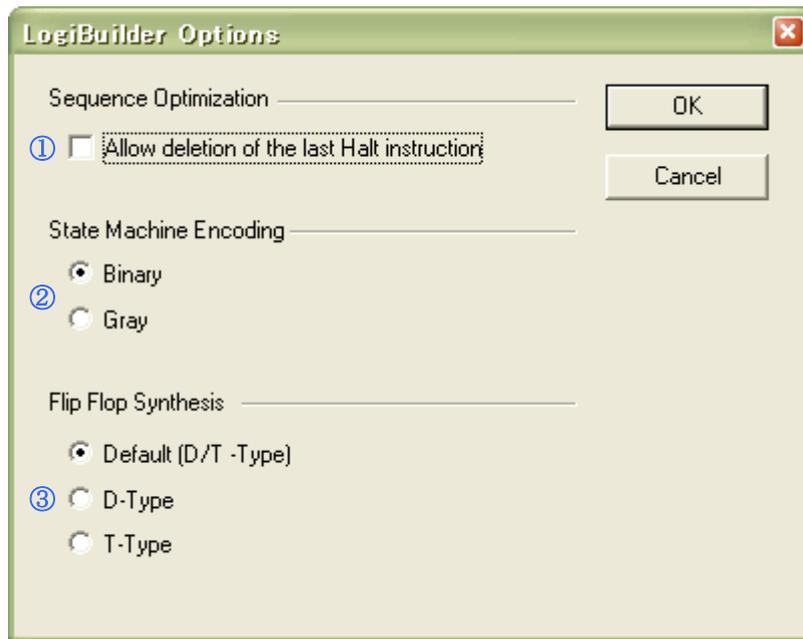


図 3-3 オプション設定画面

上記画面が起動したら、下記3つの設定を行ないます。

- ① シーケンス最適化の設定をします。
デフォルトでは、最終行に「Halt」インストラクションが入っています。これは、プログラムが偶発的に最終行に到達した場合に、プログラムを終了させるために用いられています(次のステップが無い場合)。しかしながら、この「Halt」インストラクションは、1Step を使用するため、リソースを必要とします。このオプションをチェックすることにより、最後の「Halt」インストラクションの削除を可能にし、最終行を(end-of-program)タブに置き換えます。そしてどのインストラクション(一般に Go To あるいは if-then-else インストラクション)でも最終行に使用することが出来ます。
- ② ステートマシンのエンコーディング方法を選択します。
デフォルト設定は、Binary エンコードです。デザインによっては、Gray エンコードを用いることで、使用するリソースを少なくすることが出来ます。

3.1.2 Pin の定義

「PINS」のアイコンをクリックすると、ピン定義のリストが表示されます。ここでは、入力と出力の状態について定義することが出来ます。

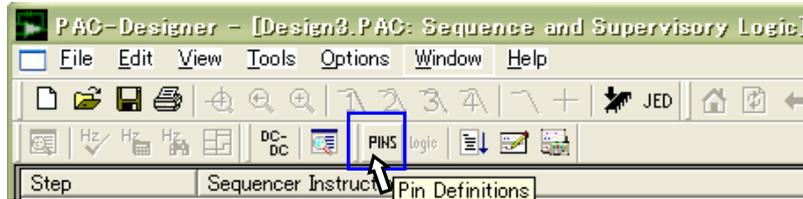


図 3-4 PIN 定義画面の起動

各信号を選択し、ダブルクリックすることでピンの定義を編集する画面が開きます。

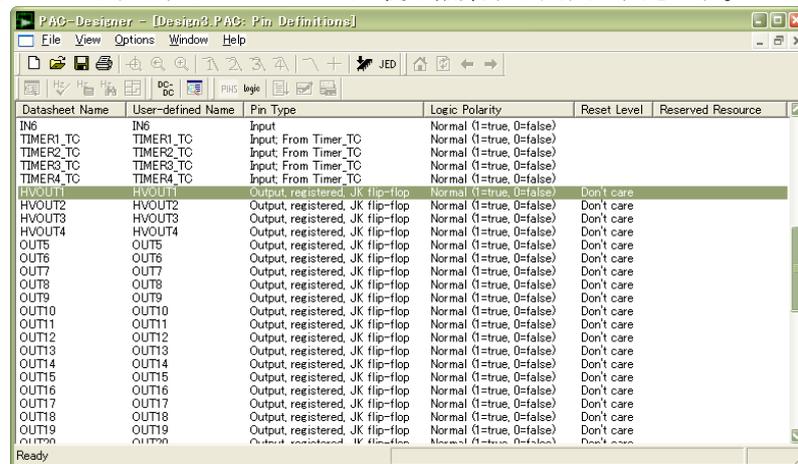


図 3-5 ピンの定義編集画面

入力信号の場合は、アクティブ High もしくはアクティブ Low の設定が可能です(デフォルトは、”Normal” と表記されアクティブ High となります)。

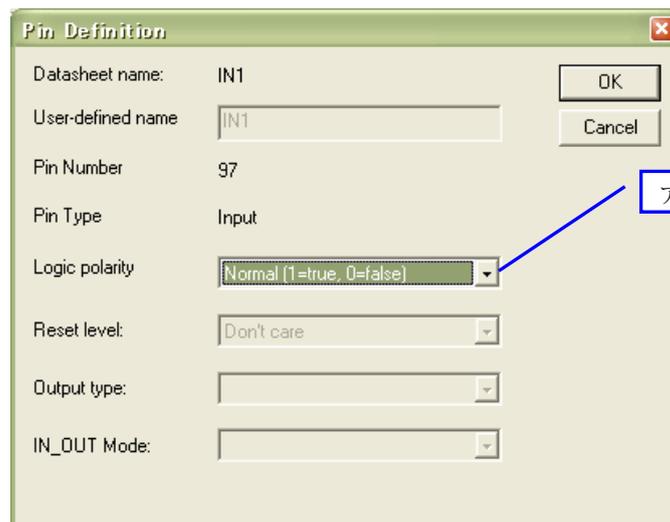


図 3-6 入力信号の定義画面

出力信号は、出力のタイプとして ”JK F/F タイプ”, ”D F/F タイプ”, ”組み合わせ論理タイプ” から選択が可能です。また、パワーオンリセット解除後の論理を ”Don't Care”, ”High”, ”Low” の何れかから選択することが出来ます。

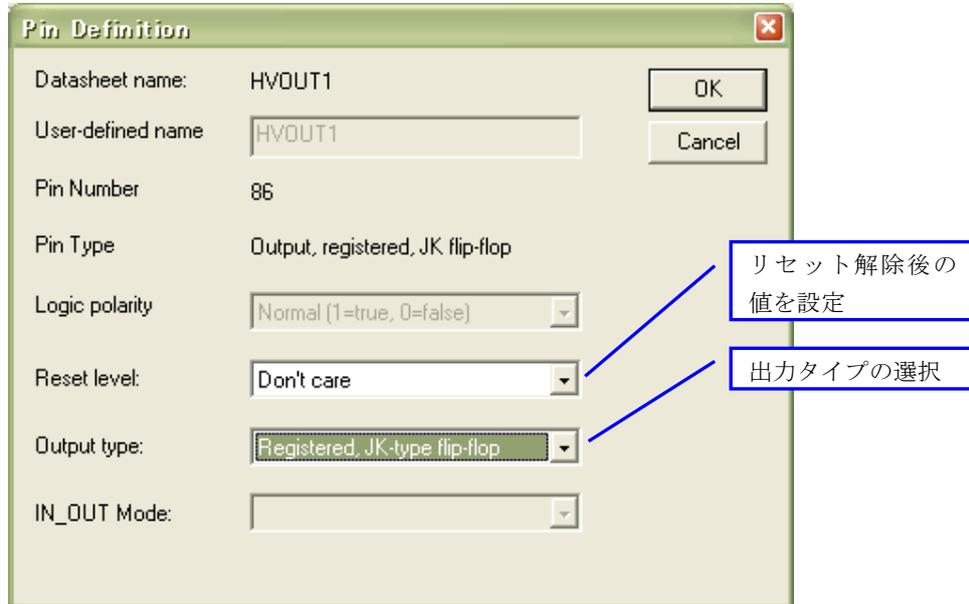


図 3-7 出力信号の定義画面

尚、出力信号のリセットレベルの定義が、有効になるのはパワーオンリセット解除後となります。電源立ち上げ時は、パワーオンリセットが効いており、その間は設定内容に限らず Hi-Z 出力となります。従いまして、パワーオンリセット後の値を Low と設定した場合も、図 3-8のようにいったん H になった後、パワーオンリセットが解除され Low 出力となります。

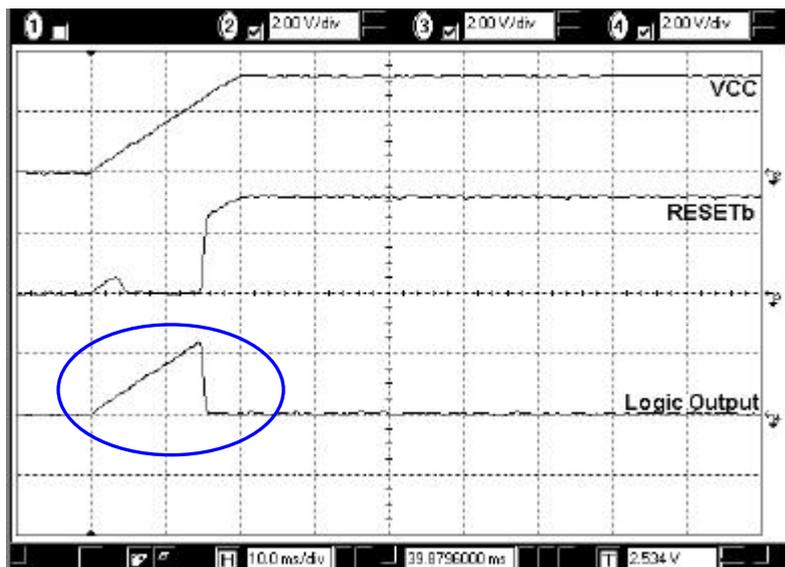


図 3-8 電源立ち上げ時の出力信号波形

- ・ Don't Care 設定は、推奨しておりません。特に理由がない限り High もしくは Low 設定にします。

3.1.3 インストラクションの設定方法

37 ページの、図 3-1のようなシーケンス・コントローラ画面にてインストラクションの追加を行なうには、挿入前のシーケンスをハイライトし、メニューの Edit→Insert Instruction をクリック(または Insert キーを押)します(図 3-9)。図 3-9 の画面では、ハイライトされた Step2 と Step1 の間に選択したシーケンスが挿入されます。

インストラクションの削除を行なうには、削除したいシーケンスをハイライトし、メニューの Edit→Delete Instruction をクリックします。

POWR605/607 以外ではステートマシンを複数組実装させることが可能です。複数のステートマシンを実装させる場合は、メニューの Edit→Multiple State Machines をクリックします。

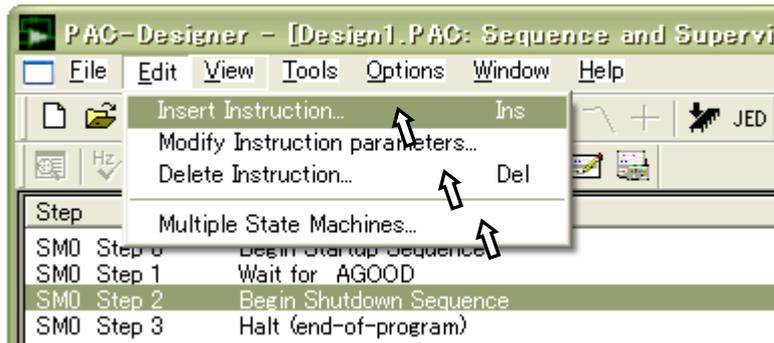


図 3-9インストラクションの追加

その後、追加するインストラクションの選択画面が起動します(図 3-10)。

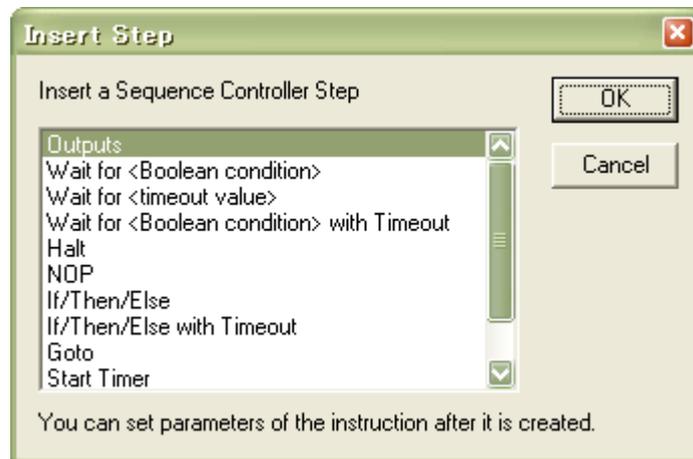


図 3-10 追加するインストラクションの選択画面

上記画面にて追加したいインストラクションをハイライトし、OK ボタンをクリックしますとインストラクションが追加されます。各インストラクションの内容について、次ページから説明いたします。また、各インストラクションの設定方法について3.1.4～3.1.11にて説明いたします。

尚、POWR1014/A 及び 1220AT8 デバイスではステートマシンを複数実装させることができます。その場合、図 3-9 のメニューから、Edit => Multiple State Machines を選択し、State Machine Name の項で適当な名前を付けて保存します。

Output: 出力をセットもしくはリセットします。

→ 電源へのイネーブル制御や、CPUリセット等に使用します。

Wait for <Boolean Condition>: 定義したブーリアン条件が成立するまで待機します。

→ 電源の安定や FPGA のコンフィグレーションの完了まで待機する等に使用します。

Wait for AGOOD: POWR1014/A, 1220AT8 では、デフォルトで “Wait for AGOOD” というインストラクションが入っています。この AGOOD 信号は、パワーオンリセット後に、VMON 入力のコmpレータの自動キャリブレーション、デジタル・グリッチフィルタの初期化が完了したことを示します。**VMON 入力を使用する全てのロジックは、AGOOD 信号がアクティブになるまで必ず待機する必要があります。**

誤って、“Wait for AGOOD” インストラクションを削除してしまった場合は、Wait for インストラクションの追加により復旧できます。

Wait for <Timeout Value>: タイマーが満了するまで、このステップで待機します。

→ リセット信号の引き延ばしや、シーケンスの遅延制御等に使用します。

Wait for <Boolean Condition> With Timeout: 定義したブーリアン条件が成立するか、タイマー満了までこのステップで待機します。その後イベントタイプに応じて他のステップにジャンプします。

→ 規定時間内に監視電源の立ち上がりを待つ為や、パワーダウン中にプロセッサからのレスポンス待機等に使用します。

Halt: 無条件にこのステップで動作停止

→ 電源立ち上げ時のシーケンス完了後に、例外処理が発生するまでシーケンス制御を停止させる場合や、完全にシーケンス制御が完了して動作を停止させる場合に使用します。

Halt (end-of-program): プログラムの終了を示します。

→ プログラムが偶発的に最終行に到達した場合に、プログラムを終了させるために用いられています(次のステップが無い場合)。このインストラクションは、オプション設定により削除が可能です(3.1.1参照)。

NOP: ノーオペレーション

→ タイマー動作を連続したステップで使用できないため、タイマー動作前に 1 ステップジャンプするために使用します。

If / Then / Else: ブーリアン条件をチェックし、結果により指定したステップにジャンプします。

→ 条件付きのプログラム・フロー制御指示

If / Then / Else With Timeout: ブーリアン条件のチェック結果とタイマーの満了に基づいて3つのジャンプを持つインストラクションです。このインストラクションを使用するためには、予め “Start Timer” インストラクションにてタイマーをスタートさせておく必要があります。

→ 規定時間内に、電源が立ち上がるまで待機する場合等に使用します。

Go To <step x>: 指定したステップにジャンプします。

→ 無条件でステップをジャンプする場合に使用されます。

Start Timer: 指定したタイマーをスタートします。✖

→ このインストラクションは、“If / Then / Else With Timeout” インストラクションと共に使用されます。

Stop Timer: 指定したタイマーをストップします。✖

→ 指定したタイマーを強制終了するために使用されます。

✖ Stop Timer/Stop Timer インストラクションを使用する場合、Timer Gate のピンタイプを JK にする必要があります(設定方法は 3.1.2 節参照)。

上記インストラクションに加えて、シーケンス・コントローラには以下の 2 つの擬似インストラクションがデフォルトで追加されています。

Begin Startup Sequence: スタートアップ・シーケンスの開始を明示します。

→このシーケンスは削除可能で有り、削除することによりステップ数(リソース使用率)を削減することが可能です。ただし、**最初のインストラクションを Wait for Timeout Value にすることは出来ません**ので、その場合は **Wait for AGOOD** にするか、**Begin Startup Sequence** を残すかにしてください。

重要: ver4.9.9a 以前のツールをお使いの場合、例外処理 (3.1.12参照) で電源立ち上がり時に例外が成立する条件文を記述する場合 (例えば監視対象の電源系統を式に入れる、など) は、本 **Begin Startup Sequence** を削除することを推奨します。Ver4.9.9a までの PAC-Designer では本命令は割り込み可能 (Interruptible 項が “yes”) になっており、編集できません。従って予期しない動作をする可能性があります (下記コラム参照)。Ver5.1 以降の PAC-Designer では本命令は割り込み不可 (Interruptible 項が “no”) としております。

Begin Shutdown Sequence: シャットダウン・シーケンスの開始を明示します。

→このインストラクション以降に追加させるインストラクションは、割り込み許可設定のデフォルト値がディセーブルとなります (このインストラクションは削除可能です)。

コラム : 電源投入直後の動作と “Begin Startup Sequence” “Begin Shutdown Sequence” について

シーケンス設計のために PAC-Designer を開始すると、“Begin Startup Sequence”、“Wait for AGOOD”、“Begin Shutdown Sequence”、“Halt” などの行がデフォルトで入っています。これは設計者が所望の処理のために命令を追加・記述編集する際に、どこに挿入していけば良いかが容易に判るためというのが元々の目的の一つです。

このうち必須な命令が “Wait for AGOOD” (POWR605/607 にはありません)、殆どの場合必要なものが “Halt” ですが、“Begin Startup Sequence” と “Begin Shutdown Sequence” は本来なくても構いません (但し最初のインストラクションを Wait for Timeout Value にすることは出来ません)。AGOOD はパワーオンリセット後に、VMON 入力のコンパレータの自動キャリブレーション、デジタル・グリッチフィルタの初期化が完了したことを示す信号です。VMON 入力を使用する全てのロジックは、AGOOD 信号がアクティブになるまで必ず待機する必要があります。従って、ユーザの全ての命令はこの後に挿入することを期待しています。

“Begin Startup Sequence” 行はコンパイル後には NOP として扱われますが、PAC-Designer のバージョンによって、割り込みを許容するかしないか (Interruptible 項が ver4.9.9a までは “yes”、ver5.1 以降は “no”) 異なっており、これを変更することはできません。Ver4.9.9a 以前のツールをご使用の場合は以下の注意が必要です。

仮に例外処理を開始するための条件として “監視対象の電源系統が所定の電圧値以下になった場合” ((NOT VMON1) OR (NOT VMON2) 等) を考えます。当然のことながら、ボードレベルで電源が投入された直後はこの条件が成立しますので、AGOOD のアサート前に、例外処理が開始されることになります。即ちデバイス内部の初期化処理が完了しないにもかかわらず、例外処理を実行するという状況に陥ります。

例外処理の条件としてこのように記述・設計することは、必ずしも特異とは言えません。従ってそうせざるを得ないケースでは、“Begin Startup Sequence” の行を削除することがより妥当です。

3.1.4 インストラクションの設定方法(Output)

Output インストラクションを選択した場合、図 3-11のように<no outputs specified>と表示されます。

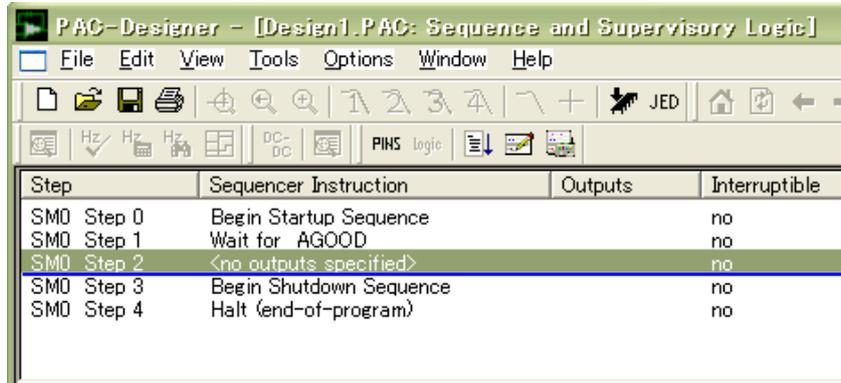


図 3-11 Output インストラクション追加後の画面

上記画面にて<no outputs specified>の行をダブルクリックしますと、図 3-12のような出力信号の状態を編集する画面が起動します。

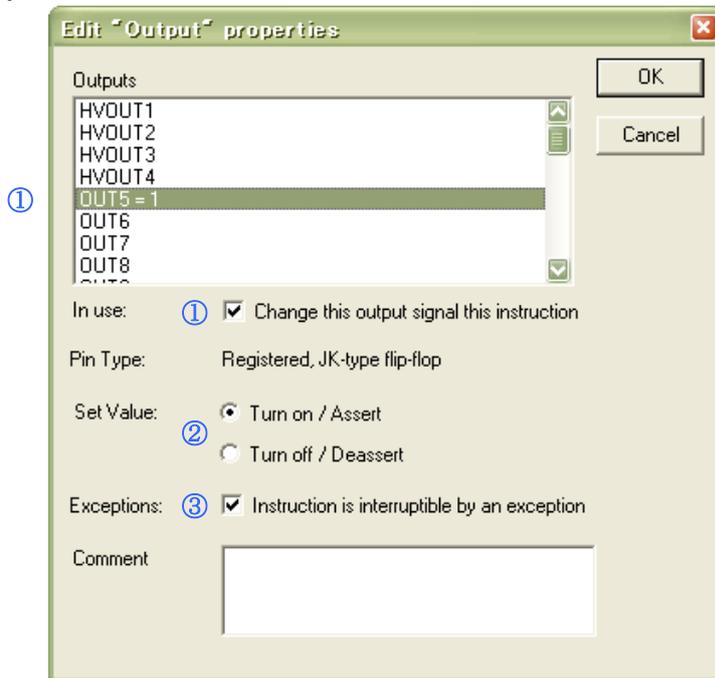


図 3-12 Output インストラクションの設定画面

上記画面が起動したら、下記3つの設定を行ないます。

- ① 出力状態を変更したい信号を選択し、「Change this output signal this Instruction」にチェックをつける。
- ② High レベルを出力するか、Low レベルを出力するか選択する。
- ③ 割り込み可能か否かを指定する(チェックを入れると割り込み可能)。

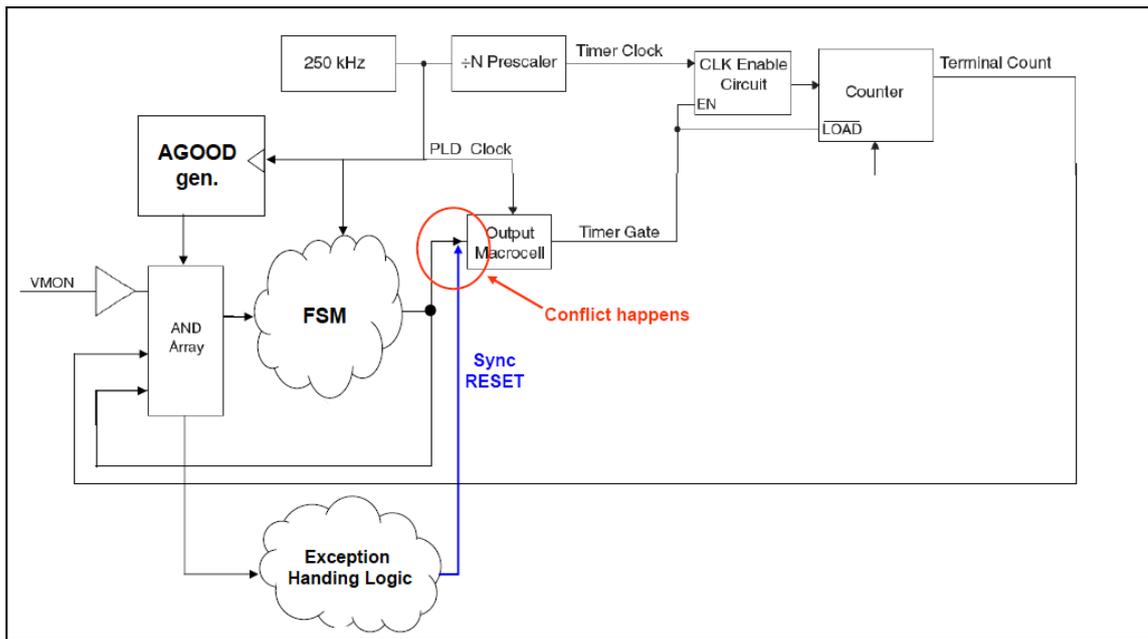
重要: 図 3-12の“Outputs”候補としてタイマーを強制リセットする信号 `TIMER<n>_GATE` (<n>; 1~4)が表示されますが、これは使用しないで下さい。タイマーの開始・停止処理は“Start Timer”や“Stop Timer”で実現します。特に例外処理で本信号を操作すると予期しない動作をする可能性があります。

コラム : 例外処理と TIMERn_GATE 信号の操作について

TIMERn_GATE という信号は下図の様に、内蔵タイマーのクロック・イネーブルとタイマーカウンタ値の LOADn 制御を行うためのマクロセル出力です。

元来本出力は正規シーケンス内で操作し、シーケンサ本体のステートによってマクロセル出力を生成することを期待しています。仮に例外処理(Exception)内にて本信号の値を操作すると、シーケンサ本体からの制御と競合する(不一致になる、或いは意図しないタイミングでリセット/ロード・トリガされる)場合が生じ得ます。そうするとクロック・イネーブルと値のロードが正常に(意図した通りに)行われなくなり、従ってタイマー動作が予測不能となり、結果としてシーケンサ入力の“AND Array”で正しい状態遷移のための論理が構成できないこととなります。すなわち誤動作する(期待動作と異なる、或いは想定していない状態遷移を引き起こす)可能性が大きくなります。

以上より特に例外処理内での TIMERn_GATE 信号の直接操作を行うべきではないと言えます。実際にタイマーを制御する場合、Start Timer / Stop Timer という命令が用意されていますので、その開始と停止はこれを用いることによって実現できます。例外処理内であれ、正規シーケンスであれ、基本的に TIMERn_GATE 信号は直接操作しないことを強く推奨します。



3.1.5 インストラクションの設定方法(Wait for Boolean Condition)

Wait for Boolean Condition インストラクションを選択した場合、図 3-13のように Wait for <booleanExpr>と表示されます。

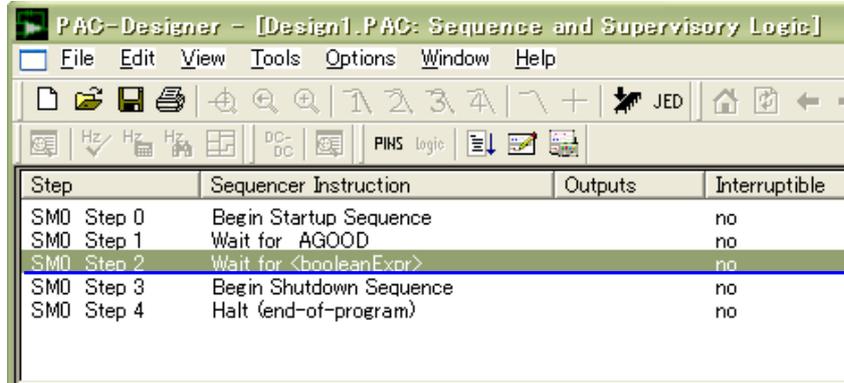


図 3-13 Wait for Boolean Condition インストラクション追加後の画面

上記画面にて Wait for <booleanExpr>の行をダブルクリックしますと、図 3-15のような画面が起動します。

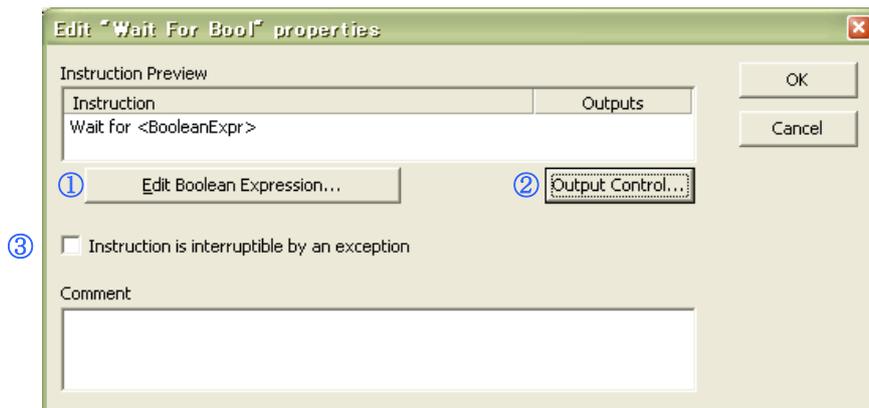


図 3-14 Wait for Boolean Condition インストラクションの設定画面 1

上記画面が起動しましたら、下記3つの設定を行ないます。

- ① “Edit Boolean Expression”をクリックすると、次ページの図 3-16 画面が起動し、論理式の編集ができます(詳細は次ページ)。
- ② 必要に応じ、“Output Control”をクリックすると、前ページの図 3-13 画面が起動し、①で編集する論理式に連動した出力が設定可能です。
- ③ 割り込みを可能にする場合は、「Instruction is interruptible by an exception」をチェックします。

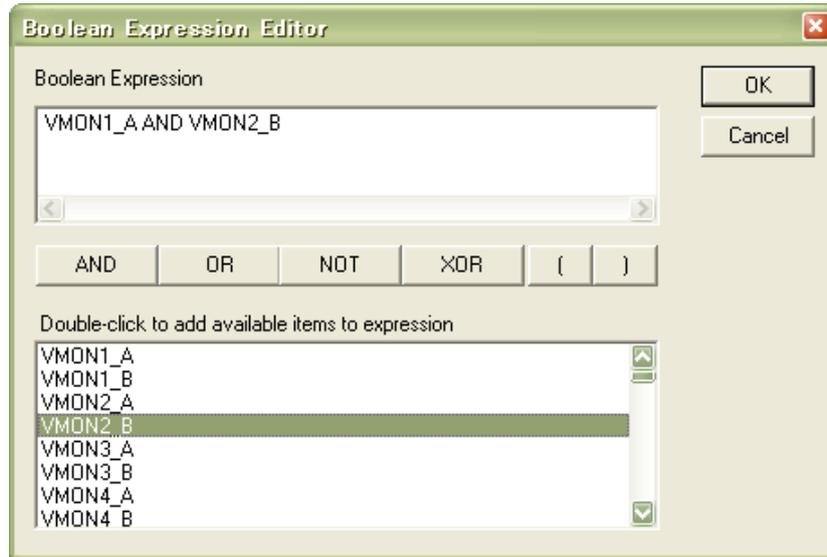


図 3-15 Wait for Boolean Condition インストラクションの設定画面 2

上記画面にて信号名や AND、OR と言った論理演算子をダブルクリックして追加し、論理式を編集します。例えば "VMON1_A" をダブルクリックし、"AND" をクリックした後、"VMON2_B" をダブルクリックすると、Boolean Expression = VMON1_A AND VMON1_B となります。編集後 OK をクリックし、図 3-14 画面へ戻ります。

3.1.6 インストラクションの設定方法(Wait for Timeout Value)

Wait for Timeout Value インストラクションを選択した場合、図 3-16のように Timer1 を使用した場合のインストラクションが追加されます。

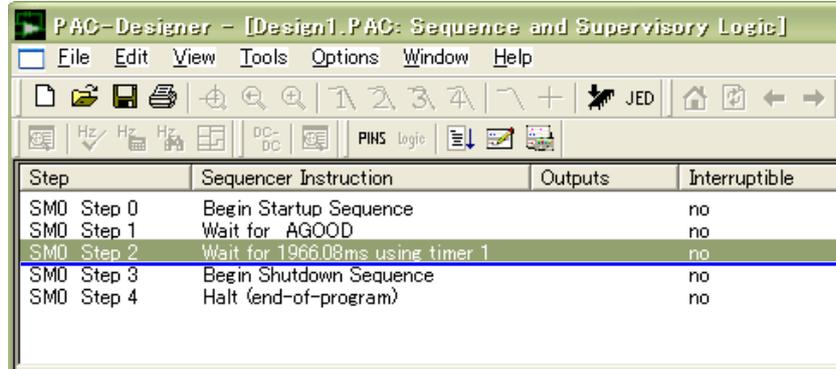


図 3-16 Wait for Timeout Value インストラクション追加後の画面

上記画面にて Wait for ***ms using timer 1 の行をダブルクリックしますと、図 3-17のような画面が起動します。

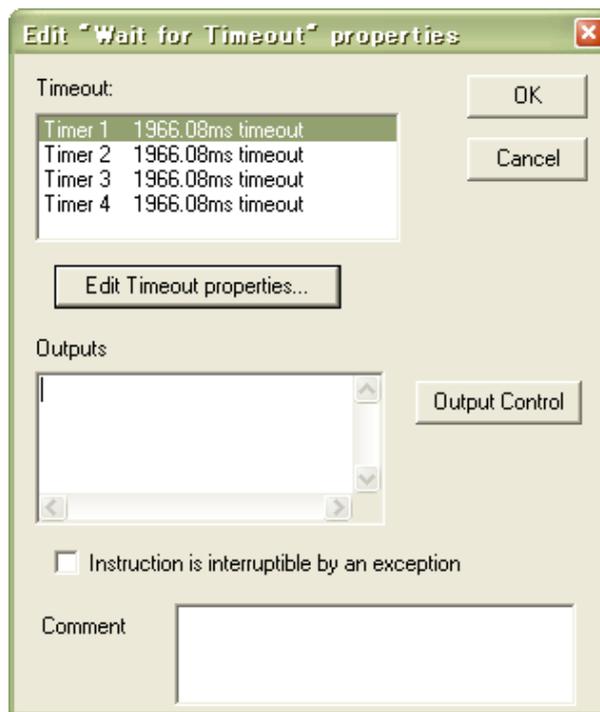


図 3-17 Wait for Timeout Value インストラクションの設定画面

上記画面にて使用するタイマーを選択します。また、「Edit Timeout properties」をクリックしますと、タイマーの設定画面が起動します。タイマーの設定方法については、各デバイスのタイマー&クロックの節を参照ください。

割り込みを可能にする場合は、「Instruction is interruptible by an exception」をチェックします。

3.1.7 インストラクションの設定方法(Boolean Condition with Timeout)

Boolean Condition with Timeout インストラクションを選択した場合、図 3-16のように Timer1 を使用した場合のインストラクションが追加されます。

| Step | Sequencer Instruction | Outputs | Interruptible |
|------------|--|---------|---------------|
| SMD Step 0 | Begin Startup Sequence | | no |
| SMD Step 1 | Wait for AGOOD | | no |
| SMD Step 2 | Wait for <booleanExpr> or 1966.08ms using timer 1 If Timeout Then Goto 0 | | no |
| SMD Step 3 | Begin Shutdown Sequence | | no |
| SMD Step 4 | Halt (end-of-program) | | no |

図 3-18 Boolean Condition with Timeout インストラクション追加後の画面

上記画面にて Wait for <BooleanExpr> or ***ms using timer 1 の行をダブルクリックしますと、図 3-19のような画面が起動します。

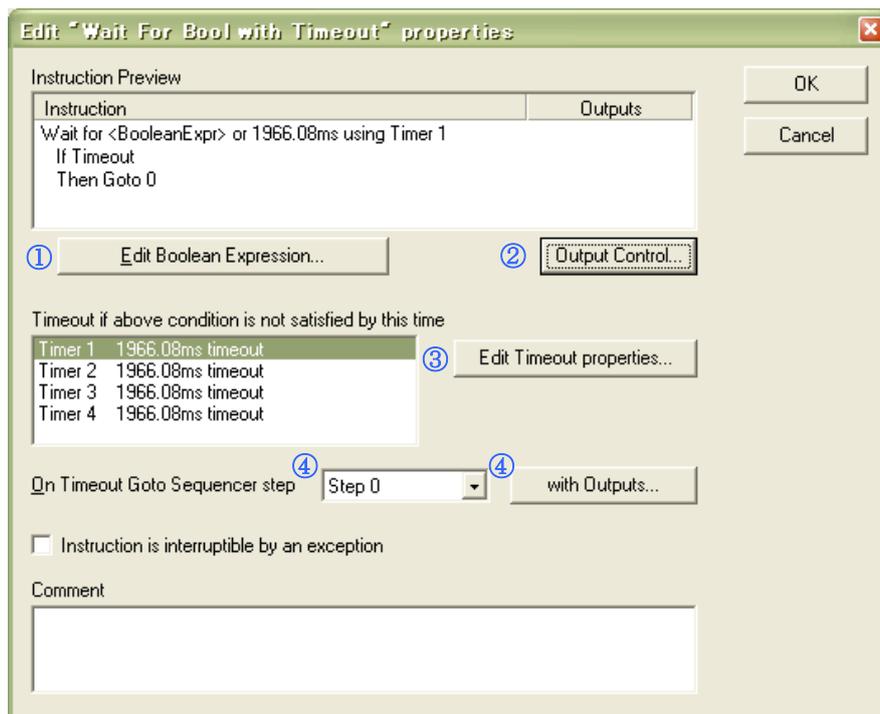


図 3-19 Boolean Condition with Timeout インストラクションの設定画面

上記画面が開きましたら、下記 5 つの設定を行ないます。

- ① Edit ボタンを押し、ブーリアン形式の論理式の設定を行なう(設定方法は、3.1.5節と同様)。
- ② 出力設定の選択を行なう(設定方法は 3.1.4 節と同様)。
- ③ タイマーの選択を行なう(設定方法は、3.1.6節と同様)。
- ④ タイムアウトした場合の、どのステップに移行するかを設定する(同時に出力設定も可能)。
- ⑤ 割り込み可能か否かを指定する。

3.1.8 インストラクションの設定方法(If/Then/Else)

If / Then / Else インストラクションを選択した場合、図 3-20のように If <booleanExpr> Then Goto 0 Else Goto 0 と表示されます。

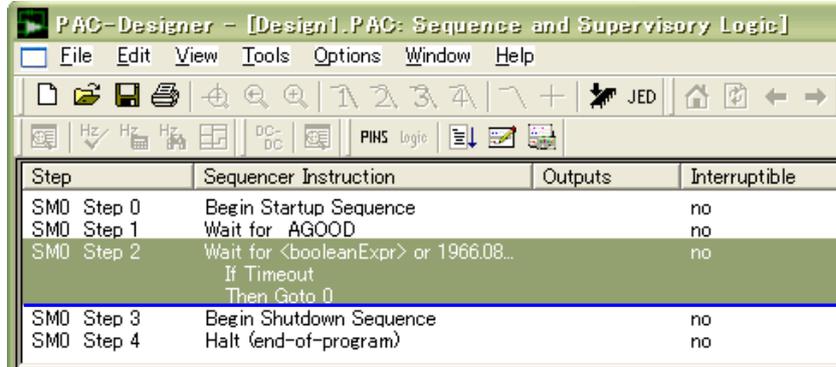


図 3-20 If/Then/Else インストラクション追加後の画面

上記画面にて If <booleanExpr> Then Goto 0 Else Goto 0 の行をダブルクリックしますと、図 3-21のような画面が起動します。

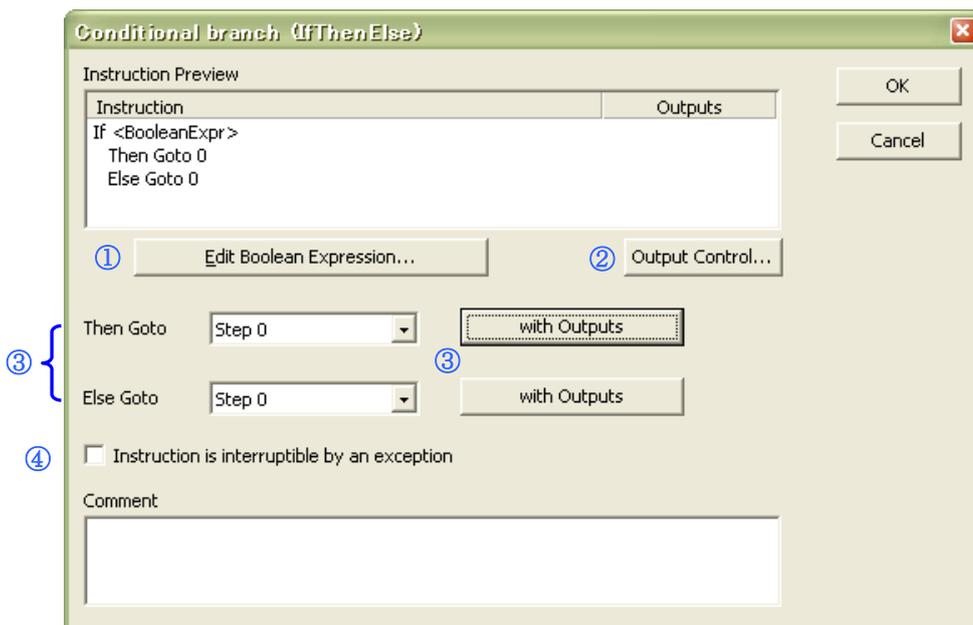


図 3-21 If/Then/Else インストラクションの設定画面

上記画面が開きましたら、下記 4 つの設定を行ないます。

- ① Edit ボタンを押し、ブーリアン形式の論理式の設定を行なう(設定方法は、3.1.5節と同様)。
- ② 出力設定の選択を行なう(設定方法は 3.1.4 節と同様)。
- ③ ①の条件が成立した場合(Then)と成立しない場合(Else)の、ステップの移動先を設定する(同時に出力設定も可能)。
- ④ 割り込み可能か否かを指定する。

3.1.9 インストラクションの設定方法(If / Then / Else with Timeout)

If / Then / Else with Timeout インストラクションを選択した場合、図 3-22のように If <booleanExpr> Then Goto 0 Else If Timer1 Then Goto 0 と表示されます。

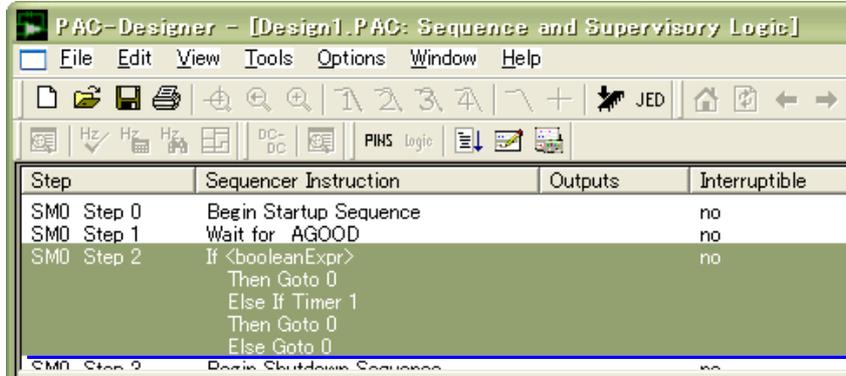


図 3-22 If / Then / Else with Timeout インストラクション追加後の画面

上記画面にて If <booleanExpr> Then Goto 0 Else If Timer1 Then Goto 0 の行をダブルクリックしますと、図 3-23のような画面が起動します。①～⑤については同時に出力設定も可能です。

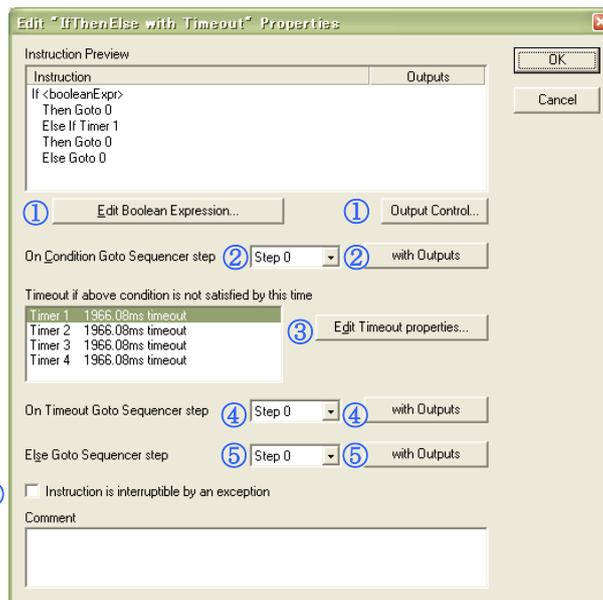


図 3-23 If/Then/Else with Timeout インストラクションの設定画面

上記画面が開きましたら、下記 6 つの設定を行ないます。

- ① Edit ボタンを押し、ブーリアン形式の論理式を設定する(設定方法は、3.1.5節と同様)。
- ② ①の条件が成立した場合(Then)の、ステップの移動先を設定する。
- ③ タイマーの選択を行なう(設定方法は、3.1.6節と同様)。
- ④ 選択したタイマーが満了している場合の、ステップの移動先を設定する。
- ⑤ 選択したタイマーが満了していない場合の、ステップの移動先を設定する。
- ⑥ 割り込み可能か否かを指定する。

・本インストラクションでは、タイマーは開始しませんので Start Timer インストラクションにて Timer をスタートさせておく必要があります。

3.1.10 インストラクションの設定方法(Goto)

Goto インストラクションを選択した場合、Go to Step0 と表示されますので、Go to Step0 の行をダブルクリックしますと、図 3-24のような画面が起動します(下記は Outputs で 2 系統の出力制御を設定済みの画面例です)。

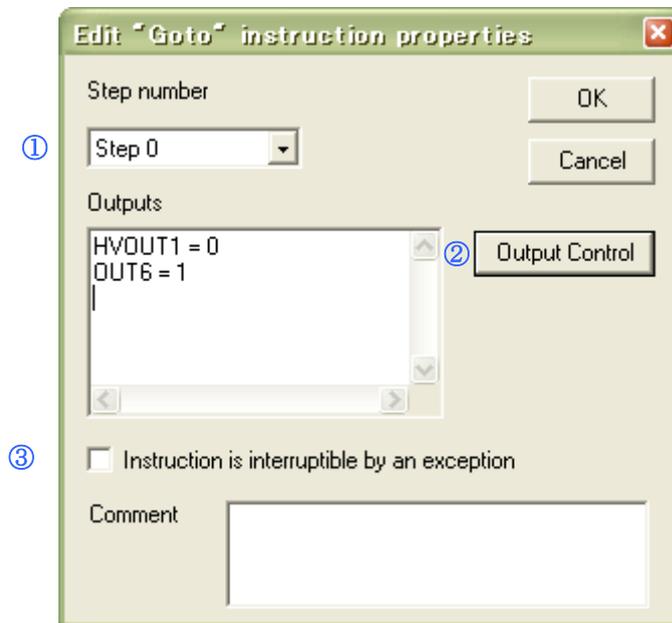


図 3-24 Goto インストラクションの設定画面

上記画面が開きましたら、下記 3 つの設定を行ないます。

- ① 移動先のステップを選択します。
- ② 必要に応じて、出力設定を行なう。
- ③ 割り込み可能か否かを指定する。

3. 1. 11 インストラクションの設定方法(Start Timer/Stop Timer)

Start Timer もしくは Stop Timer インストラクションを選択した場合、Start Timer 1(**ms)もしくは、Stop/Reset Timer1 と表示されますので、この行をダブルクリックしますと、図 3-25のような画面が起動します。

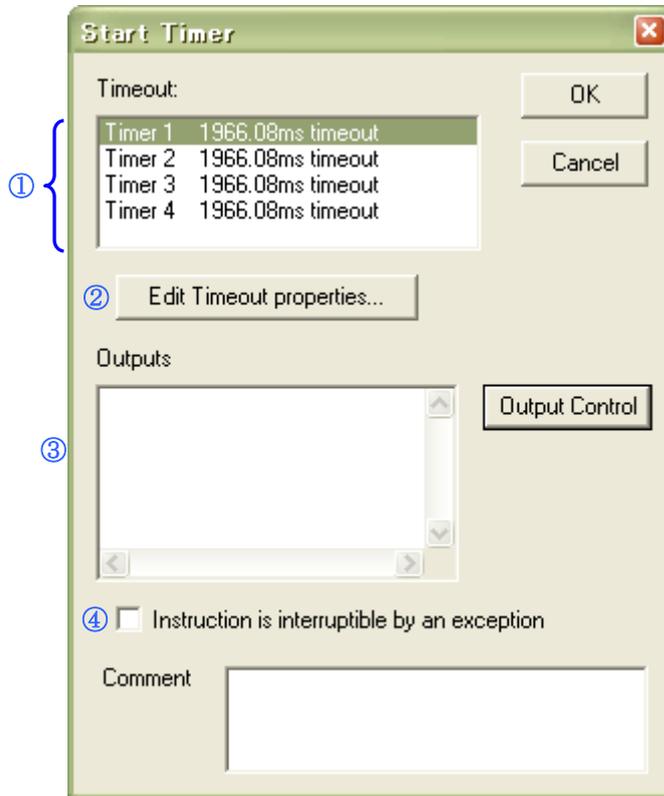


図 3-25 Start Timer/Stop Timer インストラクションの設定画面

上記画面が開きましたら、下記 4 つの設定を行ないます。

- ① 使用するタイマーを選択する。
- ② この画面からも必要に応じてタイマーの設定を変更可能。図 2-10の右側と同様の画面が開き、2.5節に記載の方法と同様にタイマーの設定を行なうことが可能。
- ③ 必要に応じて、出力設定を行なう。
- ④ 割り込み可能か否かを指定する。

Start Timer および Stop Timer は、If / Then / Else with Timeout インストラクションや Wait for Boolean インストラクションと組み合わせて使用します。タイマーがリセット時および満了前は内部の Timer<n>_TC 信号が”0”となり、タイマーが満了すると”1”となります。

•Start Timer / Stop Timer インストラクションを使用する場合、Timer Gate のピンタイプを JK にする必要があります。

3.1.12 インストラクションの設定方法(例外処理)

例外処理を追加するには、シーケンスの下の枠に表示されている<end-of-exception-table>の行をダブルクリックします。

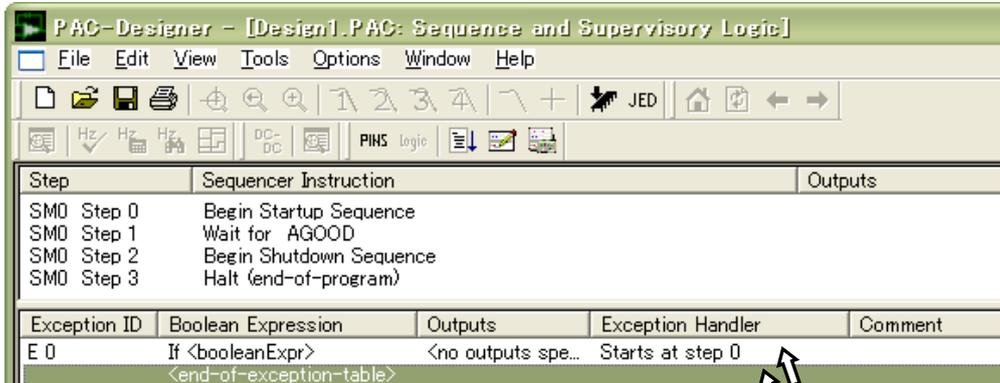


図 3-26 例外処理の設定の起動

<end-of-exception-table>の行をダブルクリックしますと、図 3-26のように if <booleanExpr>という 1 行が追加されますので、この行をダブルクリックして、図 3-27のような設定画面を起動します。

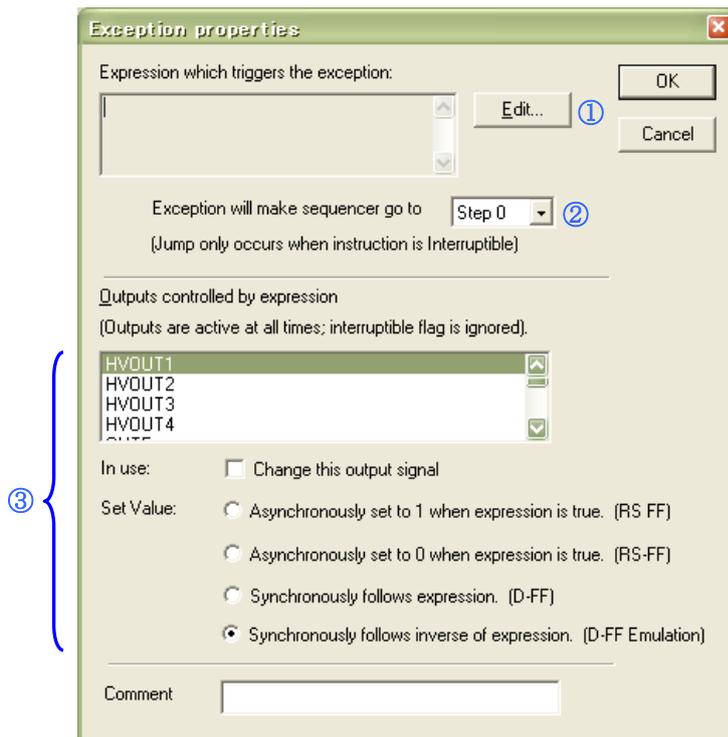


図 3-27 例外処理の設定画面

上記画面が開きましたら、下記3つの設定を行ないます。

- ① Edit ボタンを押し、ブーリアン形式の論理式の設定を行なう(設定方法は、3.1.5節と同様)
- ② ①の条件が成立した場合(Then)の、ステップの移動先を設定する。
- ③ 出力信号の状態を変化させる場合は、出力信号を選択し、変化後の出力状態を設定します。

3. 1. 13 監視ロジック出力回路の生成(Supervisory Logic Equation)

監視ロジック出力回路(ステップ実行とは関係なく常時監視)を追加するには、シーケンス・コントローラの下の子枠に表示されている<end-of-supervisory-logic-table>の行をダブルクリックします。

| Equation | Supervisory Logic Equation | Macrocell Configuration |
|----------|----------------------------------|----------------------------------|
| EQ 0 | HVOUT1 = <booleanExpr> | Output, registered, JK flip-flop |
| | <end-of-supervisory-logic-table> | |

図 3-28 監視ロジック出力回路設定画面の起動

<end-of-supervisory-logic-table>の行をダブルクリックしますと、図 3-29 のように HVOUT= <booleanExpr> という 1 行が追加されますので、この行をダブルクリックして、図 3-30 のような設定画面を起動します。

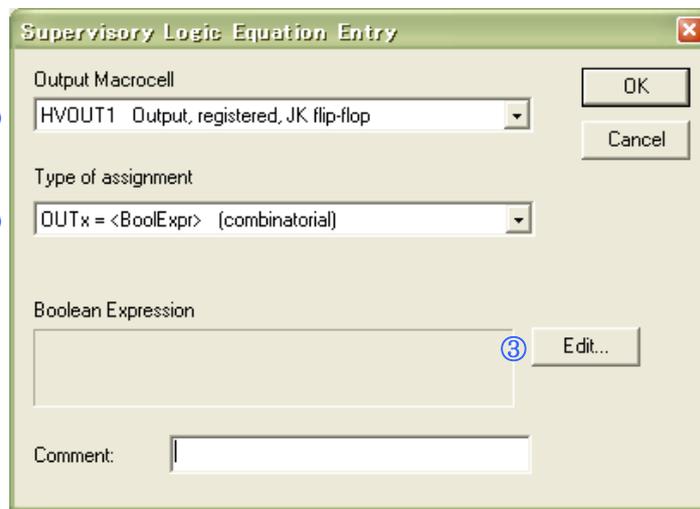


図 3-29 監視ロジック出力回路の設定

上記画面が開きましたら、下記3つの設定を行ないます。

- ① 組み合わせ論理を出力するピンを指定します。
- ② アサインのタイプを選択します。
- ③ Edit ボタンを押し、ブーリアン形式の論理式の設定を行なう(設定方法は、3.1.5節と同様)。

出力ピンのタイプと、アサインタイプの組み合わせには制限があります。表 3-1にて可となっている組み合わせのみ可能です。必要に応じて、ピンタイプの定義を変更してください。

表 3-1 ピン定義とアサインタイプ

| アサインタイプ | ピン定義 | | | その他注意点 |
|------------------------|-----------|---------------|-------------------|-------------|
| | Pin=JK FF | Pin=D-type FF | Pin=Combinatorial | |
| Combinatorial | 不可 | 不可 | 可 | - |
| D | 不可 | 可 | 不可 | - |
| .ap (async set to 1) | 可 | 可 | 不可 | Active High |
| .ar (async reset to 0) | 可 | 可 | 不可 | Active High |

3.1.14 コンパイル方法

シーケンスの設定が完了しましたら、コンパイルを実行します。PAC-Designer のシーケンス・コントローラの画面にて、2つの方法によりコンパイルを実行することができます。

- ① メニューから[Tools]→[Compile LogiBuilder Design]を選択する。
- ② Compile Design アイコンをクリックする。

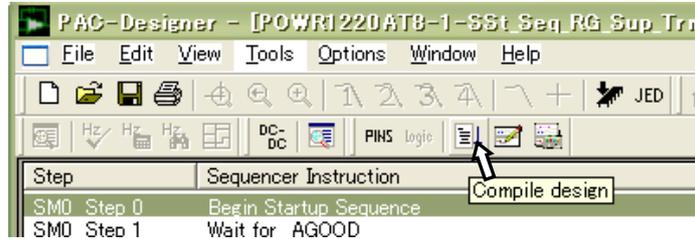


図 3-30 コンパイルの実行

コンパイルを開始すると MS-DOS 画面が起動し、正常に完了すると図 3-31のような画面が表示されますので、OKボタンを押してコンパイルを終了します。

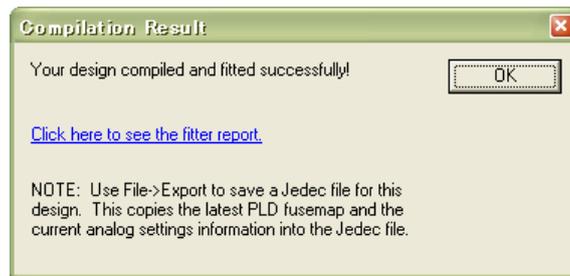


図 3-31 コンパイル成功画面

シーケンスに問題がある場合は、図 3-32のような画面が表示され、OKボタンを押すとエラーの内容が表示されますので、エラーを修正し、再度コンパイルを実施します。

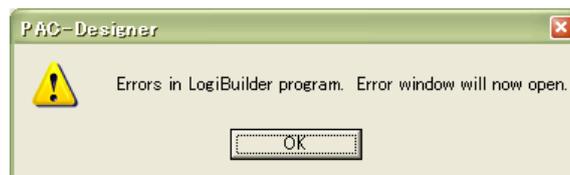


図 3-32 コンパイル成功画面



図 3-33 コンパイルエラーの内容

3.1.15 エラー、ワーニングと対処方法

本節ではコンパイル時に良く出るエラーメッセージについて説明します。

=====
Error 3: Instructions that start a timer may not follow one another. This includes WaitFor_Timer or Start_Timer instructions.
=====

WaitFor_Timer や Start_Timer 等のタイマーをスタートさせるインストラクションを連続させた場合に、このエラーが発生します。ソフトウェアの制限によりタイマーを連続して使用することはできません。タイマーインストラクションの間に NOP(No Operation)インストラクションを追加することで対処可能です。

=====
Error 8: At least one OUTPUT instruction is required, with at least one write.
Reason: The ABEL language used to implement the PLD requires at least one output.
=====

シーケンス内に OUTPUT インストラクションが一つも無い場合に、このエラーが発生します。少なくとも1つ以上の OUTPUT インストラクションを用いる必要があります。

=====
Error 10: Exception has empty Boolean Expression.
=====

例外処理 (Exception) の追加だけされており、Boolean Expression 設定が空の場合表示されます。設定を完了させるか、使用しない場合は該当行を削除します。

=====
Error 14: Supervisory Logic equation has empty Boolean Expression.
=====

Supervisory Logic equation の追加だけされており、Boolean Expression 設定が空の場合表示されます。設定を完了させるか、使用しない場合は該当行を削除します。

=====
Error 22: StartTimer requires Timer to be in JK-mode.
=====

Start Timer インストラクション使用時に、使用するタイマーの Timer Gate 信号のタイプが D タイプになっている場合に、このエラーが発生します。ピンの定義画面にて、該当信号を JK タイプに変更してください(設定方法は、3.1.2 節を参照)。

上記以外のエラーメッセージが出力された場合は Lattice か代理店の FAE に問い合わせてください。

3.2 ABEL ソースコードの表示

シーケンスのコンパイルが完了しますと、ABEL のソースファイルが生成されます。PAC-Designer のシーケンス・コントローラの画面にて、メニューから[View]→[ABEL Source]を選択することで ABEL ソースファイルを参照することができます。

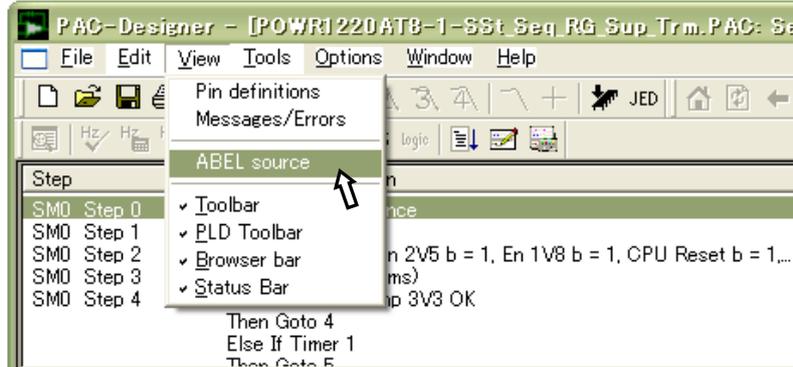


図 3-34 ABEL ソースファイルの表示

上記を実行しますと、図 3-35のような画面が起動し ABEL ソースファイルが表示されます。

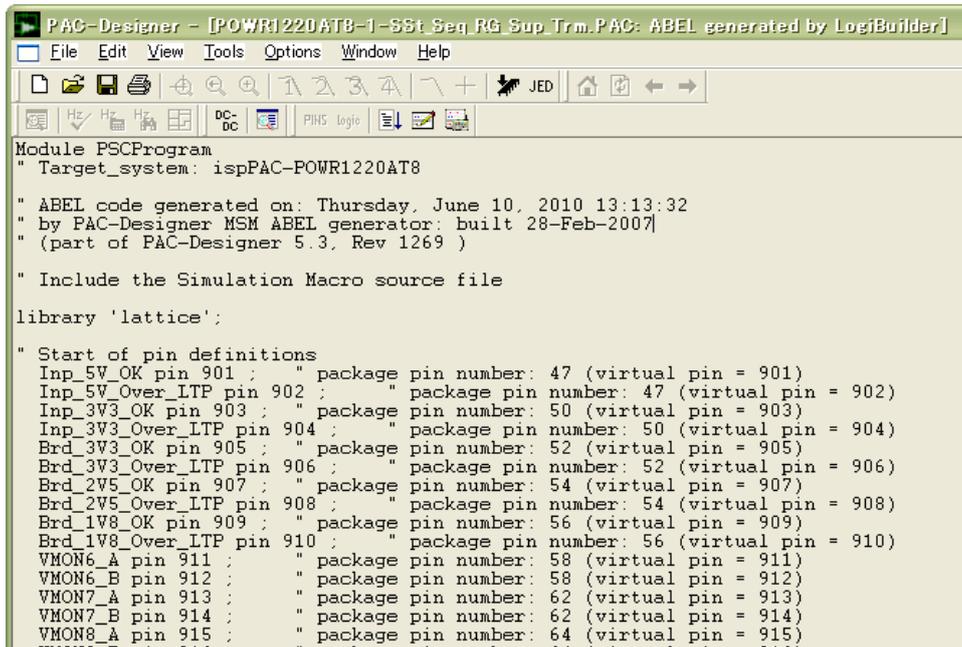


図 3-35 ABEL ソースファイルの表示例

3.3 ABEL ソースの編集

生成された ABEL ソースファイルは編集することも可能です。PAC-Designer のシーケンス・コントローラの画面にて、図 3-37 の ABEL ソースファイルを表示している状態で、メニューから[Edit]→[Enable ABEL Editing]を選択します。



図 3-36 ABEL ソースファイルの編集有効設定

上記を実行し、編集を有効にしますと図 3-38 の様に表示しているソースファイルの背景が白くなり、編集可能な状態となります。

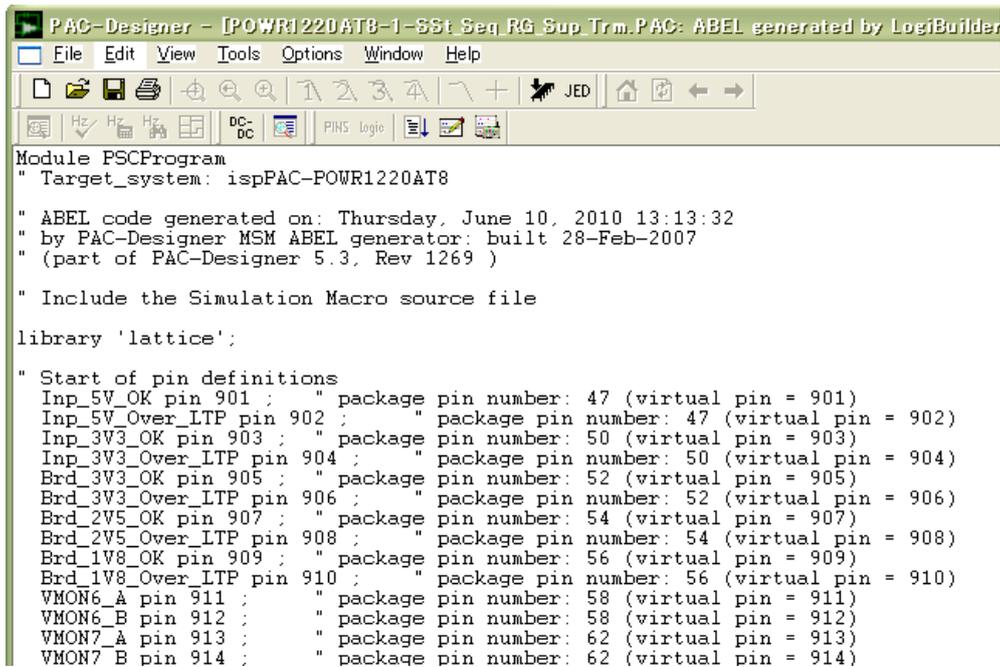


図 3-37 ABEL ソースファイルの編集画面

- ABEL ソースファイルを編集した場合は、再度コンパイルを実行する必要があります。
- ABEL ソースファイルの編集は、推奨しておりません。編集を行なう場合には、予めバックアップを取ることをお勧め致します。

3.4 シーケンスのシミュレーション

PAC-Designer では、作成したシーケンスのシミュレーションを行なうことができます。但し、シーケンスをコントロールするデジタル部分のみシミュレーション可能で、センス電源管理部のアナログシミュレーションは含みません。PAC-Designer のシーケンス・コントローラの画面にて、以下2つの何れかの方法によりシミュレーション波形の入力画面を起動します。

- ① メニューから[Tools]→[Run Waveform Editor]を選択する。
- ② Waveform Editor アイコンをクリックする。

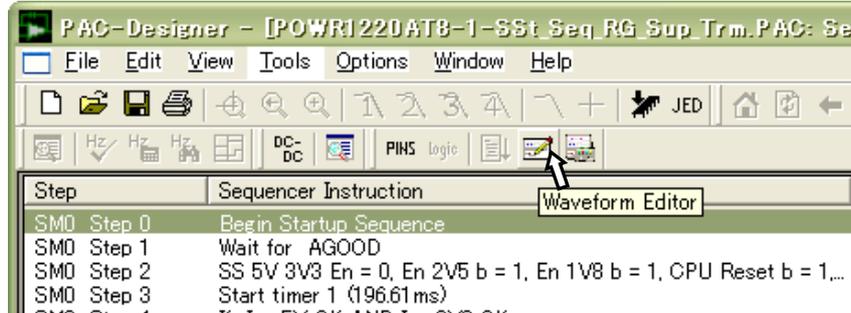


図 3-38 シミュレーション波形入力画面の起動

上記の方法により起動しますと、図 3-39のような画面が表示されます。

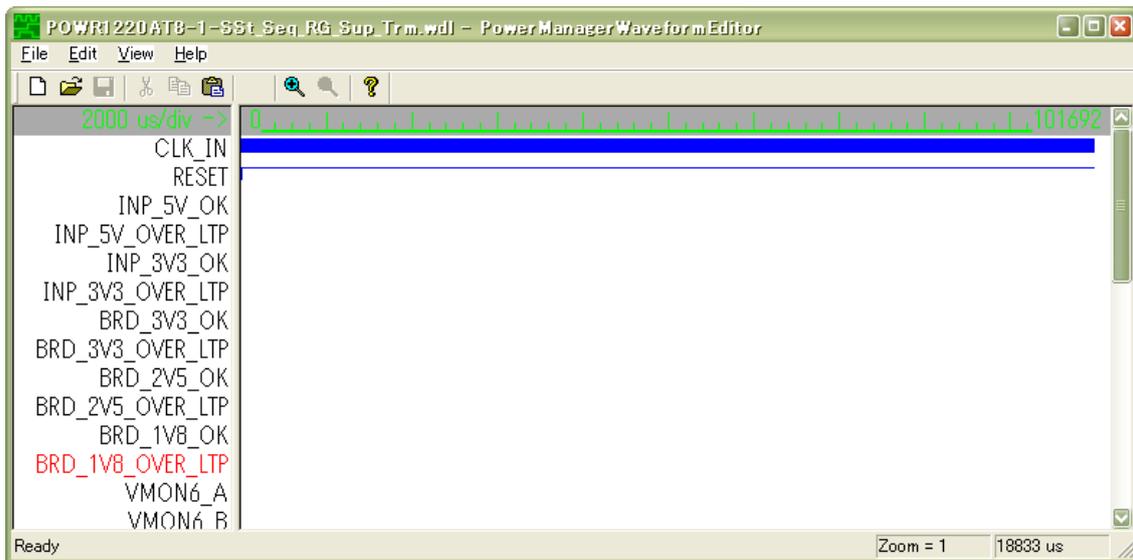


図 3-39 シミュレーション波形入力画面

上記画面起動時、入出力信号および CLK_IN(内部クロック)と RESET(アクティブ Low の外部リセット信号)が、デフォルトでリストアップされます。

3.4.1 クロックとシミュレーション時間の設定

まず、クロック周波数とシミュレーション時間の設定を行ないます。

図 3-39の波形入力画面にて CLK_IN をダブルクリックしますと、図 3-40のような画面が起動します。

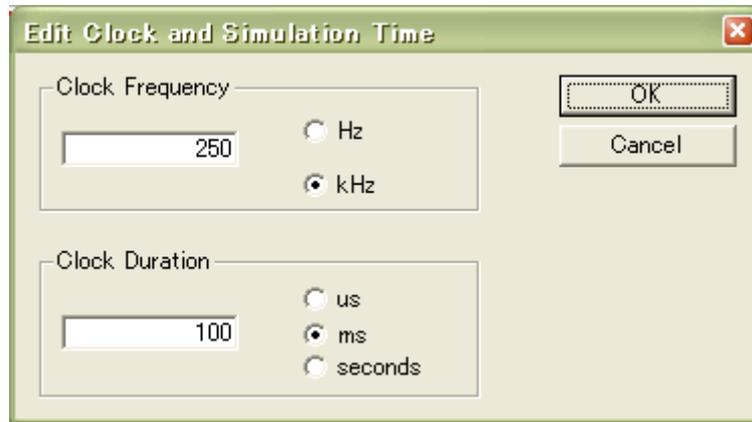


図 3-40 クロックとシミュレーション時間の設定画面

上記画面が起動しましたら、クロック周波数とシミュレーション実行時間を入力し、OKボタンをクリックします。

3.4.2 入力信号波形の設定

続いて、入力信号の設定を行ないます。

図 3-39の波形入力画面にて入力信号をダブルクリックしますと、図 3-41のような画面が起動します。

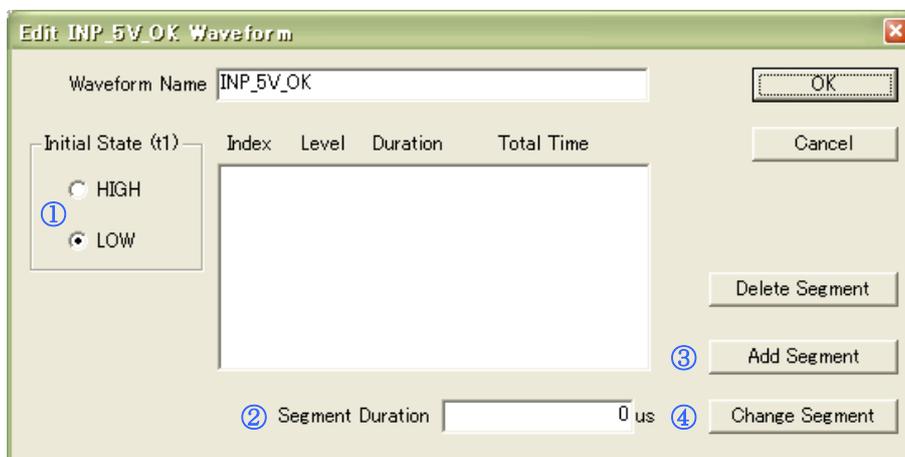


図 3-41 入力信号波形の設定

上記画面が開きましたら、下記 4 つの設定を行ないます。

- ① Initial State で HIGH もしくは LOW を選択する。
- ② Segment Duration に①で選択した値の保持時間を入力します。
- ③ 続いて値を変化させるには、Add Segment ボタンをクリックします。
- ④ Change Segment ボタンをクリックし、保持時間を設定します。

3.4.3 シミュレーションの実行

シミュレーション波形の入力が完了しましたら、波形を保存しシミュレーションを実行します。
シミュレーションは、以下2つの何れかの方法により実行します。

- ① メニューから[Tools]→[Run PLD Simulator]を選択する。
- ② PLD Simulator アイコンをクリックする。
 - ・ シーケンス・コントローラ画面表示時のみ実行可能です。

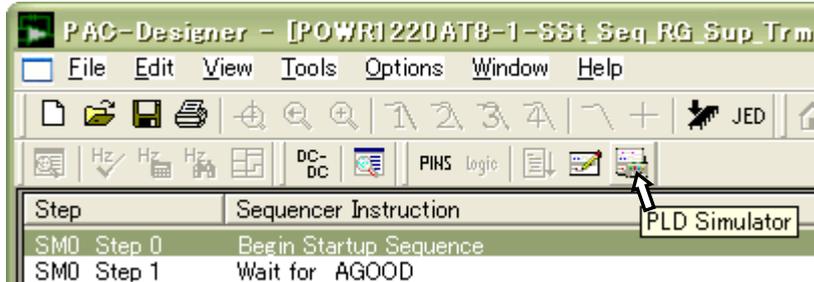


図 3-42 シミュレーション波形入力画面の起動

コンパイルを開始すると MS-DOS 画面が起動し、図 3-43のような画面でシミュレーション結果が表示されます。

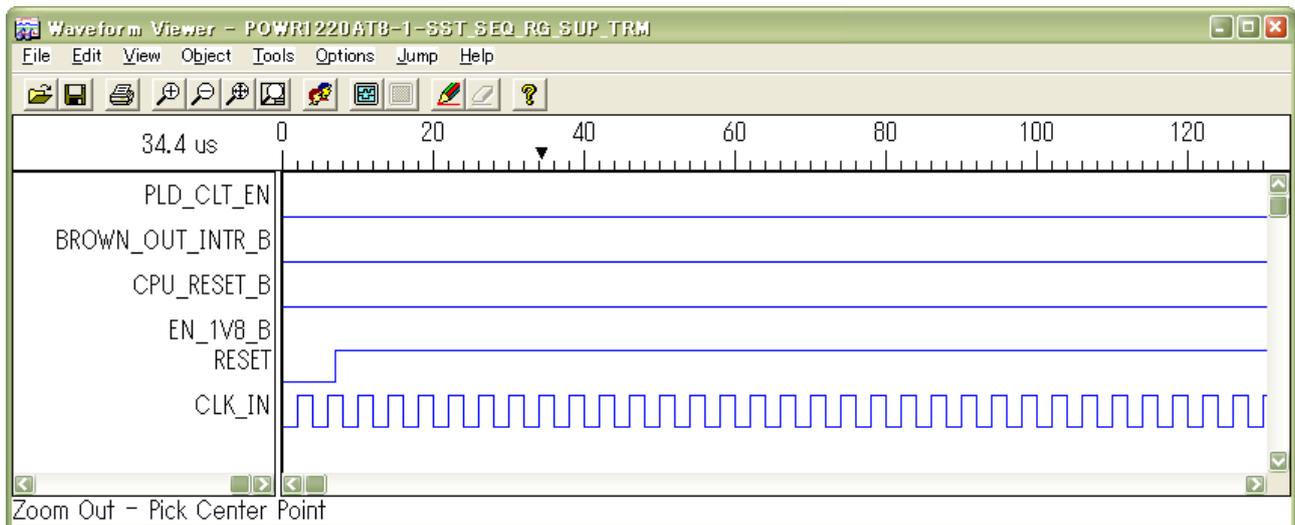


図 3-43 シミュレーション結果例

3.4.4 汎用 HDL シミュレータを使用する方法

シミュレーション・ツールとして汎用の HDL シミュレータを使用することも可能です。ファイルメニューから [File] → [Export] を選択します(図 3-45)。



図 3-44 ファイルのエクスポート

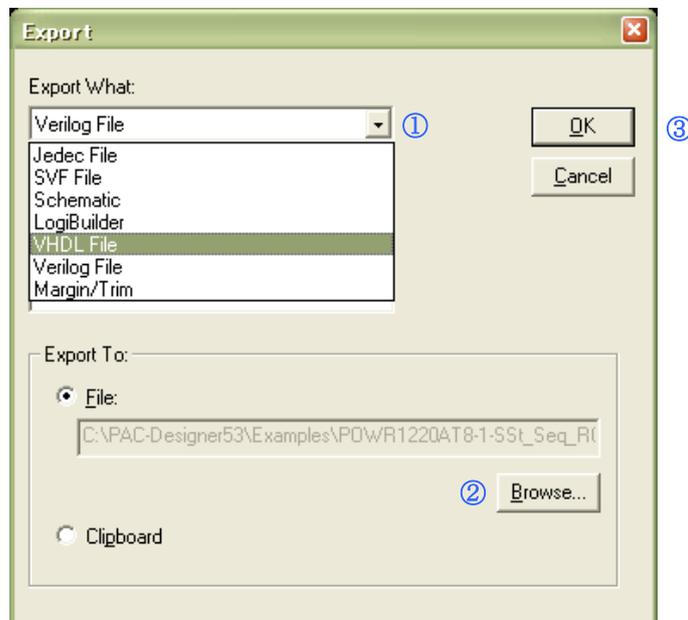


図 3-45 フォーマットの選択

図 3-46 の画面が開きましたら、下記 3 つの設定を行ないます。

- ① Export What で VHDL File か Verilog File を選択。
- ② Browse ボタンをクリックし、Export To の File 欄にファイルの生成場所とファイル名を指定。
- ③ OK ボタンを押し、ファイルを生成する。

尚、汎用 HDL シミュレータ用の POWR デバイスライブラリは、PAC-Designer をデフォルトでインストールした場合、下記に保存されています。

C:\PAC-Designer53\cae_library\simulation\verilog\powr\src
C:\PAC-Designer53\cae_library\simulation\vhdl\powr\src

3.5 供給電源ランプレートのシミュレーション

PAC-Designerでは、HVOUT出力で制御する供給電源のランプレートをシミュレーションすることが可能です。まずメニューの「Tools」→「Design Utilities…」を選択しますと、図 3-46のような画面が起動します。

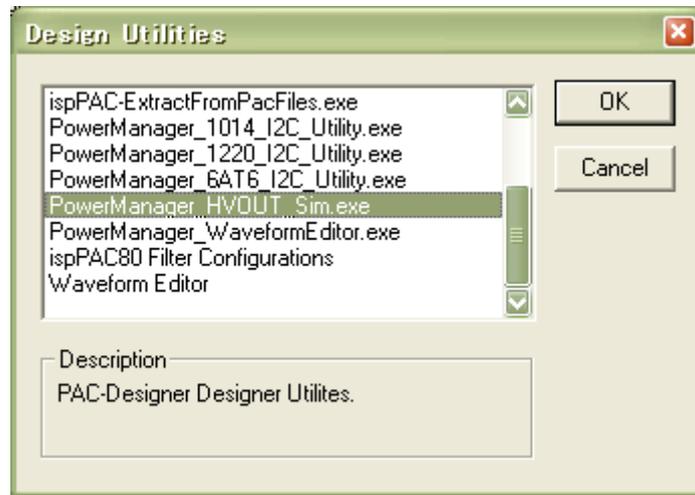


図 3-46 デザイン・ユーティリティ選択画面

上記画面より「PowerManagerHVOUT_Sim.exe」を選択しますと、図 3-47のような画面が起動します。

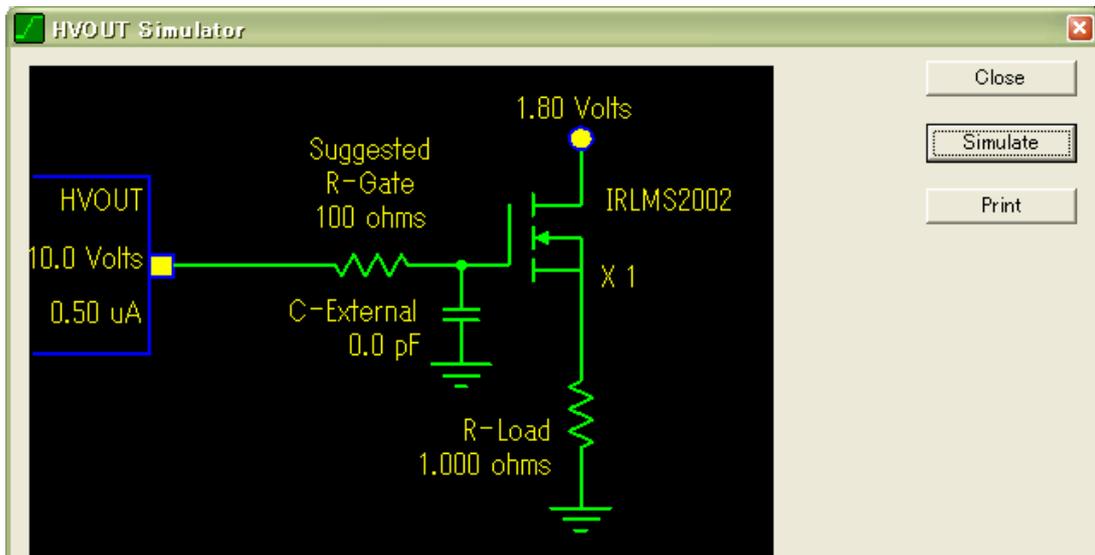


図 3-47 高電圧出力 シミュレータ

高電圧シミュレータが起動しましたら、HVOUTからの出力ピンに接続されるFETおよび周辺回路についてのパラメータを調整します。

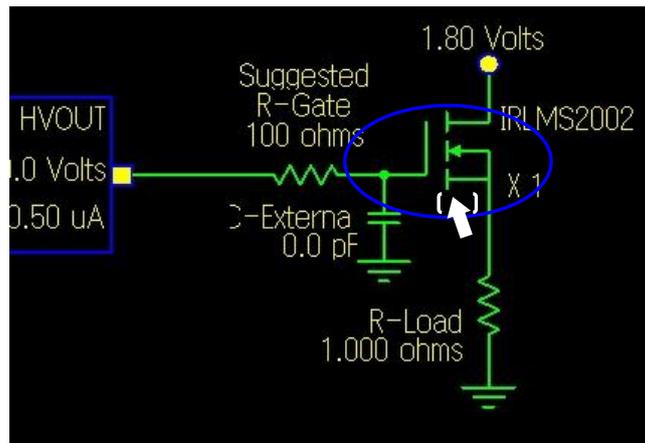


図 3-48 MOSFET の設定

高電圧シミュレータ画面にて、MOSFET 付近をダブルクリックしますと、図 3-49のような画面が起動します。

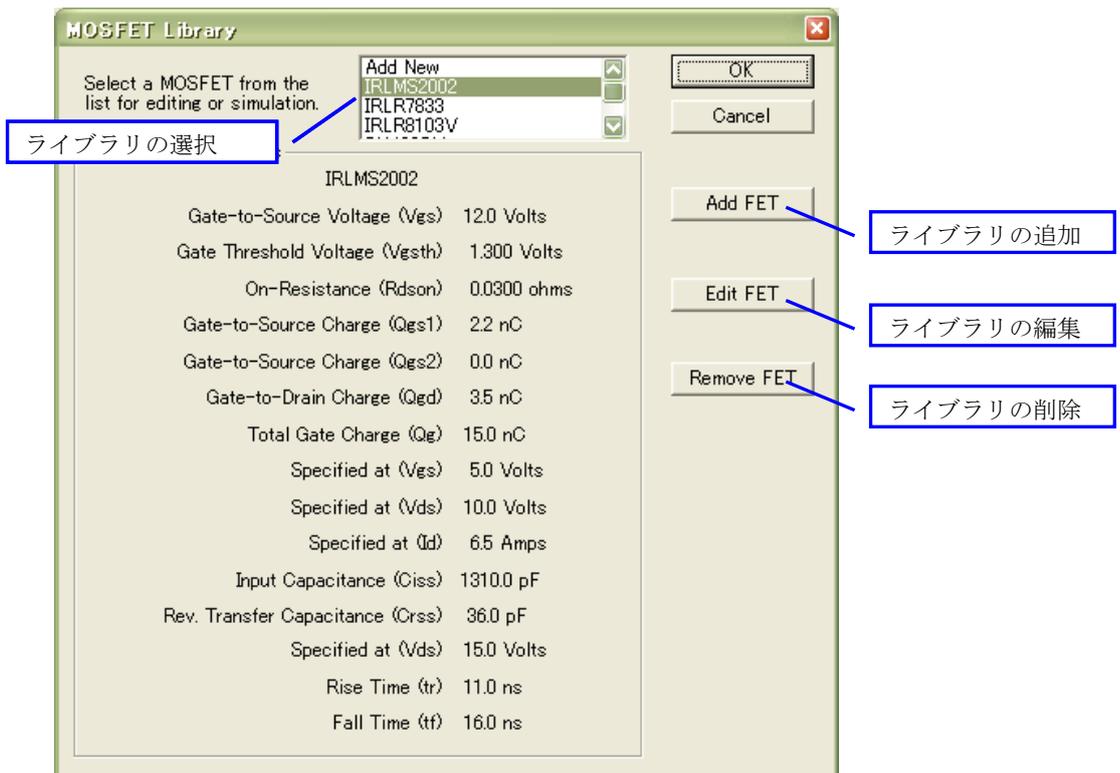


図 3-49 MOSFET ライブラリ

上図の画面が起動したら、一覧から MOSFET を選択します。
また、Add FET ボタンをクリックすることで、新規にライブラリを追加することが可能です。
登録されているライブラリを編集するには、Edit FET ボタンをクリックします。

MOS-FET のライブラリを選択しましたら、その他のパラメータを編集します。
各パラメータ上(マウスアイコンが)に変化する場所)をダブルクリックしますと、編集画面が起動します。

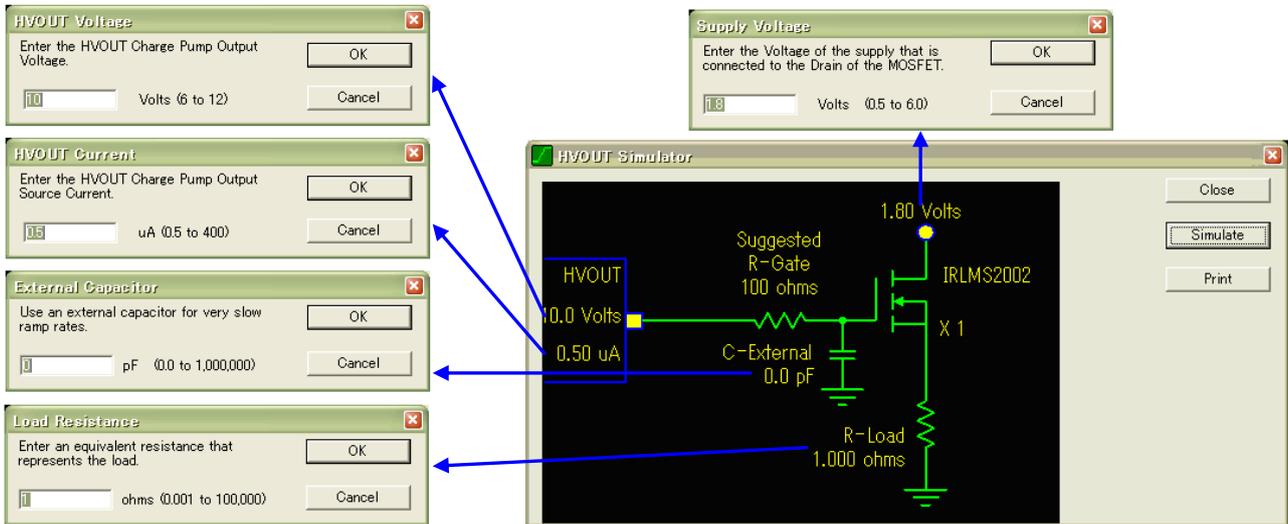


図 3-50 パラメータの編集

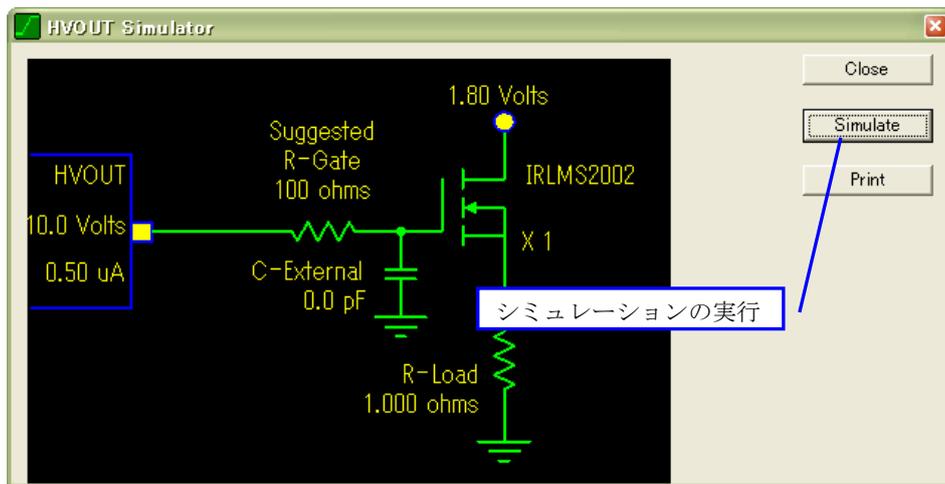


図 3-51 シミュレーションの実行

各パラメータの編集が完了しましたら、Simulate ボタンをクリックしシミュレーションを実行します。

シミュレーションを実行しますと、図 3-52のような画面が起動します。

本画面では、「ディヴィジョンの変更」、「カーソルの表示」、「カーソル位置に対する電圧」、「時間の表示」、「2点間の傾きの表示」、「印刷」、「CSV ファイルへの出力」を行なうことができます。

尚、カーソル 1 は左クリックを押しながら、カーソル2は右クリックを押しながら移動することが可能です。

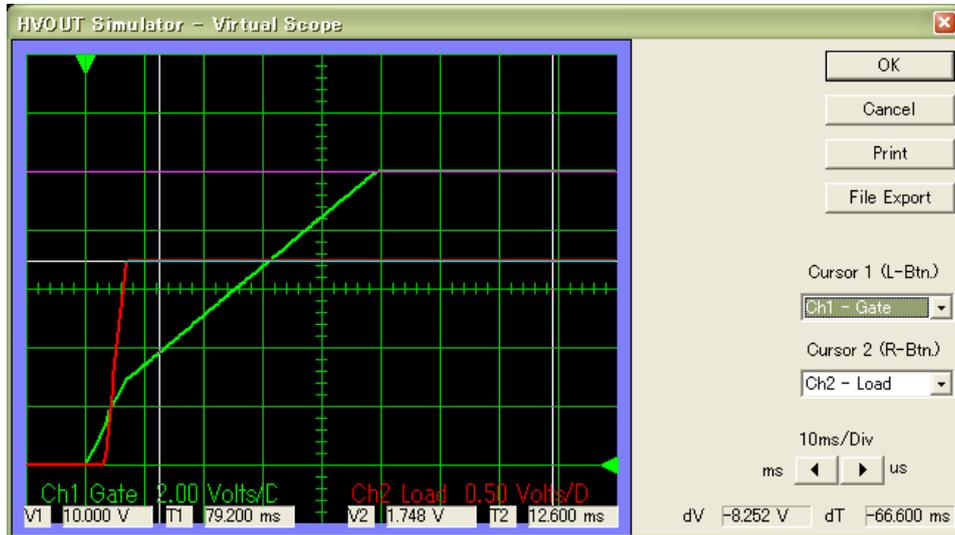


図 3-52 シミュレーション画面

3.6 UES エディタ

各デバイスの UES エディタ部(図 2-1 で示すメインウインドウ右下の UES エディタ部)をダブルクリックすると図 3-53のような画面が起動します。ここで、設定したい bit を選択した状態で Toggle ボタンをクリックするか、各ビットをダブルクリックすると値が”0”,”1”交互に変化しますので、各ビット値を設定します。

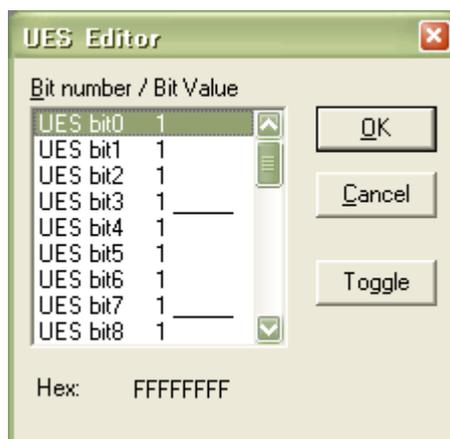


図 3-53 UES エディタ

設定が完了しましたら、OK ボタンを押して終了します。

4 デバイスへの書き込み

デバイスへの書き込み方法は、PAC-Designer から書き込む方法と、ispVM System を使用する方法の 2 種類があります。

但し、Ver4.97 以前の PAC-Designer から書き込む場合は、パラレルポート・ダウンロード・ケーブルのみに対応しておりますので、必ず ispVM System から書き込みをしてください(Ver4.98 以降では USB タイプにも対応しています)。

4.1 PAC-Designer からの書き込み

4.1.1 ダウンロード・ケーブルの設定(Ver4.98 以降)

PAC-Designer4.98 以降では、デバイスへのダウンロードを行なうケーブルとして、パラレルポートタイプと USB タイプを使用することが出来ます。PAC-Designer からダウンロードを行なうためには、どちらのタイプのダウンロード・ケーブルを使用するかを設定する必要があります。

ダウンロード・ケーブルの設定を行なうには、メニューから[Options]→[Cable and I/O Port Setup]を選択します。

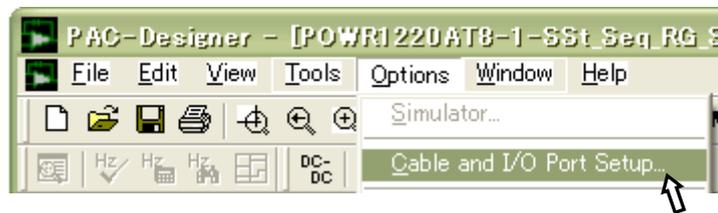


図 4-1 ダウンロード・ケーブルの設定画面の起動

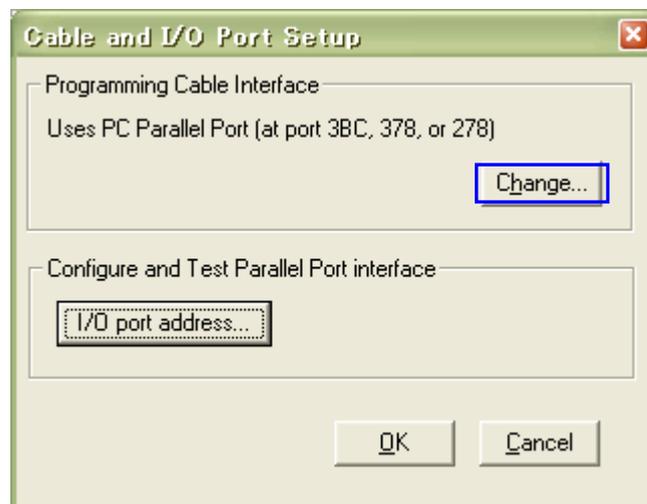


図 4-2 ダウンロード・ケーブルの設定

図 4-2のような画面が起動しましたら、Change ボタンをクリックします。

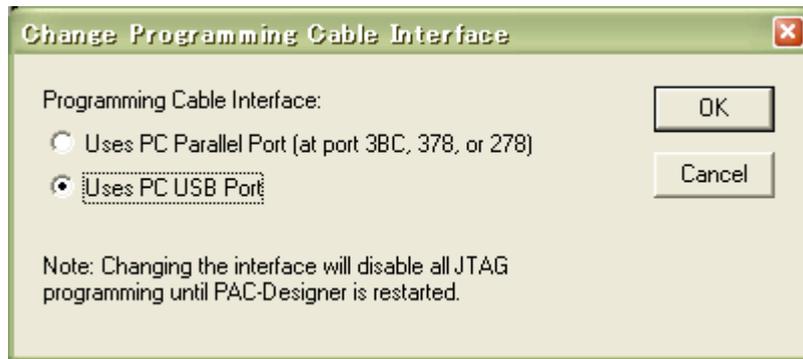


図 4-3 ダウンロード・ケーブルの選択

図 4-3のような画面が起動しましたら、Parallel タイプか USB タイプかを選択し、OK ボタンをクリックします。

4.1.2 デバイスへのダウンロード

PAC-Designer からデバイスへの書き込みを行なうには、以下2つの方法により実行することができます。

- ① メニューから[Tools]→[Downloads]を選択する。
- ② Downloads アイコンをクリックする。



図 4-4 デバイスへの書き込み

4.2 ispVM System からの書き込み

PAC-Designer 上で JEDEC ファイルを生成することで、CPLD や FPGA 同様に ispVM System を使用して書き込みを行なうことが可能です。

JEDEC ファイルを生成するには、以下 2 つの方法により実行することができます。

- (ア) メニューから[File]→[Export]を選択する(下記図 4-6 の設定画面)。
- (イ) Export JEDEC File アイコンをクリックする(保存場所を示すダイアログ画面と共に、Jedec ファイルが出力直接出力されます)。

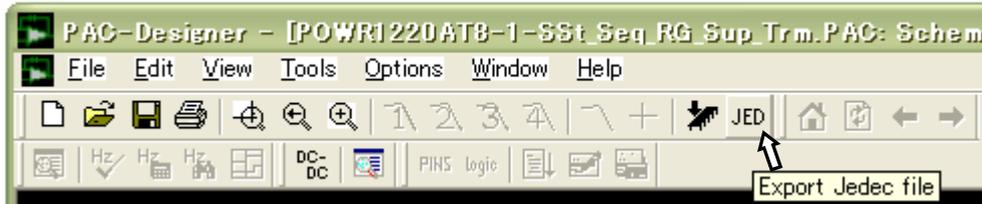


図 4-5 JEDEC ファイルの生成

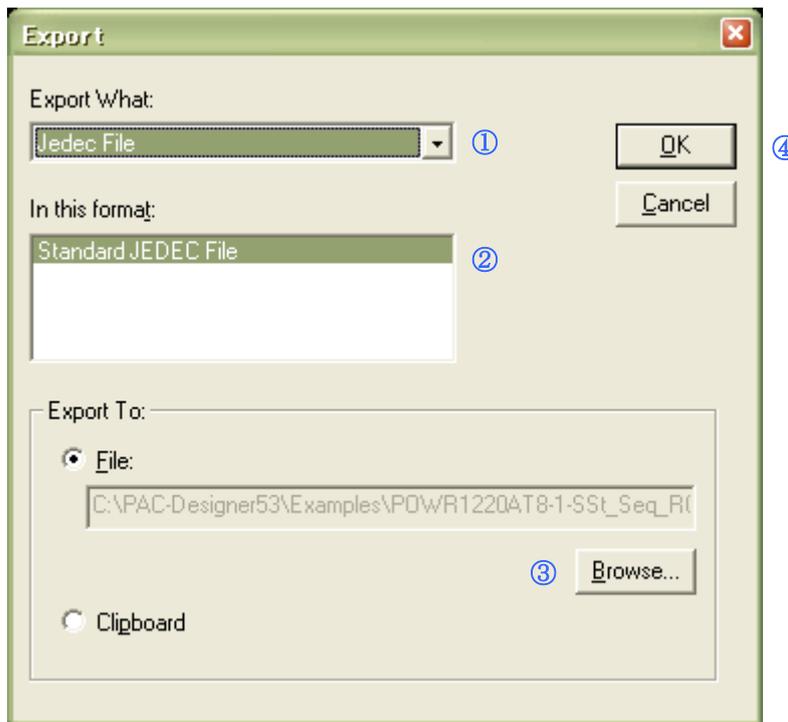


図 4-6 JEDEC ファイルの生成

図 4-6の画面が開きましたら、下記4つの設定を行ないます。

- ① Export What で Jedec File を選択。
- ② In this format で Standard JEDEC File を選択。
- ③ Browse ボタンをクリックし、Export To の File 欄に JEDEC ファイルの生成場所とファイル名を指定
- ④ OK ボタンを押し、ファイルを生成する。

JEDEC ファイル生成後の、書き込み方法は CPLD/FPGA と同様です。
詳細は、ispLEVER ユーザーマニュアルの ispVM System 編を参照ください。

JEDEC ファイルを生成しますと、ヘッダー部に Author(設計者)が入ります。
この欄が、日本語(2 バイト文字)の場合デバイスへの書き込みが正常に行なえませんが
Author を空欄もしくは、半角文字に変更する必要があります。

Author の変更は、メニューの[File]→[Summary Information]を選択し、図 4-7のような画面にて変更します。

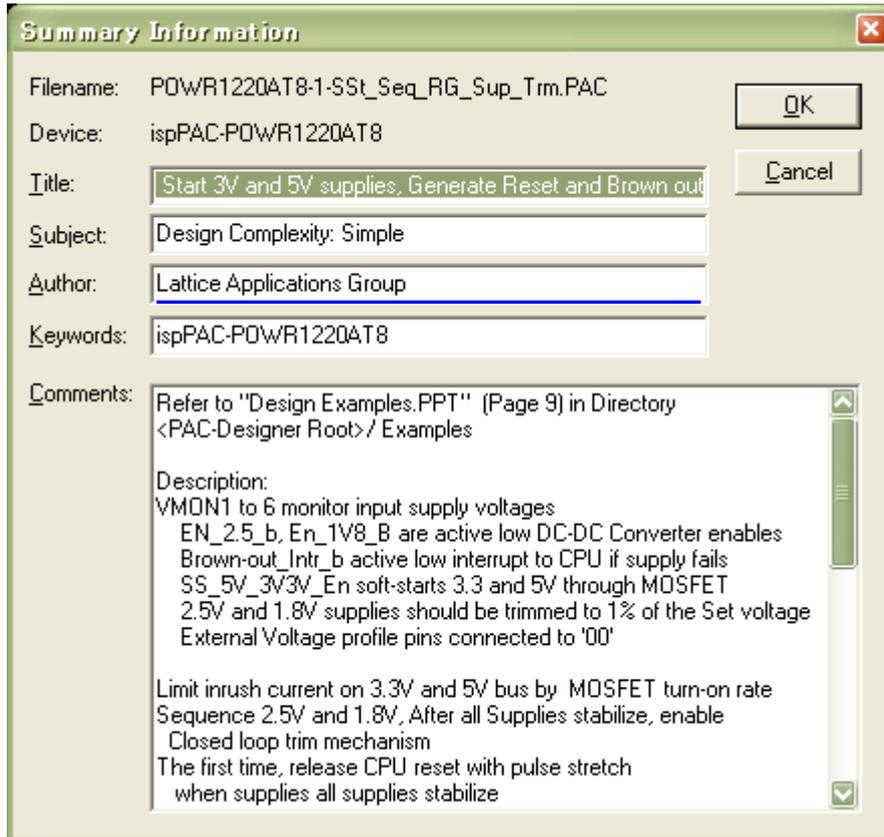


図 4-7 Summary Information 画面

5 I2C Utility

デバイスへの書き込み後、I2C を搭載しているデバイス(POWR1014A, 1220AT8 及び 6AT6)では、USB・パラレルのダウンロード・ケーブルを使用し、デバイス内部レジスタへのリードライトが可能です。ダウンロード・ケーブルの接続先は、POWR デバイスの JTAG 端子ではなく、I2C 端子となります。

あらかじめ、デザインで I2C インタフェース用のデバイスアドレスを指定します(本資料 33-34 ページ参照)。

メニューの「Tools」→「Design Utilities…」を選択しますと、図 5-1 のような画面が起動します。

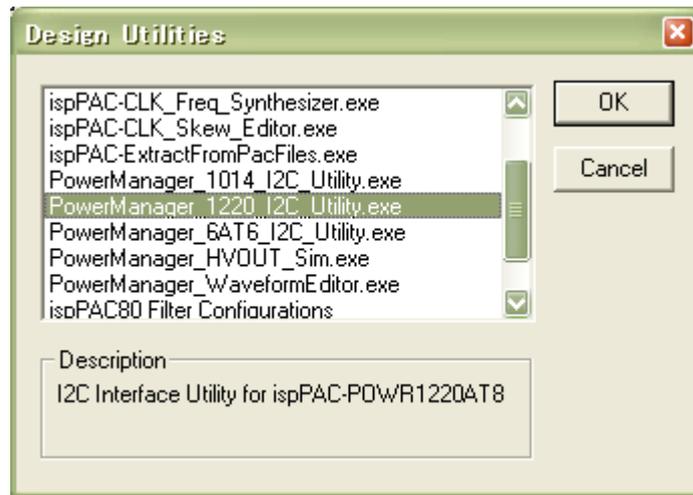


図 5-1 デザイン・ユーティリティ選択画面

使用するデバイスに合わせ、ユーティリティツールを選択し、OK を押すと図 5-2 の様な I2C ユーティリティが起動します。

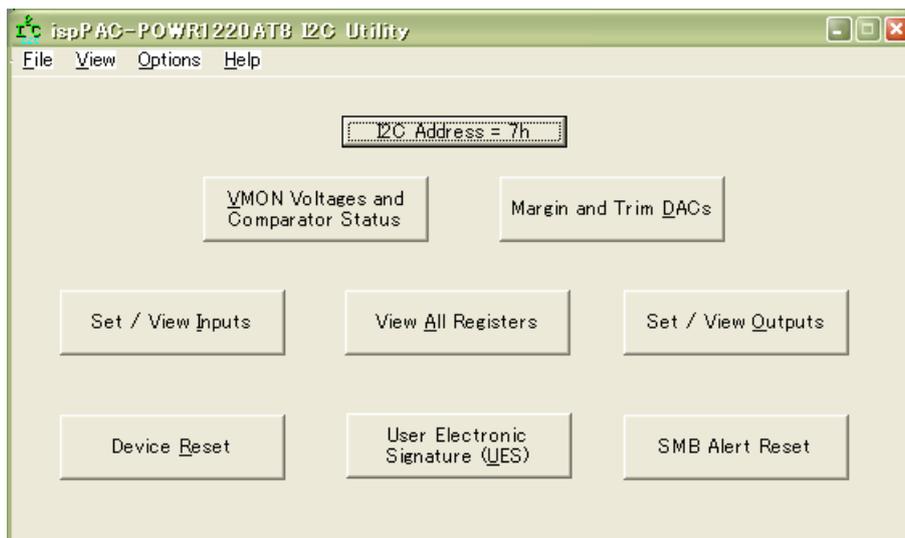


図 5-2 I2C ユーティリティ (POWR1220AT8 の場合)

Option の I2C Interface を起動し (図 5-3)、図 5-4 の画面にてダウンロード・ケーブルの種類を設定します。



図 5-3 I/O セットアップの起動

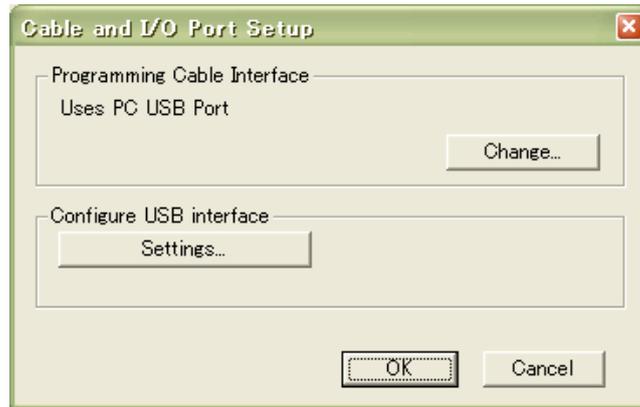


図 5-4 I/O セットアップ画面

I2C ユーティリティの I2C アドレスを、あらかじめデザインで設定している値に合わせます (図 5-5)。設定後は各メニューボタンにてレジスタ・アクセスが可能です。

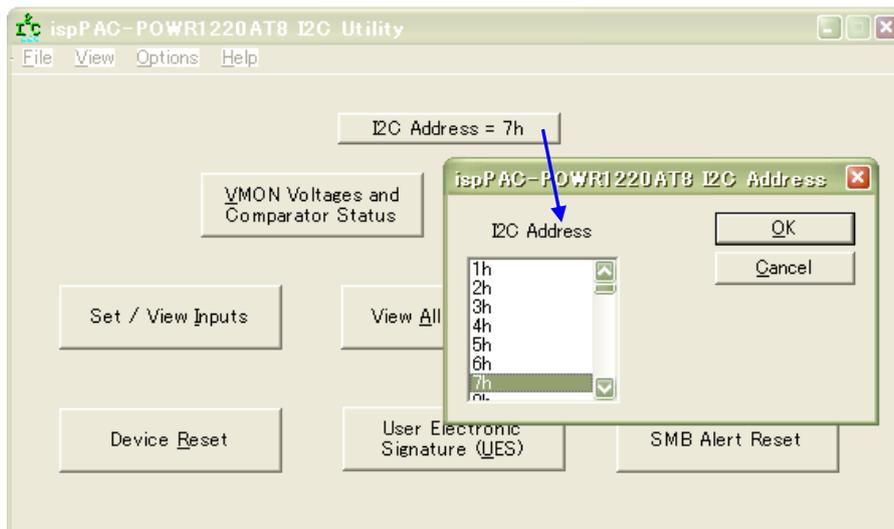


図 5-5 I2C アドレスの設定

6 Appendix

6.1 ピンの外部処理方法

6.1.1 ispPAC-POWR1220AT8 のピン外部処理方法

表 6-1 ispPAC-POWR1220AT8 のピン外部処理方法

| ピン名 | 使用時 | 未使用時 |
|---------------|--|--------------------|
| VPS[1..0] | - | GND に接続を推奨(オープンも可) |
| IN[6..1] | - | GND に接続 |
| VMON[12..1] | - | GND に接続を推奨(オープンも可) |
| VMONGS[12..1] | GND に接続 (VMONGSx ピンは必ず接続してください。 また、GNDA に対して-0.2V~+0.3V 以内にして下さい) | |
| GNDD | GND に接続 (GNDA と GNDD は、ボード上の同じ GND に接続して下さい) | |
| GNDA | | |
| VCCD | 2.8V~3.96V を供給 (VCCPROG オープン) | |
| VCCA | (VCCD と VCCA は、ボード上の同じ VCC に接続して下さい。) | |
| VCCINP | 2.25V~3.6V を供給 | |
| VCCJ | 2.25V~3.6V を供給 | |
| VCCPROG | 3.0V~3.6V を供給 (VCCD 及び VCCA オープン) | オープン |
| HVOUT[4..1] | —(FET ドライバ時) | オープン |
| | 外部プルアップ (オープンドレイン出力時) | オープン |
| SMBA_OUT5 | 外部プルアップ | オープン |
| OUT[20..6] | 外部プルアップ | オープン |
| TRIM[8..1] | - | オープン |
| RESETb | オープン (必須) | オープン (必須) |
| PLDCLK | - | オープン |
| MCLK | - | オープン |
| TDO | - | オープン |
| TCK | 外部プルダウンを推奨 | |
| TMS | 外部プルアップを推奨 | |
| TDI | - | オープン |
| ATDI | - | オープン |
| TDISEL | GND に接続 | オープン |
| SCL, SDA | 外部プルアップ | GND に接続 |
| RESEVED | 何も接続しないで下さい | |
| NC | 何も接続しないで下さい | |

- ・ 「—」は、プルアップやプルダウンを外部に必要としないことを意味します。
- ・ **RESETb に外部プルアップ/プルダウン抵抗は一切接続しないで下さい。デバイスの初期化が正常に行われず、誤動作をする可能性が大きくなります。複数デバイスを同期動作させる場合にのみワイヤド OR 接続で使用します。**

※パワーマネージャ・デバイスへプログラムするための JTAG I/F は、他の FPGA 等の JTAG デバイスと同一チェーンとしないことを推奨します。チェーン上のデバイスへの電源をパワーマネージャで制御している場合、チェーン上のデバイスへの電源が OFF されていることにより、JTAG チェーンとして成立しない可能性を防ぐためです。

6.1.2 ispPAC-POWR1014/A のピン外部処理方法

表 6-2 ispPAC-POWR1014/A のピン外部処理方法

| ピン名 | 使用時 | 未使用時 |
|-------------|---|----------------------|
| IN[4..1] | - | GND に接続 |
| VMON[10..1] | - | GND に接続を推奨(オープンも可) |
| GNDD | GND に接続(GNDA と GNDD は、ボード上の同じ GND に接続して下さい) | |
| GNDA | | |
| VCCD | 2.8V~3.96V を供給(VCCPROG オープン) | |
| VCCA | (VCCD と VCCA は、ボード上の同じ VCC に接続して下さい。) | |
| VCCINP | 2.25V~3.6V を供給 | |
| VCCJ | 2.25V~3.6V を供給 | |
| VCCPROG | 3.0V~3.6V を供給 (VCCD 及び VCCA オープン) | オープン |
| HVOUT[2..1] | - (FET ドライバ時) | オープン |
| | 外部プルアップ(オープンドレイン出力時) | オープン |
| SMBA_OUT3 | 外部プルアップ | オープン |
| OUT[14..4] | 外部プルアップ | オープン |
| RESETb | オープン(必須) | オープン(必須) |
| PLDCLK | - | オープン |
| MCLK | - | オープン |
| TDO | - | オープン |
| TCK | 外部プルダウンを推奨 | |
| TMS | 外部プルアップを推奨 | |
| TDI | - | オープン |
| ATDI | - | オープン |
| TDISEL | GND に接続 | オープン |
| SCL | 外部プルアップ(POWR1014A のみ) | GND に接続(POWR1014 のみ) |
| SDA | 外部プルアップ(POWR1014A のみ) | GND に接続(POWR1014 のみ) |

- ・ 「-」は、プルアップやプルダウンを外部に必要としないことを意味します。
- ・ **RESETb に外部プルアップ/プルダウン抵抗は一切接続しないで下さい。デバイスの初期化が正常に行われず、誤動作をする可能性が大きくなります。複数デバイスを同期動作させる場合にのみワイヤド OR 接続で使用します。**

※パワーマネージャ・デバイスへプログラムするための JTAG I/F は、他の FPGA 等の JTAG デバイスと同一チェーンとしないことを推奨します。チェーン上のデバイスへの電源をパワーマネージャで制御している場合、チェーン上のデバイスへの電源が OFF されていることにより、JTAG チェーンとして成立しない可能性を防ぐためです。

6.1.3 ispPAC-POWR6AT6 のピン外部処理方法

表 6-3 ispPAC-POWR6AT6 のピン外部処理方法

| ピン名 | 使用時 | 未使用時 |
|--------------|---|--------------------|
| VPS[1..0] | - | GND に接続を推奨(オープンも可) |
| CLTENb | | GND に接続 |
| VMON[6..1] | - | GND に接続を推奨(オープンも可) |
| VMONGS[6..1] | GND に接続(VMONGSx ピンは必ず接続してください。 また、GNDA に対して-0.2V~+0.3V 以内にして下さい) | |
| GND | GND に接続 | |
| VCCD | 2.8V~3.96V を供給 | |
| VCCA | (VCCD と VCCA は、ボード上の同じ VCC に接続して下さい。) | |
| VCCJ | 2.25V~3.6V を供給 | |
| CLTLOCK/SMBA | 外部プルアップ | オープン |
| OUT[20..6] | 外部プルアップ | オープン |
| TRIM[6..1] | - | オープン |
| TDO | - | オープン |
| TCK | 外部プルダウンを推奨 | |
| TMS | 外部プルアップを推奨 | |
| TDI | - | オープン |
| SCL | 外部プルアップ | GND に接続 |
| SDA | 外部プルアップ | GND に接続 |

- ・ 「-」は、プルアップやプルダウンを外部に必要としないことを意味します。

※パワーマネージャ・デバイスへプログラムするための JTAG I/F は、他の FPGA 等の JTAG デバイスと同一チェーンとしないことを推奨します。チェーン上のデバイスへの電源をパワーマネージャで制御している場合、チェーン上のデバイスへの電源が OFF されていることにより、JTAG チェーンとして成立しない可能性を防ぐためです。

6.1.4 ispPAC-POWR607 のピン外部処理方法

表 6-4 ispPAC-POWR607 のピン外部処理方法

| ピン名 | 使用時 | 未使用時 |
|--------------|----------------------|--------------------|
| GND | GND に接続 | |
| VMON[6..1] | - | GND に接続を推奨(オープンも可) |
| VCC | 2.64V~3.96V を供給 | |
| VCCJ | 2.25V~3.6V を供給 | |
| HVOUT[2..1] | —(FET ドライバ時) | オープン |
| | 外部プルアップ(オープンドレイン出力時) | オープン |
| IN_OUT[7..3] | —(デジタルインプットモード時) | 10kΩ の抵抗でプルダウン. |
| | 外部プルアップ(オープンドレイン出力時) | オープン |
| IN1_PWRDN | - | 10kΩ の抵抗でプルダウン. |
| IN2 | | GND に接続 |
| TDO | - | オープン |
| TCK | 外部プルダウンを推奨 | |
| TMS | 外部プルアップを推奨 | |
| TDI | - | オープン |
| NC | オープン | オープン |

- ・ 「—」は、プルアップやプルダウンを外部に必要としないことを意味します。

※パワーマネージャ・デバイスへプログラムするための JTAG I/F は、他の FPGA 等の JTAG デバイスと同一チェーンとしないことを推奨します。チェーン上のデバイスへの電源をパワーマネージャで制御している場合、チェーン上のデバイスへの電源が OFF されていることにより、JTAG チェーンとして成立しない可能性を防ぐためです。

6.1.5 ProcessorPM - POWR605 のピン外部処理方法

表 06-5 ProcessorPM - POWR605 のピン外部処理方法

| ピン名 | 使用時 | 未使用時 |
|--------------|----------------------|----------------------------------|
| GND | GND に接続 | |
| VMON[6..1] | - | GND に接続を推奨(オープンも可) ^{注)} |
| VCC | 2.64V~3.96V を供給 | |
| VCCJ | 2.25V~3.6V を供給 | |
| IN_OUT[5..1] | -(デジタルインプットモード時) | 10kΩ の抵抗でプルダウン. |
| | 外部プルアップ(オープンドレイン出力時) | オープン |
| IN1_PWRDN | - | 10kΩ の抵抗でプルダウン. |
| IN2 | GND に接続 | |
| TDO | - | オープン |
| TCK | 外部プルダウンを推奨 | |
| TMS | 外部プルアップを推奨 | |
| TDI | - | オープン |
| NC | オープン | オープン |

- ・ 「-」は、プルアップやプルダウンを外部に必要としないことを意味します。

※パワーマネージャ・デバイスへプログラムするための JTAG I/F は、他の FPGA 等の JTAG デバイスと同一チェーンとしないことを推奨します。チェーン上のデバイスへの電源をパワーマネージャで制御している場合、チェーン上のデバイスへの電源が OFF されていることにより、JTAG チェーンとして成立しない可能性を防ぐためです。

注) ProcessorPM-POWR605 データシート “DS1034” では 3.3V の VCC へ接続する旨の記載がございましたが、VCC/GND どちらの接続でも問題ございません。

6.2 出力ピンにコンデンサを付加する場合の注意事項 (重要)

アプリケーションによっては、DC-DC コンバータのソフトスタート機能を制御する為に使用する場合もあり、そのような場合パワーマネージャ・デバイスの出力ピンにコンデンサが接続される場合があります。(図 6-1 の C1 のコンデンサ)。

パワーマネージャ・デバイスでは、電源投入後のリセット (Power On Reset) 後、HVOUT/OUT 出力の初期設定が選択できます。デフォルト設定では Low 出力設定となっている為、HVOUT/OUT のオープン・ドレイン・トランジスタはオンとなります。トランジスタがオンすると、外部に接続されているコンデンサにチャージされた電荷が、トランジスタを介してパワーマネージャ・デバイスへと流れ込み、パワーマネージャ・デバイスが正常に起動しない場合がございます。

このような状況を防ぎ、パワーマネージャ・デバイスの起動を確実なものにする為、パワーマネージャ・デバイスの出力ピンにコンデンサを接続する場合、流れ込み電流制限用の直列抵抗を入れます(図 6-1 の R1)。抵抗の値については、470Ω を推奨いたします。

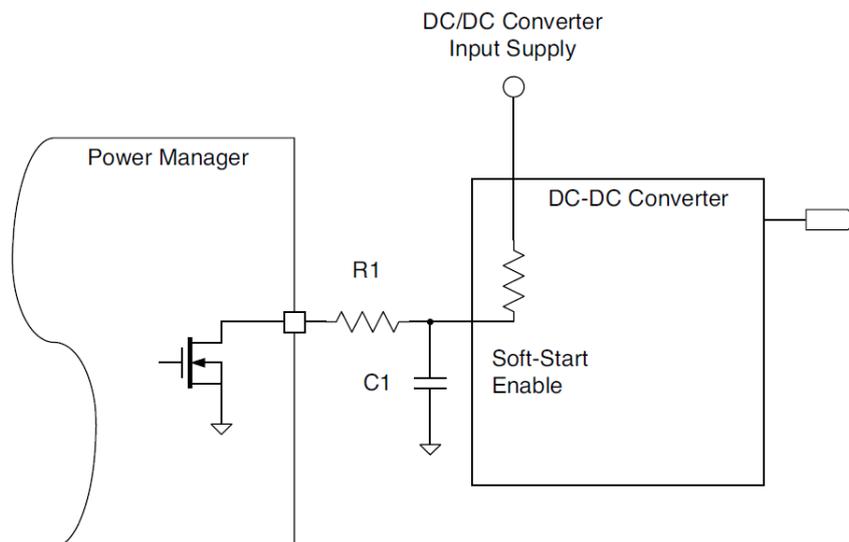


図 6-1 コンデンサを接続する場合の対策

6.3 Power Manager から Power ManagerII への置き換え

Power Manager (以下 PM1) から Power ManagerII (以下 PM2) へ置き換える際に必要な注意事項を以下にまとめます。また、次ページからは、PM1 の 604, 1208, 1208P1 をそれぞれ PM2 の 1014 へ置き換える場合の、電氣的仕様と特性を示します。黄色のセルは特に PM1 に対して PM2 の耐圧に関する違いです、過電圧の印加に充分ご注意ください。

- [1] VCCPROG に電源を供給する場合は、決して VCCD/VCCA に同時に電圧を印加してはなりません。VCCD/VCCA に電源を供給する場合は、VCCPROG はフローティングとします。
- [2] PM1 にあった CREF ピンは PM2 にはないため、外付け 0.1uF は不要です。
- [3] RESETb ピンに関して、PM1 では入力であり、外部からの制御入力も受け付けたが、PM2 では基本的にオープンとします。外部プルアップ/ダウン抵抗やコンデンサを付加すると、初期リセットが正常にかからなくなるので、ご注意ください。外部で接続するのは、複数の PM2 デバイスを同期動作させる場合のみ必要となります。
- [4] デジタル出力ピンは PM1 も PM2 も共にオープンドレインであるため、使用する場合はいずれも外付けプルアップ抵抗が必要です。
- [5] PM2 では一部デバイスを除き内部信号 AGOOD があります (シーケンスの最初にデフォルトで必ず挿入されます)。削除することも可能ですが、特に理由がない限り使うことを推奨します。

6.3.1 POW604 から POW1014 への置き換え

表 6-6 POWR604 から POWR1014 への置き換え

| 項目 | パラメータ | 表記 | 604 | | | 表記 | 1014/A | | | 単位 |
|----------------------|------------------------------|---------------------------|-------|------|----------|--------------------|------------------|----------------------|-----------------|-------|
| | | | Min | Typ | Max | | Min | Typ | Max | |
| 絶対最大定格 | 電源電圧 | VDD | -0.5 | -- | 6.0 | VCCD, VCCA | -0.5 | -- | 4.5 | V |
| | VMON 入力 | VMON | -0.5 | -- | 7.0 | VMON | -0.5 | -- | 6.0 | V |
| | デジタル入力電源 | VDDINP | -0.5 | -- | 6.0 | VCCINP | -0.5 | -- | 6.0 | V |
| | デジタル入力 | VIN | -0.5 | -- | 6.0 | VIN | -0.5 | -- | 6.0 | V |
| | トライステート/オープンドレイン 出力ピン印加電圧 | VTRI HVOUTmax | -0.5 | -- | 6.0 | VTRI, HVOUT | -0.5 | -- | 13.3 | V |
| | JTAG 電源 | | | | | VCCJ | -0.5 | -- | 6.0 | V |
| | EECMOS プログラム電圧 | | | | | VCCPROG | -0.5 | -- | 4.0 | V |
| 推奨動作条件 | 動作電源電圧 | VDD | 2.25 | -- | 5.5 | VCCD, VCCA | 2.8 | -- | 3.96 | V |
| | VMON 入力 | VMON | 0 | -- | 6.0 | VMON | -0.3 | -- | 5.5 | V |
| | デジタル入力電源 | VDDINP | 2.25 | -- | 5.5 | VCCINP | 2.25 | -- | 5.5 | V |
| | デジタル入力 | VIN | 0 | -- | 5.5 | VIN | -0.3 | -- | 5.5 | V |
| | トライステート/オープンドレイン 出力ピン印加電圧 | | | | | VTRI, HVOUT | -0.3 | -- | 13.0 | V |
| | JTAG 電源 | | | | | VCCJ | 2.25 | -- | 3.6 | V |
| | EECMOS プログラム電源 | VDDPROG | 3.0 | -- | 5.5 | VCCPROG *1 | 3.0 | -- | 3.6 | V |
| 電源電流 (推奨動作条件下) | 主電源 | IDD | -- | 5 | 10 | ICCINP | -- | -- | 20 | mA |
| | デジタル入力電源 | IDDINP | | | | ICCINP | -- | -- | 5 | mA |
| | JTAG 電源 | | | | | ICCJ | -- | -- | 1 | mA |
| | EECMOS プログラム電圧 | | | | | ICCPROG | -- | -- | 20 | mA |
| VMON 入力 | 入力電圧範囲 | VMON Range | 1.03 | -- | 5.72 | VMON Range | 0.075 | -- | 5.867 | V |
| | 検出精度 | VMON Acc. | -0.9 | -- | 0.9 | VMON Acc. | -- | 0.3 | 0.9 | % |
| | ヒステリシス | VHYST | -- | ±0.3 | -- | HYST | -- | 1.0 | -- | % |
| | 検出電圧温度依存係数 | Vmon Tempco | -- | 50 | -- | | | | | ppm/C |
| | 検出電圧VDD依存性 | PSR | -- | 0.06 | -- | | | | | %/V |
| | 入力インピーダンス | RIN | 70 | 100 | 130 | RIN | 55 | 65 | 75 | kΩ |
| | 入力容量 | | | | | CIN | -- | 8 | -- | pF |
| HVOUT ゲート ドライバ出力 | 出力電圧 | VPP Range | | | | VPP, 12V | 11.5 | 12 | 12.5 | V |
| | | | | | | 10V | 9.6 | 10 | 10.4 | V |
| | | | | | | 8V | 7.7 | 8 | 8.3 | V |
| | | | | | | 6V | 5.8 | 6 | 6.2 | V |
| | ドライブ電流 | ISOURCE Range | | | | IOUTSRC | -- | 12.5, 25, 50, 100 | -- | uA |
| | | | | | | IOUTSINK, fast-off | 2000 | 3000 | -- | uA |
| | | | | | IOUTSINK | -- | 100, 250, 500 | -- | uA | |
| デジタル入力ピン IN1-4 | 入力 Low レベル | VIL (LVCMOS33, LVTTTL) | -0.3 | -- | 0.8 | VIL | -- | -- | 0.3 x VCCINP | V |
| | 入力 High レベル | VIH (LVCMOS33, LVTTTL) | 2.0 | -- | 5.5 | VIH | 0.7 x VCCINP | -- | VCCINP | V |
| デジタル出力ピン OUT5-8 | 出力レベル | VOL | -- | -- | 0.4 | VOL (ISINK=20mA) | -- | -- | 0.8 | V |
| POR | POR アサート VDD 電圧 | VLPOR | -- | -- | 1.15 | VTL (RESETb) | -- | -- | 2.3 | V |
| | POR ネゲート VDD 電圧 | VHPOR | -- | -- | 2.1 | VTH (RESETb) | 2.7 | -- | -- | V |
| | POR/AGOOD 解除からの遅延 | tDPOR | | | | TGOOD | -- | -- | 500u | sec |
| | ON からリセットとなる電圧 | VRESET | | | | VT (RESETb) | 0.8 | -- | -- | V |
| | POR が有効になる瞬断時間長 | | | | | TBRO | 1.0 | -- | 5.0 | us |
| オシレータ (MCLK)、 タイマ | 周波数 | fCLK | 230k | -- | 330k | fCLK | 7.6M | 8.0M | 8.4M | Hz |
| | PLDCLK Range | PLDCLK Range | 1.95k | -- | 250k | fPLDCLK | -- | 250k | -- | Hz |
| | タイマ精度 | Timeout Range | 0.03 | -- | 524 | Timeout Range | 0.032 | -- | 1968 | ms |

6.3.2 POW1208 から POW1014 への置き換え

表 6-7 POWR1208 から POWR1014 への置き換え

| 項目 | パラメータ | 表記 | 1208 | | | 表記 | 1014/A | | | 単位 |
|----------------------|-----------------------------|---------------------------|-------|------|------------|--------------------|------------------|----------------------|-----------------|-------|
| | | | Min | Typ | Max | | Min | Typ | Max | |
| 絶対最大定格 | 電源電圧 | VDD | -0.5 | -- | 6.0 | VCCD, VCCA | -0.5 | -- | 4.5 | V |
| | VMON 入力 | VMON | -0.5 | -- | 7.0 | VMON | -0.5 | -- | 6.0 | V |
| | デジタル入力電源 | VDDINP | -0.5 | -- | 6.0 | VCCINP | -0.5 | -- | 6.0 | V |
| | デジタル入力 | VIN | -0.5 | -- | 6.0 | VIN | -0.5 | -- | 6.0 | V |
| | トリステスト/オープンドレイン 出力ピン印加電圧 | VTRI | -0.5 | -- | 6.0 | VTRI, OUT | -0.5 | -- | 6.0 | V |
| | | HVOUTmax | -0.5 | -- | VDD+9.0 | VTRI, HVOUT | -0.5 | -- | 13.3 | V |
| | JTAG 電源 | | | | | VCCJ | -0.5 | -- | 6.0 | V |
| EECMOS プログラム電圧 | | | | | VCCPROG | -0.5 | -- | 4.0 | V | |
| 推奨動作条件 | 動作電源電圧 | VDD | 2.25 | -- | 5.5 | VCCD, VCCA | 2.8 | -- | 3.96 | V |
| | VMON 入力 | VMON | 0 | -- | 6.0 | VMON | -0.3 | -- | 5.5 | V |
| | デジタル入力電源 | VDDINP | 2.25 | -- | 5.5 | VCCINP | 2.25 | -- | 5.5 | V |
| | デジタル入力 | VIN | 0 | -- | 5.5 | VIN | -0.3 | -- | 5.5 | V |
| | トリステスト/オープンドレイン 出力ピン印加電圧 | | | | | VTRI, OUT | -0.3 | -- | 5.5 | V |
| | | | | | | VTRI, HVOUT | -0.3 | -- | 13.0 | V |
| | JTAG 電源 | | | | | VCCJ | 2.25 | -- | 3.6 | V |
| EECMOS プログラム電源 | VDDPROG | 3.0 | -- | 5.5 | VCCPROG *1 | 3.0 | -- | 3.6 | V | |
| 電源電流 (推奨動作条件下) | 主電源 | IDD | -- | 7 | 15 | ICCINP | -- | -- | 20 | mA |
| | デジタル入力電源 | IDDINP | | | | ICCINP | -- | -- | 5 | mA |
| | JTAG 電源 | | | | | ICCJ | -- | -- | 1 | mA |
| | EECMOS プログラム電圧 | | | | | ICCPROG | -- | -- | 20 | mA |
| VMON 入力 | 入力電圧範囲 | VMON Range | 1.03 | -- | 5.72 | VMON Range | 0.075 | -- | 5.867 | V |
| | 検出精度 | VMON Acc. | -0.9 | -- | 0.9 | VMON Acc. | -- | 0.3 | 0.9 | % |
| | ヒステリシス | VHYST | -- | ±0.3 | -- | HYST | -- | 1.0 | -- | % |
| | 検出電圧温度依存係数 | Vmon Tempco | -- | 50 | -- | | | | | ppm/C |
| | 検出電圧VDD依存性 | PSR | -- | 0.06 | -- | | | | | %/V |
| | 入力インピーダンス | RIN | 70 | 100 | 130 | RIN | 55 | 65 | 75 | kΩ |
| HVOUT ゲート ドライバ出力 | 出力電圧 | VPP Range | 8.0 | -- | 12.0 | VPP, 12V | 11.5 | 12 | 12.5 | V |
| | | | | | | 10V | 9.6 | 10 | 10.4 | V |
| | | | | | | 8V | 7.7 | 8 | 8.3 | V |
| | | | | | | 6V | 5.8 | 6 | 6.2 | V |
| | ドライブ電流 | ISOURCE Range | 0.5 | -- | 50 | IOUTSRC | -- | 12.5, 25, 50, 100 | -- | uA |
| | | | | | | IOUTSINK, fast-off | 2000 | 3000 | -- | uA |
| | | | | | IOUTSINK | -- | 100, 250, 500 | -- | uA | |
| デジタル入力ピン IN1-4 | 入力 Low レベル | VIL (LVCMOS33, LVTTTL) | -0.3 | -- | 0.8 | VIL | -- | -- | 0.3 x VCCINP | V |
| | 入力 High レベル | VIH (LVCMOS33, LVTTTL) | 2.0 | -- | 5.5 | VIH | 0.7 x VCCINP | -- | VCCINP | V |
| デジタル出力ピン OUT5-8 | 出力レベル | VOL | -- | -- | 0.4 | VOL (ISINK=20mA) | -- | -- | 0.8 | V |
| POR | POR アサート VDD 電圧 | VLPOR | -- | -- | 1.15 | VTL (RESETb) | -- | -- | 2.3 | V |
| | POR ネゲート VDD 電圧 | VHPOR | -- | -- | 2.1 | VTH (RESETb) | 2.7 | -- | -- | V |
| | POR/AGOOD 解除からの遅延 | tDPOR | | | | TGOOD | -- | -- | 500u | sec |
| | ON からリセットとなる電圧 | VRESET | | | | VT (RESETb) | 0.8 | -- | -- | V |
| | POR が有効になる瞬断時間長 | | | | | TBRO | 1.0 | -- | 5.0 | us |
| オンレータ (MCLK)、 タイマ | 周波数 | fCLK | 230k | -- | 330k | fCLK | 7.6M | 8.0M | 8.4M | Hz |
| | PLDCLK Range | PLDCLK Range | 1.95k | -- | 250k | fPLDCLK | -- | 250k | -- | Hz |
| | タイマ精度 | Timeout Range | 0.03 | -- | 524 | Timeout Range | 0.032 | -- | 1968 | ms |

6.3.3 POW1208P1 から POW1014 への置き換え

表 6-8 POWR1208P1 から POWR1014 への置き換え

| 項目 | パラメータ | 表記 | 1208P1 | | | 表記 | 1014/A | | | 単位 |
|----------------------|------------------------------|---------------------------|------------------|------|------------------|--------------------|------------------|----------------------|-----------------|-------|
| | | | Min | Typ | Max | | Min | Typ | Max | |
| 絶対最大定格 | 電源電圧 | VDD | -0.5 | -- | 6.0 | VCCD, VCCA | -0.5 | -- | 4.5 | V |
| | VMON 入力 | VMON | -0.5 | -- | 7.0 | VMON | -0.5 | -- | 6.0 | V |
| | デジタル入力電源 | VDDINP | -0.5 | -- | 6.0 | VCCINP | -0.5 | -- | 6.0 | V |
| | デジタル入力 | VIN | -0.5 | -- | 6.0 | VIN | -0.5 | -- | 6.0 | V |
| | トライステート/オープンドレイン 出力ピン印加電圧 | VTRI | -0.5 | -- | 6.0 | VTRI, OUT | -0.5 | -- | 6.0 | V |
| | | HVOUTmax | -0.5 | -- | VDD+9.0 | VTRI, HVOUT | -0.5 | -- | 13.3 | V |
| | JTAG 電源 | | | | | VCCJ | -0.5 | -- | 6.0 | V |
| EECMOS プログラム電圧 | | | | | VCCPROG | -0.5 | -- | 4.0 | V | |
| 推奨動作条件 | 動作電源電圧 | VDD | 2.7 | -- | 5.5 | VCCD, VCCA | 2.8 | -- | 3.96 | V |
| | VMON 入力 | VMON | 0 | -- | 6.0 | VMON | -0.3 | -- | 5.5 | V |
| | デジタル入力電源 | VDDINP | 2.25 | -- | 5.5 | VCCINP | 2.25 | -- | 5.5 | V |
| | デジタル入力 | VIN | 0 | -- | 5.5 | VIN | -0.3 | -- | 5.5 | V |
| | トライステート/オープンドレイン 出力ピン印加電圧 | | | | | VTRI, OUT | -0.3 | -- | 5.5 | V |
| | | | | | | VTRI, HVOUT | -0.3 | -- | 13.0 | V |
| | JTAG 電源 | | | | | VCCJ | 2.25 | -- | 3.6 | V |
| EECMOS プログラム電源 | VDDPROG | 3.0 | -- | 5.5 | VCCPROG *1 | 3.0 | -- | 3.6 | V | |
| 電源電流 (推奨動作条件下) | 主電源 | IDD | -- | 10 | 20 | ICCINP | -- | -- | 20 | mA |
| | デジタル入力電源 | IDDINP | -- | 5 | 20 | ICCINP | -- | -- | 5 | mA |
| | JTAG 電源 | | -- | -- | -- | ICCJ | -- | -- | 1 | mA |
| | EECMOS プログラム電圧 | | -- | -- | -- | ICCPROG | -- | -- | 20 | mA |
| VMON 入力 | 入力電圧範囲 | VMON Range | 0.680 | -- | 5.932 | VMON Range | 0.075 | -- | 5.867 | V |
| | 検出精度 | VMON Acc. | -0.5/0.6 | -- | 0.5/0.6 | VMON Acc. | -- | 0.3 | 0.9 | % |
| | ヒステリシス | VHYST | -- | 0.5 | -- | HYST | -- | 1.0 | -- | % |
| | 検出電圧温度依存係数 | Vmon Tempco | -- | 30 | -- | | | | | ppm/C |
| | 検出電圧VDD依存性 | PSR | -- | 0.07 | -- | | | | | %/V |
| | 入力インピーダンス | RIN | 70 | 100 | 130 | RIN | 55 | 65 | 75 | kΩ |
| | 入力容量 | | | | | CIN | -- | 8 | -- | pF |
| HVOUT ゲート ドライバ出力 | 出力電圧 | VPP Range | 8 | -- | 12 | VPP, 12V | 11.5 | 12 | 12.5 | V |
| | | | | | | 10V | 9.6 | 10 | 10.4 | V |
| | | | | | | 8V | 7.7 | 8 | 8.3 | V |
| | | | | | | 6V | 5.8 | 6 | 6.2 | V |
| | ドライブ電流 | ISOURCE Range | 0.5 | -- | 50 | IOUTSRC | -- | 12.5, 25, 50, 100 | -- | uA |
| | | | | | | IOUTSINK, fast-off | 2000 | 3000 | -- | uA |
| | | | | | IOUTSINK | -- | 100, 250, 500 | -- | uA | |
| デジタル入力ピン IN1-4 | 入力 Low レベル | VIL (LVCMOS33, LVTTTL) | -0.3 | -- | 0.25 x VDDINP | VIL | -- | -- | 0.3 x VCCINP | V |
| | 入力 High レベル | VIH (LVCMOS33, LVTTTL) | 0.75 x VDDINP | -- | 5.5 | VIH | 0.7 x VCCINP | -- | VCCINP | V |
| デジタル出力ピン OUT5-8 | 出力レベル | VOL | -- | -- | 0.4 | VOL (ISINK=20mA) | -- | -- | 0.8 | V |
| POR | POR アサート VDD 電圧 | VLPOR | -- | -- | 1.15 | VTL (RESETb) | -- | -- | 2.3 | V |
| | POR ネゲート VDD 電圧 | VHPOR | -- | -- | 2.1 | VTH (RESETb) | 2.7 | -- | -- | V |
| | POR/AGOOD 解除からの遅延 | tDPOR | -- | 3.0m | -- | TGOOD | -- | -- | 500u | sec |
| | ON からリセットとなる電圧 | VRESET | 1.8 | -- | 2.1 | VT (RESETb) | 0.8 | -- | -- | V |
| | POR が有効になる瞬断時間長 | | | | | TBRO | 1.0 | -- | 5.0 | us |
| オンレータ (MCLK)、 タイマ | 周波数 | fCLK | 0.8M | -- | 1.2M | fCLK | 7.6M | 8.0M | 8.4M | Hz |
| | PLDCLK Range | PLDCLK Range | 1.95 | -- | 250 | fPLDCLK | -- | 250k | -- | Hz |
| | タイマ精度 | Timeout Range | 0.03 | -- | 524 | Timeout Range | 0.032 | -- | 1968 | ms |

更新履歴

表 7-1 更新履歴

| バージョン | リリース日 | 更新内容 |
|-----------|------------|---|
| Ver1.0 | 2006/11 | 初版リリース(PAC-Designer4.9 対応) |
| Ver1.1 | 2007/1 | 6章 Appendix ピンの外部処理方法を追加 |
| Ver1.2 | 2007/4 | PAC-Designer4.95 に対応 <ul style="list-style-type: none"> ・ DC/DC コンバータウイザードの説明にタイプ 3 と 4 を追加 ・ POWR1014/A から POWR1220AT8 へのデザイン以降方法を追加 監視ロジック出力回路の生成 エラー、ワーニングと対処方法を追加 |
| Ver1.3 | 2008/8 | PAC-Designer4.98 に対応 |
| Ver1.4 | 2008/9 | PAC-Designer4.99a に対応 |
| Ver.1.5 | 2009/2/2 | Page.45; “Begin Startup Sequence” で例外処理との関連での注意を追加 Page.46; Output 命令記述に TIMER_GATE に関する注意を追加 Page.72, 73; RESETb 処理に “オープン必須” の注意書きを追加 |
| Ver. 1.6 | 2009/8/10 | Page 76 ProcessorPM - POWR605 のピン外部処理方法 を追加 Page 5(1-10, 1-11) PAC-Designer5.0, 5.1 での変更点を追加 |
| Ver. 1.7 | 2009/10/28 | Page.70 図 5-6 とその説明をアップデート |
| Ver. 1.8 | 2010/6/15 | PAC-Designer5.3 の対応に合わせ全面改訂 |
| Ver. 1.81 | 2010/12/27 | 14-15 ページ、74-76 ページの誤植を修正。6.2 節 PM1 から PM2 への置き換えについて追加。 |
| Ver.1.90 | 2011/6/7 | 79 ページ、出力ピンにコンデンサを接続している場合の注意事項を追加 |
| Ver.1.91 | 2011/7/25 | 11 ページ、OV/UV 設定について補足追加 |