

第12章 マッピング (Map Design)

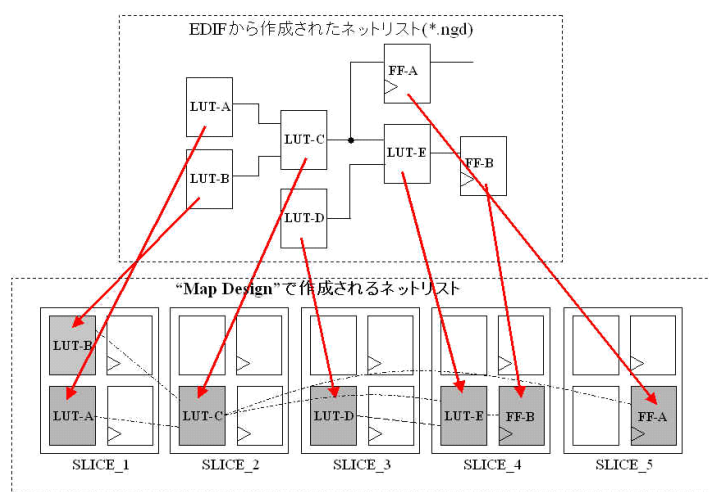
本章では Lattice Diamond のマッピング、すなわち Map Design プロセスでのストラテジ (Strategy) 設定方法や、設定の詳細について説明します。

12.1.1 マッピング・プロセスの概要

マッピング・プロセスでは、3つの処理が行われます。1つ目はリソースの最適化です。ターゲットとなるデバイスのアーキテクチャに従って LUT および FF のマージや論理の展開と再構築を行います。また、未使用 (出力が何処にも接続されていない) ロジックや I/O ポートの削除も行います。

2つ目は、同一 SLICE に入れる LUT と FF の組み合わせを決める (Packing) 処理です。この処理は最適化後に行われます。オプション設定により、動作周波数と SLICE 使用率のどちらを優先させるか選択することができます。

図 12-1. パッキング処理



3つ目は以降の処理 (タイミング検証や [Place and Route]) で使用する制約ファイル (*.prf) の生成です。ソースファイル内に記述されていた制約と [Spreadsheet View] 等で設定された制約をマージするとともに、*.lpf ファイル内に記述されている制約の対象をレジスタ名等から SLICE 名に変換した制約ファイル (*.prf) を生成します。

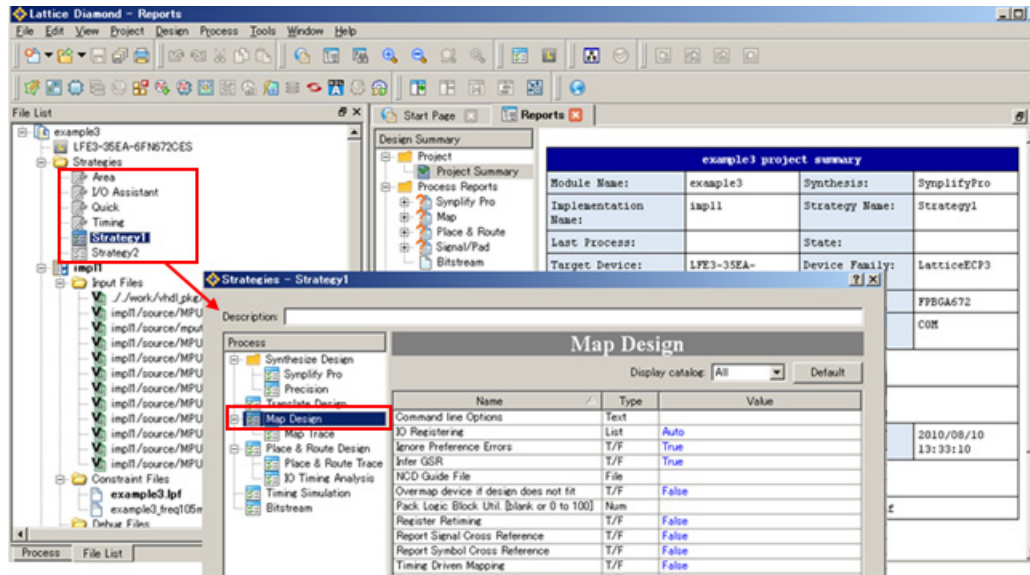
12.2 Map Design プロセスのストラテジ設定

12.2.1 ストラテジ設定ウインドウの起動

プロジェクト・ナビゲータ左上に配置されている File List ウインドウに、Project にインポートされているストラテジの一覧が表示されています (インプリメンテーションで使用されるのは、太字で表示されている1つだけです)。この中から変更したいストラテジ名をダブルクリックすると、ストラテジ設定ウインドウが開きます。

© 2014 Lattice Semiconductor Corp. (註: 本 Lattice Diamond 日本語マニュアルは、日本語による理解のため一助として提供しています。その作成にあたっては各トピックについて、それぞれ可能な限り正確を期しておりますが、必ずしも網羅的ではなく、或いは最新でない可能性があります。また、意図せずオリジナル英語版オンラインヘルプやリリースノートなどと不一致がある場合もあり得ます。疑義が生じた場合は、ラティスセミコンダクター正規代理店の技術サポート担当にお問い合わせ頂くか、または極力最新の英語オリジナル・ソースドキュメントを併せて参照するようにお願い致します。)

図 12-2. Map Design のストラテジ



ストラテジはプロセスごとに表示されます。Map Design のストラテジ設定を行う場合は、左側のリストから [Map Design] を選択します。

12.2.2 設定内容の詳細

以下に各設定の詳細を説明します。

Command Line Options

パラメータ：文字列 デフォルト値：ブランク

以下で紹介している GUI で設定可能なオプション以外を使用する場合に、直接引数等を記述します。

IO Registering

パラメータ：Auto / Both / Input / None / Output デフォルト：Auto

Map Design プロセスで IO レジスタの使用を制御するオプションです (XO は IO レジスタが無いのでこのオプションは無効です)。なお、制約ファイル内に IO レジスタ使用/未使用の設定が記述されている場合には、制約ファイルの設定が優先されます。

[Auto] (デフォルト) を選択した場合、論理合成結果の通りに IO レジスタが使用されます。

[Input] を選択した場合は、入力レジスタのみが使用され、出力レジスタは使用されません。論理合成の際に出力レジスタが使用されていても、Map Design では SLICE 内のレジスタが使用されます。

[Output] を選択した場合は、出力レジスタのみが使用され、入力レジスタは使用されません。論理合成の際に入力レジスタが使用されていても、Map Design では SLICE 内のレジスタが使用されます。

[Both] を選択した場合は、入力レジスタ/出力レジスタが使用されます。

[None] は、IO レジスタが全く使用されません。

Ignore Preference Errors

パラメータ：True / False デフォルト値：True

Preference File (制約ファイル *.lpf) の記述にエラーがあった場合の処理に関する設定です。

[True] を選択した場合、制約ファイル (*.lpf) の記述に構文エラーがあったり指定されたリソースが見つからなかったりしても、ログにメッセージを出力するだけでその制約記述を無視して処理を行います。

[False] を選択した場合、制約ファイルに問題があると [Map Design] プロセスがエラーとして処理を止めてしまいます。

なお、どちらの場合も制約ファイルの記述に関する Warning メッセージはログファイルにのみ出力され、[Map Design] のレポートファイル (*.mrp) には出力されません。

Infer GSR

パラメータ：True / False デフォルト：True

GSR (Global Set/Reset) 配線の使用に関する設定です。

[True] (デフォルト) を選択した場合、マッピング処理中に最もファンアウトの多い非同期リセット信号を GSR 配線にアサインします。ユーザが明示的に GSR 配線にアサインするリセット信号を指定する場合は、Map Design プロセス実行前に制約ファイル (*.lpf) に以下の記述を追加してください。

GSR_NET NET "非同期リセット信号名";

[False] を選択した場合、GSR 配線には信号がアサインされません。

NCD guide File

パラメータ：ファイル名 デフォルト値：ブランク

以前のパッキング結果を参照する場合に、その参照ファイルを指定する設定です。

このオプションでパッキング済みのネットリスト (*.ncd) ファイルを指定すると、パッキング対象のネットリストと参照ネットリストでリソース (LUT や FF) の比較を行い、一致するものについては参照ネットリストと同じようにパッキングを行います。これによりソースの変更箇所が少ない場合はパッキング処理の時間を短縮することができます。

一致/不一致のリソース数等の参照結果は、Guide Mapping レポートファイル (*.map.gpr) に出力されます。何も参照せずにパッキングを行わせる場合は、ブランクのままにしてください。

Overmap device if design does not fit

パラメータ：True / False デフォルト値：False

Map Design プロセスで、リソース不足のためにエラーになった場合のネットリスト (.ncd) 出力に関する設定です。

[False] (デフォルト) を選択した場合、リソース不足のためエラーになった場合はネットリストが出力されません。

[True] を選択した場合、リソース不足でエラーになった場合でもネットリストを出力します。ただし、このネットリストを使用した配置配線処理は行えません。

Pack Logic Block Util...

パラメータ：数値 0 ~ 100 デフォルト値：XO および XO2 のみ 0、それ以外はブランク

SLICE 使用率の目標値設定で、設定値の単位は % です。デフォルト設定では必要な SLICE 数が選択しているデバイスの SLICE 数を越えてしまった場合でも、このオプションで小さな値に設定すると収まることもあります。しかし、あまりに詰め込みすぎると配置配線の際に局所的な配線の混雑により十分な動作速度を得られない場合もあります。

使用率に大きな関連はありませんが、Diamond 2.1 からは LatticeECP3 に対するリソース・パッキングのアルゴリズムに改善が施されました ("ネットリスト・リパッキング")。

本機能により、勿論デザインに依存しますが、該当する場合は最大 5% 程度の fMAX 改善が見込まれます。また、ソースレベルのマーナーな変更に対しても、PAR 結果が大きく左右されることがなくなります。さらに、フロアプランニング的な観点では、UGROUP 指定などの必要性が大きく低減する効果が確認されています。ユーザがマニュアルで試行錯誤的にこうした指定をする労力から解放されると見込まれています。

コマンドオプションで本アルゴリズムは強制オフにすることも可能で、以下のようになります。

-exp parUseNBP=0

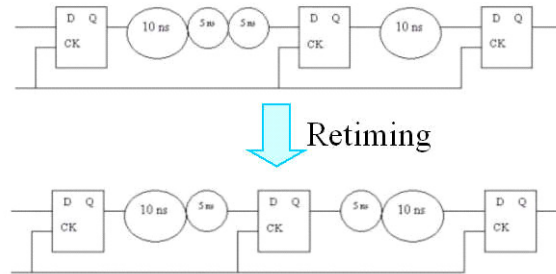
Register Retiming

パラメータ : True / False デフォルト値 : False

タイミングの最適化を行う [Retiming] 処理の実行に関する設定です。

[Retiming] は、ロジック段数の多いパスから前後のロジック段数の少ないパスに LUT を移動させ、クロック周波数を上げる処理です (図 12-3)。

図 12-3. Map Design プロセスでの retiming 処理



[False] (デフォルト) を選択した場合、Retiming 処理は行われません。

[True] を選択した場合、Retiming 処理が行われます。

(注) 本オプションを True にして図 12-1 のような処理が適用される RTL 記述がある場合は、ツールバージョンごとにネットリストレベルで等価ではない可能性が出てくるため、留意が必要です。True にしなくても良い、バランスのとれた記述にすることで、ツールバージョンに依存する可能性がある要因を極力排除することを推奨します。これはコンフィグレーション・マネージメント的にも重要です。

Report Signal Cross Reference

パラメータ : True / False デフォルト値 : False

パッキング後の各 SLICE を接続する信号の接続情報レポートに関する設定です。

[False] (デフォルト) を選択した場合、この信号の接続情報はレポートされません。

[True] を選択した場合、レポートファイルに信号の接続情報 (信号名とそのドライバおよびレシーバ名) がレポートされます (図 12-4)。

図 12-4. Signal Cross Reference レポートの一例

```
Signal Cross Reference
-----
Signal SPMRDACK_c - Driver Comp: SPMRDACK_MGIOL:00
  Load Comps: SPMRDACK:I1
Signal SPMRSTN_c - Driver Comp: SPMRSTN:00
  Load Comps: GSR_INST:GSR, BUF0AA/FIFOAA/DPRAMAA/MPUTOSPI4DPRAM_0_0_0:RST
Signal MPUAA_ADDAA_pr_rdt_sr_spmdo_3_15 - Driver Comp: MPUAA/SLICE_512:01
  Load Comps: SPMD0_15_MGIOL:I14
Signal MPUAA_ADDAA_N_183_i - Driver Comp: MPUAA/REGAA/SLICE_534:01
  Load Comps: SPMRDACK_MGIOL:I14, SPMD0_15_MGIOL:I9, SPMD0_14_MGIOL:I9,
  SPMD0_13_MGIOL:I9, SPMD0_12_MGIOL:I9, SPMD0_11_MGIOL:I9,
  SPMD0_10_MGIOL:I9, SPMD0_9_MGIOL:I9, SPMD0_8_MGIOL:I9, SPMD0_7_MGIOL:I9,
  SPMD0_6_MGIOL:I9, SPMD0_5_MGIOL:I9, SPMD0_4_MGIOL:I9, SPMD0_3_MGIOL:I9,
  SPMD0_2_MGIOL:I9, SPMD0_1_MGIOL:I9, SPMD0_0_MGIOL:I9
```

Report Symbol Cross Reference

パラメータ : True / False デフォルト値 : False

ロジックリソースのパッキング結果レポートに関する設定です。

[False] (デフォルト) を選択した場合、パッキング結果の詳細はレポートされません。

[True] を選択した場合、レポートファイルにパッキング結果 (SLICE 名とそれにパッキングされたレジスタ等の組み合わせ) の詳細がレポートされます (図 12-5)。

図 12-5. Symbol Cross Reference レポートの一例

```

Symbol Cross Reference
-----
BUFAA/FIFOAA/SLICE_0 (PFU) covers blocks: BUFAA/FIFOAA/sr_dt_cnt_7,
BUFAA/FIFOAA/sr_dt_cnt_8, BUFAA/FIFOAA/sr_dt_cnt_cry_0_7
BUFAA/FIFOAA/SLICE_1 (PFU) covers blocks: BUFAA/FIFOAA/sr_dt_cnt_5,
BUFAA/FIFOAA/sr_dt_cnt_6, BUFAA/FIFOAA/sr_dt_cnt_cry_0_5
BUFAA/FIFOAA/SLICE_2 (PFU) covers blocks: BUFAA/FIFOAA/sr_dt_cnt_3,
BUFAA/FIFOAA/sr_dt_cnt_4, BUFAA/FIFOAA/sr_dt_cnt_cry_0_3
BUFAA/FIFOAA/SLICE_3 (PFU) covers blocks: BUFAA/FIFOAA/sr_dt_cnt_1,
BUFAA/FIFOAA/sr_dt_cnt_2, BUFAA/FIFOAA/sr_dt_cnt_cry_0_1
BUFAA/FIFOAA/SLICE_4 (PFU) covers blocks: BUFAA/FIFOAA/sr_dt_cnt_0,
BUFAA/FIFOAA/sr dt cnt cry 0 0

```

Timing Driven Mapping

パラメータ : True / False デフォルト値 : False

タイミングの最適化オプション設定です。

[False] (デフォルト) を選択した場合、論理合成結果をそのままパッキングします。

[True] を選択した場合、ロジックレベル (LUT の段数) を減らすため、論理の展開および再構成を行います。

多くのデザインで、使用する SLICE / LUT 数は [False] を選択した場合の方が少なくなります。

Timing Driven Node Replication

パラメータ : True / False デフォルト : False

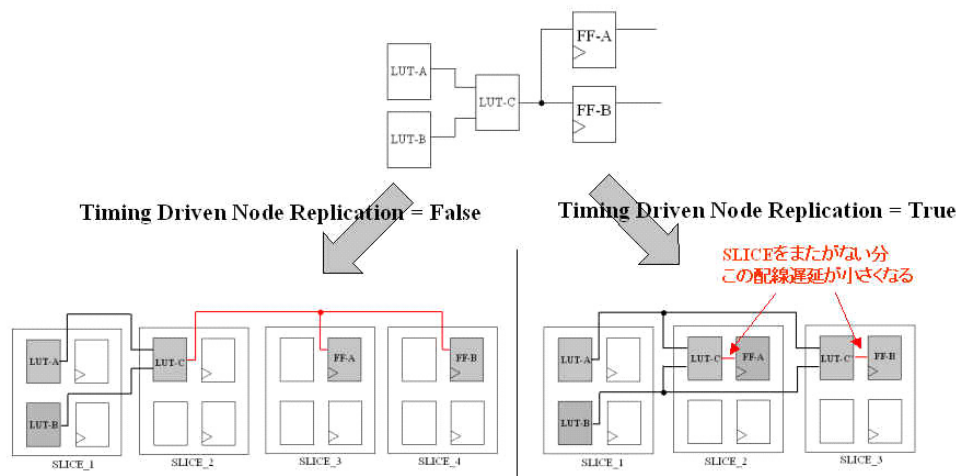
Map Design プロセスでパフォーマンスを高めるためのオプションです。

[Timing Driven Node Replication] は、出力が複数のレジスタに接続されている LUT を複製して、複製した LUT とレジスタが同じ SLICE 内に配置できるようにします (図 12-6)。LUT とレジスタが同一 SLICE 内で直接接続されれば、SLICE 間の配線遅延分は削減できます。

[False] (デフォルト) を選択した場合、この処理は実行されません。

[True] を選択した場合、この処理が実行されます。

図 12-6. Timing Driven Node Replication 設定による結果の差分



Timing Driven Packing

パラメータ : True / False デフォルト : False

Map Design プロセスでタイミングを最適化するオプションです。

Lattice Diamond 日本語ユーザガイド

[False] (デフォルト) を選択した場合、使用率を優先させてパッキング処理 (各 SLICE に入れる LUT / FF を決定) を行います。

[True] を選択した場合、パフォーマンスが高くなるようなパッキング (Timing Driven Packing) 処理を行います。

Auto Timing

パラメータ : True / False デフォルト : False

制約ファイル (lpf) 内にタイミング制約が全く設定されていない場合の処理に関する設定です。

*** このオプションは [Map Design] ではなく [Map Trace] のオプションとして表示されていますが、実際に設定が参照されるのは [Map Design] プロセスなので、ここで紹介します**

True の場合は、lpf ファイル内に全く設定されていないと、自動的に制約が設定されてそれが prf (タイミング検証で使用する制約ファイル) に記述されます。

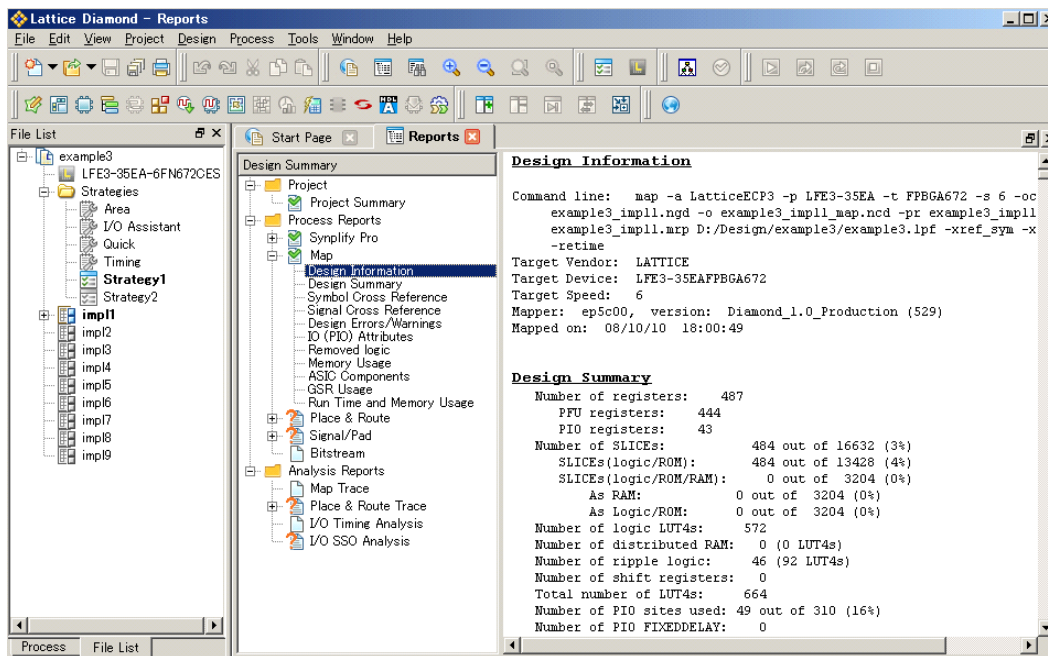
False の場合は、prf にはタイミング制約が記述されません。ただし、この場合でも解析は行われ、パス遅延の大きなパスから順にレポートされます。

12.3 Map Design プロセスのレポート

12.3.1 出力されるレポートファイル名

Map Design プロセス実行時には、インプリメンテーション・フォルダに html とテキスト形式のレポートが出力されます。内容はどちらも同じです。ファイル名はそれぞれ以下ようになります。

図 12-7. Map Design プロセスのレポート表示



- ・ html 形式 : プロジェクト名_インプリメンテーション名_mrp.html
- ・ テキスト形式 : プロジェクト名_インプリメンテーション名 .mrp

tml 形式のレポートは、Lattice Diamond の Report ウィンドウで見ることができます。

12.3.2 レポート内容の概要

Map Design プロセスの結果は、大きく以下の様な内容ごとに分類されてレポートされます。

Design Information

主なレポート内容

- ・ Map Design プロセス実行時のコマンド
- ・ 対象となったデバイス

Design Summary

主なレポート内容

- ・ SLICE 数、ピン数といったリソースの使用数/使用率
- ・ クロック名、ローカルリセット信号名やその負荷（ドライブしている SLICE 数）等
- ・ クロック/リセット以外でファンアウトの多い信号名

Symbol Cross Reference

主なレポート内容

- ・ SLICE 名と、それにパッキングされた FF や LUT 名の対応

備考

ストラテジで [Symbol Cross Reference] オプションが [True] に設定されている場合のみレポートされます。

Signal Cross Reference

主なレポート内容

- ・ SLICE 等の各リソース間を接続する信号名と、その接続先（ドライバと負荷）

備考

ストラテジで [Signal Cross Reference] オプションが [True] に設定されている場合のみレポートされます

Design Errors/Warnings

主なレポート内容

- ・ 各種 Error および Warning

備考

Constraint（Preference File）記述エラーに関する情報はレポートされません

PIO Report

主なレポート内容

- ・ ピン毎のバッファタイプ
- ・ ピン毎の PIO レジスタの使用状況
- ・ ピン毎の FIXEDDELAY（入力固定遅延）使用状況

Removed Logic

主なレポート内容

- ・ マージされたり負荷がなかったりといった理由でネットリストから削除されたリソース

Memory Usage

主なレポート内容

- ・デザイン内で使用されている RAM のコンフィグレーション (タイプ、バス幅、リソース [EBR or SLICE 等])

ASIC Components

主なレポート内容

- ・RAM や PLL といった組み込みマクロのインスタンス名

GSR Usage

主なレポート内容

- ・GSR (Global Set/Reset) にアサインされた信号名

Run Time and Memory Usage

主なレポート内容

- ・Map Design プロセス実行に要した CPU 時間とメモリ

12.3.3 Map Design プロセスの Error / Warning メッセージ

本項では、よく出る Warning / Error メッセージの意味と対処方法について説明します。

※ メッセージはデバイスファミリーによって若干変わります。

メッセージ

ERROR – map: Design doesn't fit into device specified, refer to the Map report for more details.

意味: デザインが必要とするリソース数がデバイスのリソース数を超えた場合、つまり使用率が 100% を超えた場合はこのメッセージが出力されます。

対策: レポートファイルの [Design summary] を見て使用率が 100% を超えているリソースを確認し対策を行ってください。

PIO / レジスタ / EBR / PLL / DLL が 100% を超えている場合はデザインの修正かデバイスの変更を行ってください。

LUT が 100% を超えている場合は、オプションを変更して論理合成をやり直すかデザインを修正してください。

LUT / レジスタが 100% を超えていないのに SLICE 数だけが 100% を超えている場合は、まず Map Design のオプション [Pack Logic Block Util...] を '0' に設定して再度 Map Design を実行してください。それでも使用率が 100% を超える場合は、オプションを変更して論理合成をやり直すかデザインを修正してください。

メッセージ

WARNING – map: IO buffer missing for top level port "ポート名"...logic will be discarded.

意味: HDL ソース内にポートが宣言されていても未使用の場合や接続先が削除されてしまった場合に出力されるメッセージです。

対策例: レポートされたポートは Map Design で削除されています。削除されるべきではない場合、論理合成のレポートを見て、なぜ接続先が削除されたかの確認し必要なら修正を行ってください。

メッセージ

**ERROR – map: Illegal assignment of single-ended IO_TYPE 'IO タイプ 1' to differential 'I/O タイプ 2' buffer
インスタンス名'**

意味: HDL ソース内に LVDS 等のバッファをインスタンスしているのに、Design Planner 等で異なる I/O タイプを設定した場合に出力されるエラーメッセージです。

対策: I/O タイプを変更したい場合は HDL ソース内のバッファのインスタンスを削除してください。

メッセージ

WARNING – map: 制約ファイル名 (エラー行) : Syntax error on, “制約記述”, in this preference, “制約記述 ;”

意味：制約ファイル内に構文エラーがあった場合に出力されるメッセージです。

対策：lpf ファイルの指定された行に記述されている制約を修正してください。

メッセージ

ERROR – map: The number of register slices required (数値) exceeds the number of register slices available (数値). This device has 2268 register slices, but some of the slices could be used for other logic such as distributed ram, ripple and wide luts.

意味：[レジスタを使用する SLICE 数] が [レジスタを持つ SLICE 数] を超えてしまった場合に出力されるメッセージです。

LatticeECP3、LatticeECP2/M および LatticeXP2 ファミリは全 SLICE 数の 3/4 の SLICE しかレジスタを持ちません。このため、必要な SLICE 数が全 SLICE 数より少なくても、レジスタを持つ SLICE 数が足りないという場合もあります。そのような場合にこのメッセージが出力されます。

対策：デバイスを変更するか、デザインを修正してレジスタ数を減らしてください。

メッセージ

ERROR – map: The MCCLK_FREQ value of [周波数設定] Mhz and OSC_DIV value of [分周比設定] results in SED operation frequency of [出力周波数]. The minimum frequency requirement for SED operation is [下限周波数] MHz.

意味：SED (Soft Error Detection) マクロを使用した際に SED マクロが使用するクロック周波数が適当でない場合に出力されるメッセージです。SED マクロで使用するクロック周波数は以下の計算式で求められます。

SED マクロのクロック周波数 = [MCCLK_FREQ] / SED マクロ内の分周回路の分周比回路設定

※[MCCLK_FREQ] は、コンフィグレーションの際に使用するクロック周波数の設定です

この値が許容される周波数の下限を下回っていると、上記のメッセージが出力されます。

対策：データシートまたはテクニカルノートで SED の下限周波数を確認し、分周比または [MCCLK_FREQ] 設定を変更してください。

メッセージ

WARNING: Using local reset signal 'リセット信号名' to infer global GSR net.

意味：メッセージ内のリセット信号が GSR にアサインされたことを表します。

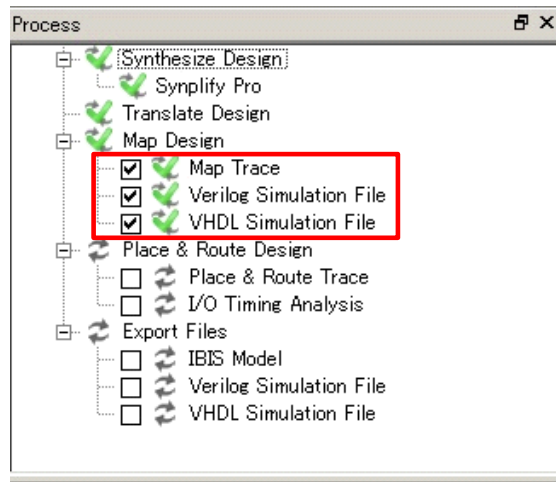
対策：GSR へのアサインに問題がなければ無視します。GSR を使用したくない、或いは GSR にアサインする信号を変更したい場合は、**12.2.2 項**の [Infer GSR] オプションの説明を参照してください。

12.4 Map Design 実行後のタイミング解析とネットリスト生成

Process ウィンドウでは Map Design のツリーに [Map Trace] (仮配線遅延にタイミング解析) と [Verilog/VHDL Simulation File] (シミュレーション用ネットリスト生成) プロセスが表示されています (図 12-8)。

これらのプロセス名の左側にチェックボックスがあり、チェックが入っていると Map Design 実行後に、これらのプロセスも続けて実行されます。

図 12-8. Map trace およびネットリスト生成



チェックが入っていない場合は、必要に応じて Map Design プロセス完了後にプロセス名をダブルクリックすれば実行させることができます。

12.5 改訂履歴

Ver.	Date	page	内容
3.3	Mar.2015	1	旧図 12-1 削除、項番修正

--- *** ---