JESD204B 接続事例: AD9083 と Intel Agilex® 7 FPGA

Co.Tomorrowing

©Macnica,Inc.



- 本資料では、F-tile JESD204B インテル[®] FPGA IP(以後 F-tile JESD204B IP)を使用し、Intel Agilex[®] 7 FPGA と、アナログ・デバイセズ社の高速 A/D コンバーター AD9083 との接続確認をおこなった事例を紹介します
- FPGA デザインは、 F-tile JESD204B IP の Example Design にインテルの組 み込み用途向け Nios® V プロセッサー (以後 Nios® V) を追加しました
- AD9083の設定については、上記 Nios[®] V を使用し、以下のデザインを参考 に Intel Agilex[®] 7 FPGA 向けに変更しました

<u>Analogdevicesinc/no-OS/projects/ad9083/</u>

● 使用した開発ソフトウェア:

。インテル[®] Quartus[®] Prime 開発ソフトウェア・プロ・エディション Version 23.2.0

Agenda

1. 使用機材
 2. FPGA デザインについて
 3. 動作確認
 4. まとめ



©Macnica,Inc.

1. 使用機材



使用機材

- 動作確認には以下の機材を使用しました
 - Intel Agilex® 7 FPGA I-Series Transceiver-SoC Development Kit (4x F-Tile)
 - 搭載 FPGA: AGIB027R31B2E2VAA*1
 - <u>AD9083EBZ</u>
 - A/D コンバーター: AD9083 *2





- *1 Intel Agilex[®] 7 FPGA I-Series の詳細は以下をご参照ください Intel Agilex[®] 7 FPGA and SoC FPGA I-Series
- *2 AD9083 は、アナログ・デバイセズ社の 16 チャンネル、125MHz 帯域幅 A/D コンバーターです。 詳細は以下をご参照ください

<u>AD9083</u>

ブロック構成

- F-tile JESD204B IP コアのトランシーバー・リファレンス・クロックは 開発キット上のクロックを使用、 core PLL のリファレンス・クロック および SYSREF は AD9083EBZ 上の AD9528 から供給
- AD9083 および AD9528 の設定は Nios® V および JTAG to Avalon Master から SPI 経由で実施



接続写真

測定時の機材の接続は以下となります
 FMC+のコネクターに高さ調整用の基板が必要です





他のコネクターとの干渉を防ぐため、 FMC+ エクステンダー・カードを挿入 する必要があります

開発キットのクロック設定、DIP SW 設定

- 開発キットのクロックは以下のように設定しました
 - 。 OUT0:mgmt._clk (システムクロック) に使用するため、100 MHz 設定
 - 。 OUT9:トランシーバー・リファレンス・クロックに接続されているクロックを 150 MHz に設定
 - ・ 上記 OUT0、OUT9 を基板上クロックを使用する設定にするため、DIP SW の S22[1] および [3] は ON にする 必要があります



2. FPGA デザインについて



F-tile JESD204B IP 設定

F-tile JESD204B IP の設定は以下のとおりです



MACNICA

Main	JESD204B Configurations Cor	nfiguration	s and Statu	s Registe			
× Co	ommon Configurations						
La	nes per converter device (L):	2			_	2	
Co	nverters per device (M):	1	6	M	=	16	
	Enable manual F configuration			F	_	12	
Oc	tets per frame (F):	1	2	N	_	12	
Co	nverter resolution (N):	1	2	. NI7		エム 1つ	
Tra	ansmitted bits per sample (N'):	1	2		=	⊥∠ 1	
Sa	mples per converter per frame (S):	1		S	_	T T	
Fra	ames per multiframe (K):	3	2	K	=	32	
• Adva	nced Configurations						
🖌 Ei	nable scramble (SCR)						
Control bits (CS):				•			
Control words (CF):							
High-density user data format (HD)							
☑ Enable Error Code Correction (ECC_EN)							
Recei	iver						
E	nable fabric to tile RX data pipestag	e (RX_EF	IFO_PIPE_EN	1)			
Subc	lass 2 Parameters						
🗌 PI	hase adjustment request (PHADJ)						
Adjustment resolution step count (ADJCNT):				-			
Direct	ion of adjustment (ADJDIR):	۲	Advance				
		0	Delay				



トランスポート・レイヤーの作成

今回の M=16、N'=12 の動作は以下のとおりです
 入力:64 bit (32 bit × 2)、出力:192 bit (12 bit × 16)

- 。 クロック・レートは入力の 1/3 で出力
- この構成は Example Design 内のモジュールでは未対応のため、 新規作成しました





Nios[®] V の追加 (nios_v_system)

AD9083、AD9528 設定用に Nios[®] V、SPI などを実装しました
 Nios[®] V は AD9083、AD9528 の設定後に停止します





- Nios® V の詳細は以下のコンテンツをご参照ください
 - Nios[®] V プロセッサー

3. 動作確認



動作確認手順

● 以下の手順で動作確認をおこないました

① インテル[®] Quartus[®] Prime の Programmer で .sof を書き込む

② Nios[®] V よりAD9083 および AD9528 の各種設定を実施

。 実行後、FPGA デザインの core PLL が lock していることを確認

③ インテル[®] Quartus[®] Prime の System Console を起動

④ System Console を使用し、SPI 経由で AD9083 のテストモード・レジスターを設定

⑤ インテル[®] Quartus[®] Prime の Signal Tap Logic Analyzer で波形を確認

● 次頁より、上記 ② - ⑤ について説明します

② Nios[®] V よりAD9083 および AD9528 の各種設定を実施

• AD9083 の主なレジスター設定は以下のとおりです

address	レジスター	Bit		設定値	内容
0x289	JTX_L0_SCR_L	7	JTX_SCR_CFG	0x1	SCR enable
		[6:5]	(RESERVED)		
		[4:0]	JTX_L_CFG	0×01	L = 2
0x28A	JTX_L0_F	[7:0]	JTX_F_CFG	0x0B	F = 12
0x28B	JTX_L0_K	[7:0]	JTX_K_CFG	0x1F	K = 32
0x28C	JTX_L0_M	[7:0]	JTX_M_CFG	0×0F	M = 16
0x28D	JTX_L0_CS_N	[7:6]	JTX_CS_CFG	0×0	CS = 0
		5	(RESERVED)		
		[4:0]	JTX_N_CFG	0xB	N = 12
0x28E	JTX_L0_SUBCLASSV_NP	[7:5]	JTX_SUBCLASSV_CF G	0x1	Subclass = 1
		[4:0]	JTX_NP_CFG	0xB	N prime = 12
0x28F	JTX_L0_JESDV_S	[7:5]	JTX_JESDV_CFG	0×1	JESD204B
		[4:0]	JTX_S_CFG	0×0	S = 1

③ System Console 起動

- System Console 起動は以下のメニューです
 - ∘ Tools → System Debugging Tools → System Console



System Console <u>File T</u>ools <u>V</u>iew <u>H</u>elp Toolkit Explorer 🙁 System Explorer 😂 - 🗗 🗖 🛛 Welcome 🛛 Welcome to System Console Load Design... Load a programmed design to view available toolkits in the new Toolkit Explorer. Details Collections No instances selected No collections created Open Toolkit *Toolkits from previous versions of System Console are available under Legacy Toolkits in the Too Messages - 🗗 🗖 🛛 Tel Console 🛛 - Chi * To start stop or step a Nios II processor Reading index D:\intelfpga_pro\22.1\ip\altera\toolkits.ipx * To read or write Avalon Memory-Mapped (Avalon-MM) slaves using special 0 D:lintelfpga_pro\22.1\ip\altera\toolkits.ipx described 31 plugins, 0 paths, in 0.72 seconds masters D: intelfpga_pro/22.1 ip/** toolkits.ipx matched 1 files in 0.73 seconds * To sample the Platform Designer system clock and system reset signal Finished initialization * To run JTAG loopback tests to analyze board noise problems Could not register IService packet * To shift arbitrary instruction register and data register values to A service named 'packet' is already registered instantiated system level debug (SLD) nodes Finished discovering JTAG connections Finished discovering USB connections In addition, the directory <Intel Quartus Prime Directory>/../syscon/scripts contains Tcl files that provide miscellaneous utilities and examples of how to Executing startup script D: lintelfpga pro\22.1\guartus\.\syscon\scripts\system console rc.tcl access the functionality provided. You can include those macros in your The script doesn't exist: C:\SPB_Data\system_console\system_console_rc.tcl. You can customize System Console by creatin. scripts by issuing Tcl source commands Design system top.sof is compiled from Quartus Prime Version 22.1.0 Build 174 03/30/2022 SC Pro Edition

System Console の詳細は、以下のコンテンツをご参照ください
 <u>FPGA システム・デバッグ・ツール "System Console" を使ってみよう</u>

System Console 起動画面

④ AD9083 をテストモードに設定

• AD9083 のレジスターを以下に設定しました

• 0x271 JTX_TEST_GEN_MODE[3:0] = 8

0x271	JTX_CORE_TEST_ CONFIG	7	JTX_TEST_USER_GO	Activate USER_SINGLE test mode.	0x0	R/W
		6	JTX_TEST_MIRROR Reverse bit order of test data.		0x0	R/W
		[5:4]	JTX_TEST_GEN_SEL	Test insertion point.		R/W
		[3:0]	JTX_TEST_GEN_MODE	Test mode selection.		R/W
			0: Disabled for TEST_GEN_SEL = 0, lane loopback for TEST_GEN_SEL = 1. 1: CHECKER_BOARD 2: WORD_TOGGLE 3: PN31 5: PN15 7: PN7 8: RAMP 14: USER_REPEAT			



⑤ Signal Tap Logic Analyzer の波形確認結果 (ramp pattern)

● ramp パターンをエラー無く受信することを確認しました



- Signal Tap Logic Analyzer の詳細は、以下のコンテンツをご参照ください
 - FPGA オンチップ・デバッグ "Signal Tap" をやってみよう







- F-tile JESD204B IP を使用して、Intel Agilex® 7 FPGA と AD9083 との接続 確認をおこないました
- FPGA デザインは、F-tile JESD204B IP の Example Design に Nios® V プロ セッサーを追加し、これを用いて AD9083 および AD9528 の設定をおこない ました
- JESD204B configuration 値を L = 2、M = 16、F = 12、S = 1、N = N' = 12 として、受信データが期待値となっていることを確認しました



Co.Tomorrowing

・本資料に記載されている会社名、商品またはサービス名等は各社の商標または登録商標です。なお、本資料中では、「™」、「®」は明記しておりません。
 ・本資料のすべての著作権は、第三者または株式会社マクニカに属しており、(著作権法で許諾される範囲を超えて)無断で本資料の全部または一部を複製・転載等することを禁じます。
 ・本資料は作成日現在における情報を元に作成されておりますが、その正確性、完全性を保証するものではありません。

©Macnica,Inc.