

Lattice iCE40ユーザーズガイド



- 本資料は、Lattice社iCE40使用時の注意事項、注意事項をまとめたものです。実際の動作等詳細、最終の確認は、別途データシート、テクニカルノートを参照頂けるようお願い申し上げます。
- Lattice社データシートと本資料との間に差異があった場合には、Lattice社データシートを正としてお取り扱い下さい。



	Page
1. 電源ピンの処理	
1-1. 電源ピン説明	5
1-2. 電源ピン注意事項	6
1-3. 電源シーケンス	7
2. I/Oピンの処理	
2-1. I/Oバンクの構成	12
2-2. サポートする入出力I/Fについて	13
2-3. ドライブ能力について	14
2-4. 未使用ピンの処理について	15
2-5. 内部プルアップ抵抗値について	16
2-6. クロック入力専用ピンについて	18
2-7. PLL入力専用ピンについて	20
2-8. 差動信号のピン処理	21
2-9. 差動信号のピンアサイン	23
3. 各種アーキテクチャ	
3-1. レジスタ初期値	25
3-2. PLB構造	26
3-3. EBR構造	27
3-4. I/Oペア構造	28
3-5. I/Oレジスタの使用方法	29
3-6. DDRレジスタの使用方法	32
3-7. LVDSの使用方法	34
4. コンフィグレーション関連	
4-1. コンフィグ関連ピン説明	36
4-2. コンフィグレーションフローチャート	38
4-3. Cold BootとWarm Bootについて	39
4-4. コンフィグレーションデータ容量	41
4-5. コンフィグレーション時間について	42
4-6. CDONEピン外部プルアップ抵抗値について	44
4-6. SPI Flash書き込み & Master SPI Configuration	45
4-7. NVCM書き込み & Slave SPI Configuration	46
4-8. 統合接続回路	47
Revision History	48

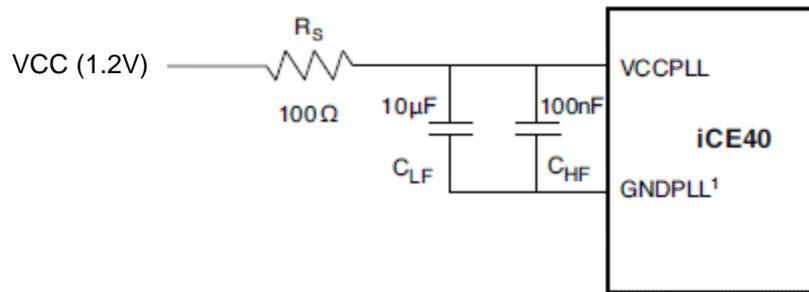
電源ピンの処理

ピン名	電圧 (Min)	電圧 (TYP)	電圧 (Max)	備考
VCC	1.14V	1.20V	1.26V	コア電源電圧
VPP_2V5	1.71V	-	3.46V	Slave SPI Configuration時の入力電圧
	2.30V	-	3.46V	Master SPI Configuration時の入力電圧
	2.30V	-	3.46V	NVCMからコンフィグレーションを行う場合の入力電圧
	2.30V	-	3.00V	NVCM書き込み時の入力電圧
VCCIO	1.71V	-	3.46V	I/O用電源電圧
VCC_SPI	1,71V	-	3.46V	SPI Flash I/F用電源
VCCPLL	1.14V	1.20V	1.26V	PLL用電源電圧
VPP_FAST	CM36, CM49パッケージのみVCCIO_0に接続。それ以外のパッケージではオープン。			

- 同じ電圧の電源は共通電源を使用して下さい。（例：VCC_SPIとVCCIOに3.3Vを供給する場合同じ電源に繋ぐ。）
- VCCPLLが存在しないパッケージでPLL搭載デバイスは、デバイス内部でVCCとVCCPLLが接続されています。

■ VCCPLLに関して

VCC (1.2V) に以下の参考回路のようにフィルターを構成してノイズ対策を実施して供給して下さい。また、GNDPLLはキャパシタを介して対になるVCCPLLとのみ接続し、ボード上のGNDには接続しないで下さい。



1. GNDPLL should not be connected to the board's ground

■ VPP_FASTに関して

CM36, CM49パッケージのみVCCIO_0に接続して下さい。
それ以外のパッケージではオープンで構いません。

■ VCCIOに関して

未使用バンクについても1.71V~3.46Vを入力するようにして下さい。
また、各スタンダードに応じて以下のように個別に入力電圧範囲が決まっていますので、この電源電圧範囲を守って下さい。

Standard	V _{CCIO} (V)		
	Min.	Typ.	Max.
LVC MOS 3.3	3.14	3.3	3.46
LVC MOS 2.5	2.37	2.5	2.62
LVC MOS 1.8	1.71	1.8	1.89
LVDS25E ¹	2.37	2.5	2.62
subLVDSE ¹	1.71	1.8	1.89

1. Inputs on-chip. Outputs are implemented with the addition of external resistors.

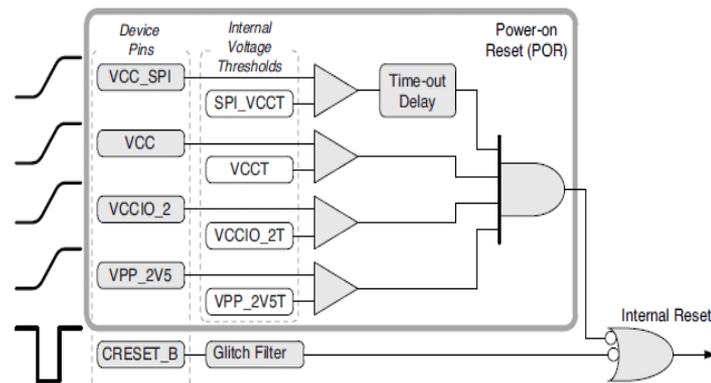
デバイスを起動させるという観点においてはiCE40は各電源のランプレートとして0.40V~10V/ms（次ページ記載）を守れば電源シーケンス制御は必要ありません（推奨条件はございます）。

電源シーケンス順に関わらず、各電源がPower On Reset解除条件の電圧に達すればデバイス動作が開始されます。

iCE40はPower On ResetまたはCRESET_B = Lowトグルで内部FFの初期値が0にリセットされます。

Symbol	Device	Parameter		Min.	Max.	Units
V _{PORUP}	iCE40LP384	Power-On-Reset ramp-up trip point (band gap based circuit monitoring VCC, VCCIO_2, VCC_SPI and VPP_2V5)	VCC	0.67	0.99	V
			VCCIO_2	0.70	1.59	V
			VCC_SPI	0.70	1.59	V
			VPP_2V5	0.70	1.59	V
	iCE40LP/HX1K, iCE40LP/HX4K, iCE40LP/HX8K	Power-On-Reset ramp-up trip point (band gap based circuit monitoring VCC, VCCIO_2, VCC_SPI and VPP_2V5)	VCC	0.55	0.75	V
			VCCIO_2	0.86	1.29	V
			VCC_SPI	0.86	1.29	V
			VPP_2V5	0.86	1.33	V
V _{PORDN}	iCE40LP384	Power-On-Reset ramp-down trip point (band gap based circuit monitoring VCC, VCCIO_2, VCC_SPI and VPP_2V5)	VCC	-	0.64	V
			VCCIO_2	-	1.59	V
			VCC_SPI	-	1.59	V
			VPP_2V5	-	1.59	V
	iCE40LP/HX1K, iCE40LP/HX4K, iCE40LP/HX8K	Power-On-Reset ramp-down trip point (band gap based circuit monitoring VCC, VCCIO_2, VCC_SPI and VPP_2V5)	VCC	-	0.75	V
			VCCIO_2	-	1.29	V
			VCC_SPI	-	1.29	V
			VPP_2V5	-	1.33	V

1. These POR trip points are only provided for guidance. Device operation is only characterized for power supply voltages specified under recommended operating conditions.



なお、上記条件はあくまでPower On Resetが解除される電圧です。推奨動作電圧に関しましては別途 Recommended Operating Conditionをご参照下さい。

電源のランプレートは立ち上げ条件に応じて以下の条件を満たす必要があります。

- 全てのコンフィグレーションモードにおいて、シーケンスフリーで電源を立ち上げる場合
⇒ 0.40 ~ 10 V/ms
- Slave SPIコンフィグレーションモードにおいて、シーケンスフリーで電源を立ち上げる場合
⇒ 0.01 ~ 10V/ms
- NVCMコンフィグレーションで、VCC_SPIよりも0.25ms先にVCCとVPP_2V5を立ち上げる場合
⇒ 0.01 ~ 10V/ms
- MSPIコンフィグレーションモード（SPI Flashからのコンフィグレーション）で、VPP_2V5よりも0.25ms先にVCCとVCC_SPIを立ち上げる場合
⇒ 0.01 ~ 10V/ms

Symbol	Parameter		Min.	Max.	Units
t _{RAMP}	Power supply ramp rates for all power supplies.	All configuration modes. No power supply sequencing.	0.40	10	V/ms
		Configuring from Slave SPI. No power supply sequencing,	0.01	10	V/ms
		Configuring from NVCM. V _{CC} and V _{PP_2V5} to be powered 0.25ms before V _{CC_SPI} .	0.01	10	V/ms
		Configuring from MSPI. V _{CC} and V _{PP_SPI} to be powered 0.25ms before V _{PP_2V5} .	0.01	10	V/ms

1. Assumes monotonic ramp rates.

2. iCE40LP384 requires V_{CC} to be greater than 0.7V when V_{CCIO} and V_{CC_SPI} are above GND.

0.40 ~ 10 V/msを満たせば、全てのコンフィグレーションモードでシーケンス順に関係なくコンフィグレーションが行われ、デバイスが起動します。

デバイスの起動という観点ではシーケンスフリーですが、テクニカルノート TN1248 “iCE40 Programming and Configuration” に以下の推奨が記載されております。

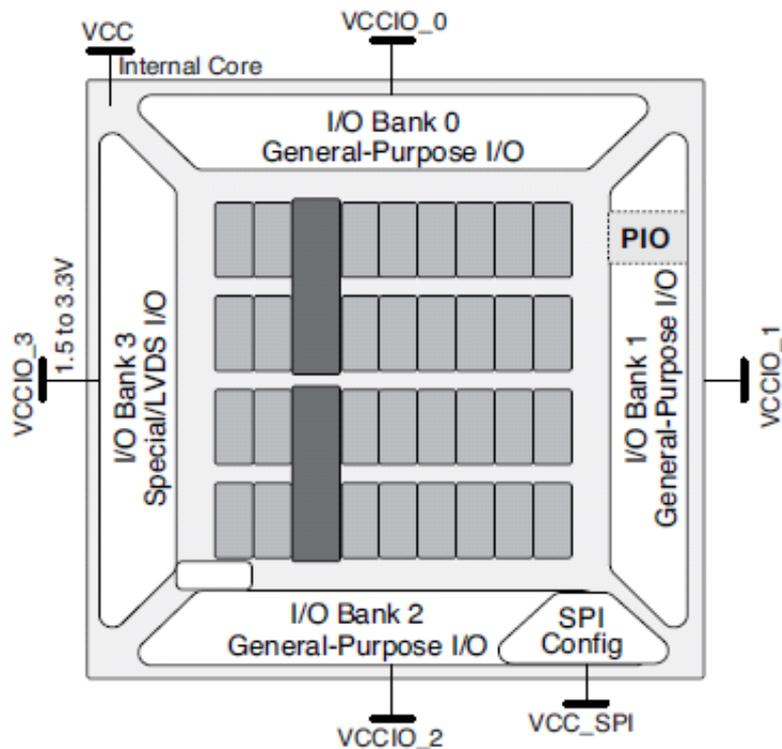
- It is recommend that Bank1 should be powered before the last supply gating POR.
（POR解除条件に含まれる電源（VCC、VCCIO_2、VCC_SPI、VPP_2V5）が全て立ち上がる前に、VCCIO_1（Bank1電源）が立ち上がっていること）
- All banks must be powered prior to configuration.
（コンフィギュレーションの開始前にI/O電源（バンク電源）が立ち上がっていること）

従って、前述のランプレート規定を満たしつつ、上記の推奨を守るよう電源を立ち上げることを推奨します。

《推奨シーケンス例》

VCCIO_0~3 ⇒ VCC / VCC_SPI / VPP_2V5 全電源ランプレート : 0.40 ~ 10 V/ms

I/Oピンの処理



- iCE40はBank 0～3の4Bankを持っており、各Bank毎に電源（VCCIO）が用意されています。
※CM36(LP1K), CM49はBank0/1, Bank2/3のVccioが共通の2バンク構成になっています。
CM36(LP384)はBank2/3のVccioが共通の3バンク構成です。
- 各バンクで使用するI/Oスタンダードに応じてバンク電源（VCCIO）に適切な電圧を入力して下さい（1-2項参照）。
- LVDS入力、Sub-LVDS入力に関してはBank3のみ対応可能です。
- LVDS出力、Sub-LVDS出力に関しては外付け抵抗ネットワークを使用して全てのバンクで使用可能です。
- 各I/Oで内部プルアップが使用可能です。ツール設定でプルアップの有効、無効が設定できます。
- iCE40の全てのI/Oは活栓挿抜に対応していません。
電源OFF時に外部から信号を入力することはできませんので、ご注意ください。
- iCE40のI/Oはコンフィグレーション中はHi-zで内部プルアップが有効となっています。

Input Standard	V _{CCIO} (Typical)		
	3.3V	2.5V	1.8V
Single-Ended Interfaces			
LVC MOS33	✓		
LVC MOS25		✓	
LVC MOS18			✓
Differential Interfaces			
LVDS25 ¹		✓	
subLVDS ¹			✓

1. Bank 3 only.

Output Standard	V _{CCIO} (Typical)
Single-Ended Interfaces	
LVC MOS33	3.3
LVC MOS25	2.5
LVC MOS18	1.8
Differential Interfaces	
LVDS25E ¹	2.5
subLVDSE ¹	1.8

1. These interfaces can be emulated with external resistors in all devices.

【全バンクで対応可能なI/F】

- LVC MOS33 入力/出力
- LVC MOS25 入力/出力
- LVC MOS18 入力/出力
- LVDS出力（要外部抵抗ネットワーク）
- Sub-LVDS出力（要外部抵抗ネットワーク）

※LVC MOS25バッファをコンプリメンタリで使用します。
 ※LVC MOS18バッファをコンプリメンタリで使用します。

【Bank3のみ対応可能なI/F】

- LVDS入力（要外部終端抵抗）
- Sub-LVDS入力（要外部終端抵抗）

iCE40はMulti Voltage Inputに対応しておりません。
 各入力スタンダードに応じたV_{CCIO}を供給する必要があります。

例えば、3.3V LVC MOSインターフェースを取る際は
 該当バンクのV_{CCIO}に3.3Vを供給する必要があり、
 またそのバンクに属するI/Oに3.3V以外（2.5V、1.8V等）
 の信号を入力することはできません。

Input/ Output Standard	V_{IL}		V_{IH}^1		V_{OL} Max. (V)	V_{OH} Min. (V)	I_{OL} Max. (mA)	I_{OH} Max. (mA)
	Min. (V)	Max. (V)	Min. (V)	Max. (V)				
LVCMOS 3.3	-0.3	0.8	2.0	$V_{CCIO} + 0.2V$	0.4	$V_{CCIO} - 0.5$	8	-8
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 2.5	-0.3	0.7	1.7	$V_{CCIO} + 0.2V$	0.4	$V_{CCIO} - 0.5$	6	-6
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 1.8	-0.3	$0.35V_{CCIO}$	$0.65V_{CCIO}$	$V_{CCIO} + 0.2V$	0.4	$V_{CCIO} - 0.4$	4	-4
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1

1. Some products are clamped to a diode when V_{IN} is larger than V_{CCIO} .

iCE40のドライブ電流は

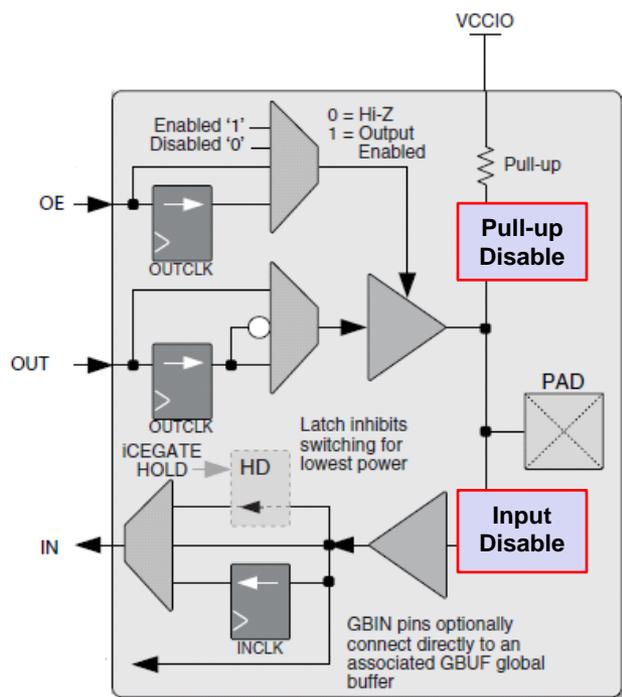
LVCMOS 3.3 8mA (Max)

LVCMOS 2.5 6mA (Max)

LVCMOS 1.8 4mA (Max)

となっており、全て固定値でツールでの変更はできません。

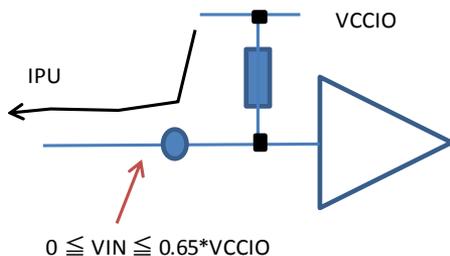
- ・ iCE40の未使用ピンは全てオープンで構いません。
- ・ 未使用ピンは内部プルアップが無効になっておりますが、入力バッファまでの配線がディセーブルになっており、入力バッファは中間電位から保護されています。



2-5 内部プルアップ抵抗値について

- ・ iCE40の内部プルアップ抵抗値はプルアップ抵抗に流れるリーク電流と、Vccioの推奨電圧範囲から求められます。

Symbol	Parameter	Condition	Min.	Typ.	Max.	Units
I _{PU} ^{6,7}	Internal PIO Pull-up Current	V _{CCIO} = 1.8 V, 0=<V _{IN} <=0.65 V _{CCIO}	-3	—	-31	μA
		V _{CCIO} = 2.5 V, 0=<V _{IN} <=0.65 V _{CCIO}	-8	—	-72	μA
		V _{CCIO} = 3.3 V, 0=<V _{IN} <=0.65 V _{CCIO}	-11	—	-128	μA



Standard	V _{CCIO} (V)		
	Min.	Typ.	Max.
LVC MOS 3.3	3.14	3.3	3.46
LVC MOS 2.5	2.37	2.5	2.62
LVC MOS 1.8	1.71	1.8	1.89

I_{pu}が最大になるのはVIN = 0Vとして、オームの法則より以下のプルアップ抵抗値が求まります。

	VCCIO[V]	IPU[μA]	R _{pu_eff} [kΩ]
LVC MOS33	3.46	128	27.031
LVC MOS33	3.14	128	24.531
LVC MOS25	2.62	72	36.389
LVC MOS25	2.37	72	32.917
LVC MOS18	1.89	31	60.968
LVC MOS18	1.71	31	55.161

I_{pu}が最小になるのはVIN = 0.65*V_{ccio}として、オームの法則より以下のプルアップ抵抗値が求まります。

	VCCIO[V]	V _{delta} [V]	IPU[μA]	R _{pu_eff} [kΩ]
LVC MOS33	3.46	1.211	11	110.091
LVC MOS33	3.14	1.099	11	99.909
LVC MOS25	2.62	0.917	8	114.625
LVC MOS25	2.37	0.8295	8	103.688
LVC MOS18	1.89	0.6615	3	220.500
LVC MOS18	1.71	0.5985	3	199.500

※V_{delta} = 0.35*VCCIO

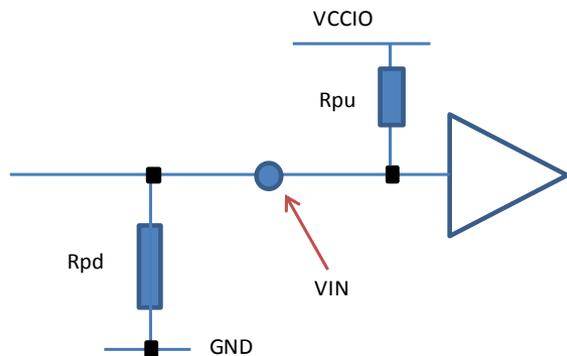
以上から、内部プルアップ抵抗値は次のように算出されます。

24.531KΩ ~ 110.091KΩ @ LVC MOS33

32.917KΩ ~ 114.625KΩ @ LVC MOS25

55.161KΩ ~ 220.500KΩ @ LVC MOS18

- ・ コンフィグレーション中など、内部プルアップON、出力Hi-zの時は内部プルアップによるHighが現れますが、これを外部プルダウンでLowに固定するには、内部プルアップ抵抗値が最小時に外部プルダウンでピンの電位をVIL(Max)以下となるようにプルダウン抵抗値を決定します。



抵抗分圧式 $V_{IN} = V_{CCIO} * R_{pd} / (R_{pu} + R_{pd})$ より、
内部プルアップON時にLowレベル確定するには、
 $V_{CCIO} * R_{pd} / (R_{pu_min} + R_{pd}) < V_{ILmax}$
 $R_{pd} < R_{pu_min} * V_{ILmax} / (V_{CCIO} - V_{ILmax})$
を満たす必要があります、以下のように算出されます。

	VCCIO	VILmax	Rpu_min	Rpd [kΩ]
LVC MOS33	3.14	0.8	24.531	8.387
LVC MOS25	2.37	0.7	32.917	13.798
LVC MOS18	1.71	0.5985	55.161	29.702

以上から、以下の抵抗値より小さいプルダウン抵抗で、プルアップONでもピンがLowに固定されます。

8.387KΩ @ LVC MOS33

13.798KΩ @ LVC MOS25

29.702KΩ @ LVC MOS18

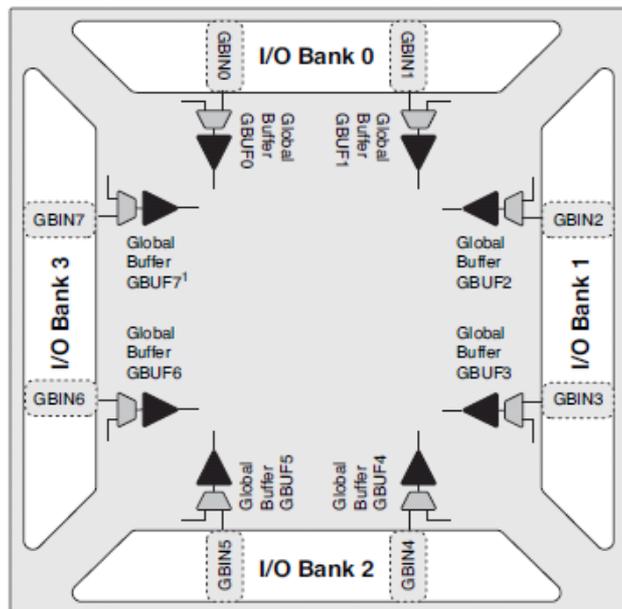
※全てのケースにおいて、2.2K程度のプルダウン抵抗を用意すれば問題ありません。

※前ページより、内部プルアップ抵抗値(Min)は以下の通り
24.531KΩ @ LVC MOS33
32.917KΩ @ LVC MOS25
55.161KΩ @ LVC MOS18

※VIL (Max) は以下の通り

Input/ Output Standard	V _{IL}	
	Min. (V)	Max. (V)
LVC MOS 3.3	-0.3	0.8
LVC MOS 2.5	-0.3	0.7
LVC MOS 1.8	-0.3	0.35V _{CCIO}

2-6 クロック入力専用ピンについて



1. GBUF7 and its associated PIO are best for direct differential clock inputs.

- iCE40には8本のクロック入力専用ピン（GBIN0～7）が用意されています。
- これらの専用入力ピンから入力されたクロックは、自動でGBUFを経由して配線スキューの少ないグローバルクロックラインに最短で配線されます。
- これら専用入力ピンは、同時にグローバルリセットライン、グローバルクロックイネーブルラインへの専用入力ピンも兼ねています。
- 各GBIN入力は最短で左図の通りのGBUFに繋がっており、それぞれ下表の通り接続可能なグローバルラインが異なります。
※グローバルクロックラインには どのGBIIN (GBUF) からでも接続されます。
- GBINから入力された信号以外でもRTLでGBUFプリミティブ記述を使用してグローバルラインに接続することは可能ですが、一般配線からGBUFまでの遅延は生じます。

Global Buffer	LUT Inputs	Clock	Clock Enable	Reset
GBUF0	Yes, any 4 of 8 GBUF Inputs	✓	✓	
GBUF1		✓		✓
GBUF2		✓	✓	
GBUF3		✓		✓
GBUF4		✓	✓	
GBUF5		✓		✓
GBUF6		✓	✓	
GBUF7		✓		✓

差動クロック入力専用ピンとしてはGBIN7のみ使用可能です。

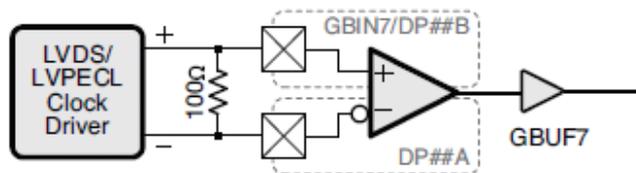
GBIN6は差動入力可能ですが、差動入力バッファの出力が後段のGBUF6に接続されていません。

(シングルエンド入力の場合はGBIN6入力がGBUF6に接続可能です。)

そのため、デバイスあたり差動クロック入力専用ピンは1系統のみとなります。

iCE40 FPGAs have eight global buffers for distributing clocks or other high fanout signals. Global buffer GBUF7, shown in Figure 5, is specifically designed to accept a differential clock input on the associated GBIN7/DPxxB, DPxxA differential input pair, which is part of I/O Bank 3. Connect an external 100 Ω termination resistor across the input pair. When VCCIO_3 is 2.5V, this global buffer input accepts either LVDS or LVPECL clock inputs.

Figure 5. LVDS or LVPECL Clock Input



iCE40のうち、PLLを内蔵しているパッケージに関しては、GBIN0とGBIN5がPLL入力専用ピンとして使用可能です。PLL生成時にDedicated Clock Padからクロックを入力するタイプに設定することで、これらのピンからのクロック入力が最短でPLLに接続されるようになります。

PLL Type

Select the number of global networks to be driven by the PLL outputs: 1

How will the PLL Source Clock be driven ?

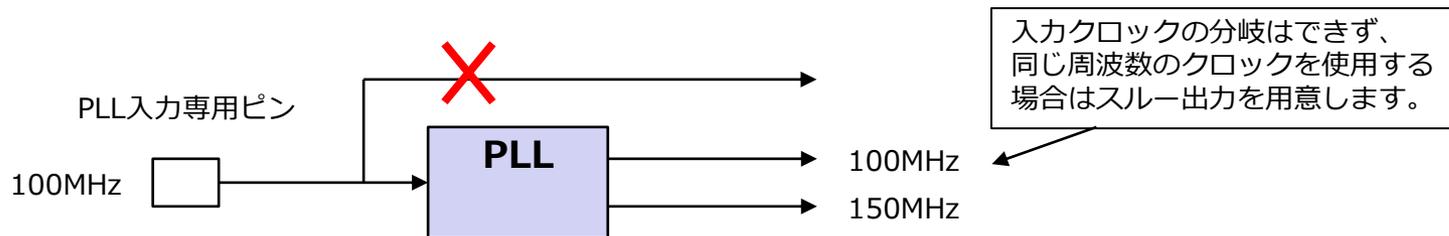
- General Purpose IO Pad or Core Logic
- Dedicated Clock Pad (Single Ended)**
- The PLL source clock will be used on-chip without frequency/phase.
- Dedicated Clock Pads (TMDS)

Dedicated Clock Padからクロックを入力するタイプに設定してPLLを生成。

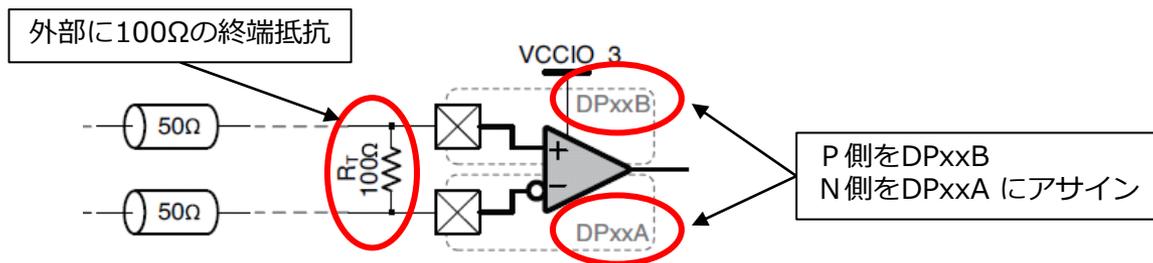
Locked	Object List	Type	Pin Location	Bank
<input type="checkbox"/>	RESET	Input		
<input type="checkbox"/>	PLLOUTGLOBAL	Output		
<input type="checkbox"/>	PLLOUTCORE	Output	L4	Left
<input type="checkbox"/>	PACKAGEPIN	Input	D8 D8 N7	Top

クロック入力ピンがPLL入力専用ピン (GBIN0 or GBIN5) に絞られます。

Dedicated Clock Padからクロックを入力するタイプのPLLの場合、アーキテクチャ上、入力クロックを分岐して他のロジックで使用することができません。そのため別ロジックでPLL入力クロックと同じ周波数のクロックを使用する場合、PLL出力ポートのうち1つを入力クロックスルー出力に設定する必要がありますので、生成したいPLLのタイプによって専用ピンを使用するかどうか予め検討する必要があります。



- iCE40はバンク3でLVDS及びSub-LVDSの入力に対応しています。
- 差動入力を使用する場合、外部に100Ωの終端抵抗を用意して下さい。
- 作動ペアのPositive側をピン配置表のDPxxB、Negative側をDPxxAにアサインして下さい。
- 差動入力がオープン、Hi-zになるようなケースが想定される場合は、外部にフェイルセーフ抵抗を用意して下さい。



LVDS25

Over Recommended Operating Conditions

Parameter Symbol	Parameter Description	Test Conditions	Min.	Typ.	Max.	Units
V_{INP}, V_{INM}	Input Voltage	$V_{CCIO}^1 = 2.5$	0	—	2.5	V
V_{THD}	Differential Input Threshold		250	350	450	mV
V_{CM}	Input Common Mode Voltage	$V_{CCIO}^1 = 2.5$	$(V_{CCIO}/2) - 0.3$	$V_{CCIO}/2$	$(V_{CCIO}/2) + 0.3$	V
I_{IN}	Input Current	Power on	—	—	± 10	μA

1. Typical.

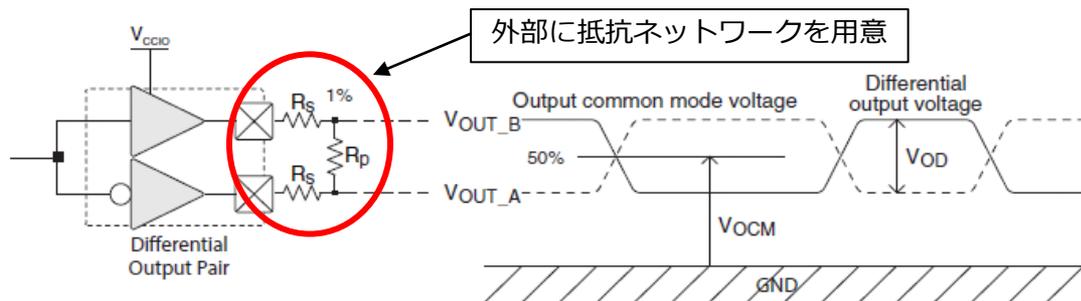
subLVDS

Over Recommended Operating Conditions

Parameter Symbol	Parameter Description	Test Conditions	Min.	Typ.	Max.	Units
V_{INP}, V_{INM}	Input Voltage	$V_{CCIO}^1 = 1.8$	0	—	1.8	V
V_{THD}	Differential Input Threshold		100	150	200	mV
V_{CM}	Input Common Mode Voltage	$V_{CCIO}^1 = 1.8$	$(V_{CCIO}/2) - 0.25$	$V_{CCIO}/2$	$(V_{CCIO}/2) + 0.25$	V
I_{IN}	Input Current	Power on	—	—	± 10	μA

1. Typical.

- ・ iCE40は全バンクでLVDSとSub-LVDSのエミュレート出力に対応しています。
- ・ 差動出力を使用する場合、下表の R_S , R_P 値を参考に、出力I/Fに応じて外部に抵抗ネットワークを用意して下さい。
- ・ 作動ペアのNegative側は、デザイン上で論理反転してピンアサインして下さい。
- ・ ピンアサインの際には、同じI/Oペアのピンにアサインするよう注意が必要です（次ページ参照）。

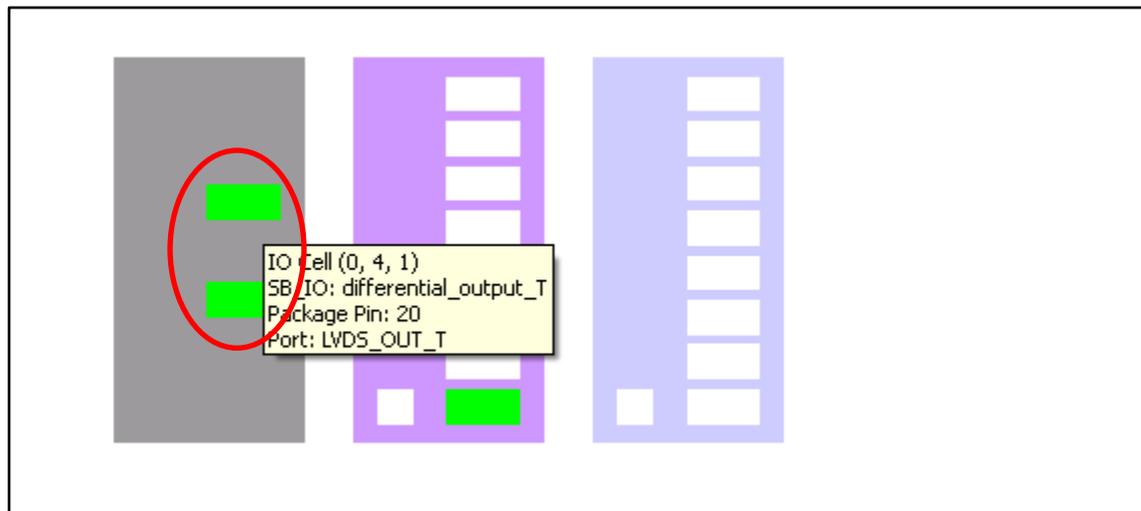


LVDS25E

Parameter	Description	Typ.	Units
Z_{OUT}	Output impedance	20	Ohms
R_S	Driver series resistor	150	Ohms
R_P	Driver parallel resistor	140	Ohms
R_T	Receiver termination	100	Ohms
V_{OH}	Output high voltage	1.43	V
V_{OL}	Output low voltage	1.07	V
V_{OD}	Output differential voltage	0.30	V
V_{CM}	Output common mode voltage	1.25	V
Z_{BACK}	Back impedance	100.5	Ohms
I_{DC}	DC output current	6.03	mA

subLVDSSE

Parameter	Description	Typ.	Units
Z_{OUT}	Output impedance	20	Ohms
R_S	Driver series resistor	270	Ohms
R_P	Driver parallel resistor	120	Ohms
R_T	Receiver termination	100	Ohms
V_{OH}	Output high voltage	1.43	V
V_{OL}	Output low voltage	1.07	V
V_{OD}	Output differential voltage	0.35	V
V_{CM}	Output common mode voltage	0.9	V
Z_{BACK}	Back impedance	100.5	Ohms
I_{DC}	DC output current	6.03	mA

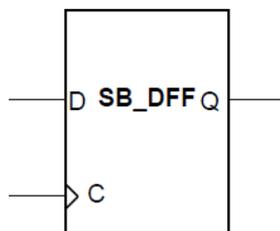


上図はiCEcube2のFloor Plannerで確認できるI/O部の抜粋になります。

赤丸で囲った部分で1つのI/Oペアを構成しています。差動ペア出力は必ずこのI/Oペア内のバッファ2個にアサインする必要があります。カーソルをI/Oセルに合わせると、Pin番号（左図の例では Pin:20）が表示されますので、同I/Oペア内のピン番号を同じように確認して差動ペアのピンアサインをPin Constraint Editor等で行います。

各種アーキテクチャ

iCE40のレジスタ出力は電源起動後のPower On Reset、及びCRESET_B = LowによるSRAM領域のデータ消去後は0にリセットされます。下図はリセット無しD-FlipFlopの真理値表ですが、他のタイプのレジスタも全て初期値は0にリセットされます。



	Inputs		Output
	D	C	Q
	0	↗	0
	1	↗	1
Power on State	X	X	0

Key

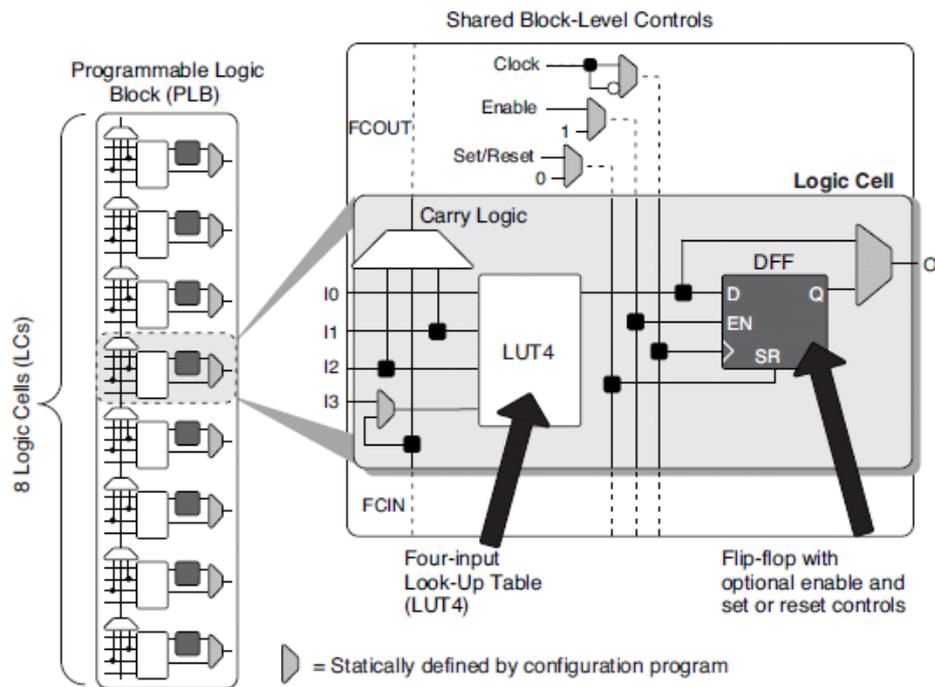
- ↗ Rising Edge
- 1 High logic level
- 0 Low logic level
- X Don't care
- ? Unknown

iCE40は、LUT、DFF、Carry LogicがセットになったLogic Cellという構造を持っており、Logic Cell 8個でPLB (Programmable Logic Block)を構成しています。

下図のように、1つのPLBでClock、Enable、Set/Reset信号を共用しています。

そのため、Clock、Enable、Set/Resetの系統数が多い設計の場合、使用しないLogic Cellを残したまま他のPLBを使用するケースが増えるため、フィッティング効率が悪くなることがあります。

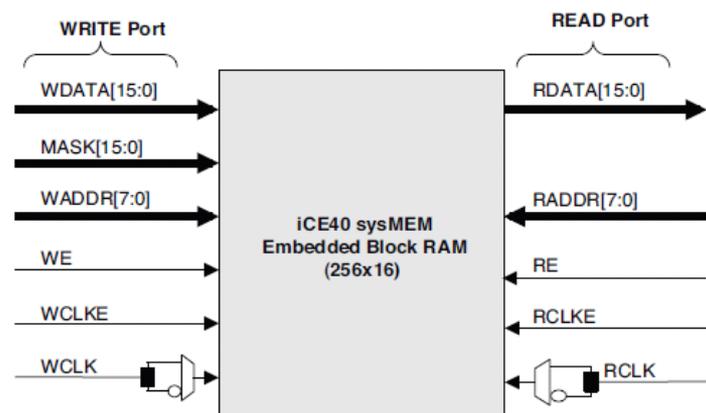
なるべくClock、Enable、Set/Resetの系統数を少なくする設計により、効率的なフィッティングが可能になります。

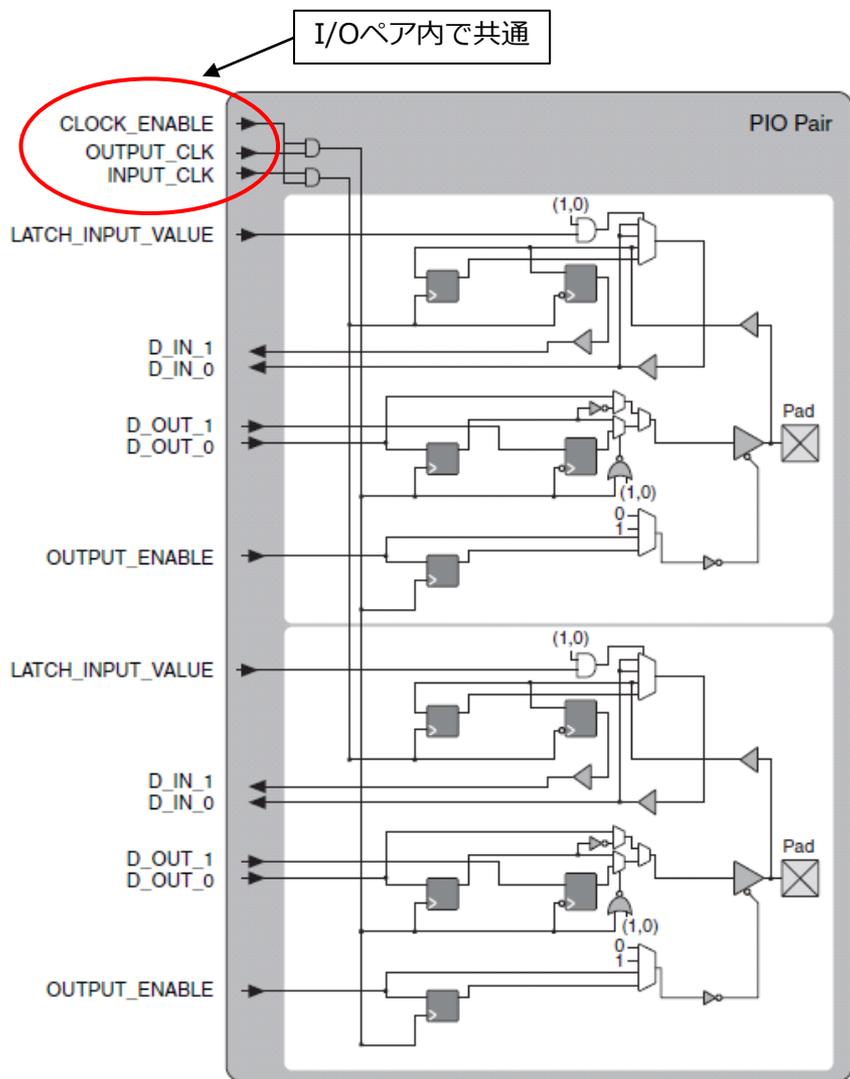


Part Number	LP384	LP1K	LP4K	LP8K	HX1K	HX4K	HX8K
Logic Cells (LUT + Flip-Flop)	384	1,280	3,520	7,680	1,280	3,520	7,680
RAM4K Memory Blocks	0	16	20	32	16	20	32
RAM4K RAM bits	0	64K	80K	128K	64K	80K	128K
Phase-Locked Loops (PLLs)	0	1 ¹	2 ²	2	1 ¹	2	2
Maximum Programmable I/O Pins	63	95	167	178	95	95	206
Maximum Differential Input Pairs	8	12	20	23	11	12	26

iCE40はメモリ専用ブロックEmbedded Block Memory (EBR)を保有しています。
 1ブロック4Kbitで8Kデバイスで最大32Block(128Kbit)のメモリを構成できます。
 EBRを使用するには、プリミティブ記述で専用メモリモジュールをインプリメントするか、
 RTL記述のメモリをツールが自動的に認識してEBRに展開されます。
 プリミティブ記述で生成できるメモリ (RAM) は以下の一覧の通りです。詳細はLattice社
 テクニカルノート“TN1250”を参照して下さい。

Block RAM Configuration	Block RAM Configuration and Size	WADDR Port Size (Bits)	WDATA Port Size (Bits)	RADDR Port Size (Bits)	RDATA Port Size (Bits)	MASK Port Size (Bits)
SB_RAM256x16 SB_RAM256x16NR SB_RAM256x16NW SB_RAM256x16NRNW	256x16 (4K)	8 [7:0]	16 [15:0]	8 [7:0]	16 [15:0]	16 [15:0]
SB_RAM512x8 SB_RAM512x8NR SB_RAM512x8NW SB_RAM512x8NRNW	512x8 (4K)	9 [8:0]	8 [7:0]	9 [8:0]	8 [7:0]	No Mask Port
SB_RAM1024x4 SB_RAM1024x4NR SB_RAM1024x4NW SB_RAM1024x4NRNW	1024x4 (4K)	10 [9:0]	4 [3:0]	10 [9:0]	4 [3:0]	No Mask Port
SB_RAM2048x2 SB_RAM2048x2NR SB_RAM2048x2NW SB_RAM2048x2NRNW	2048x2 (4K)	11 [10:0]	2 [1:0]	11 [10:0]	2 [1:0]	No Mask Port





左図はiCE40のI/Oペアのアーキテクチャです。
iCE40は対になるI/Oペア間でClock, Clock Enableを共用しています。

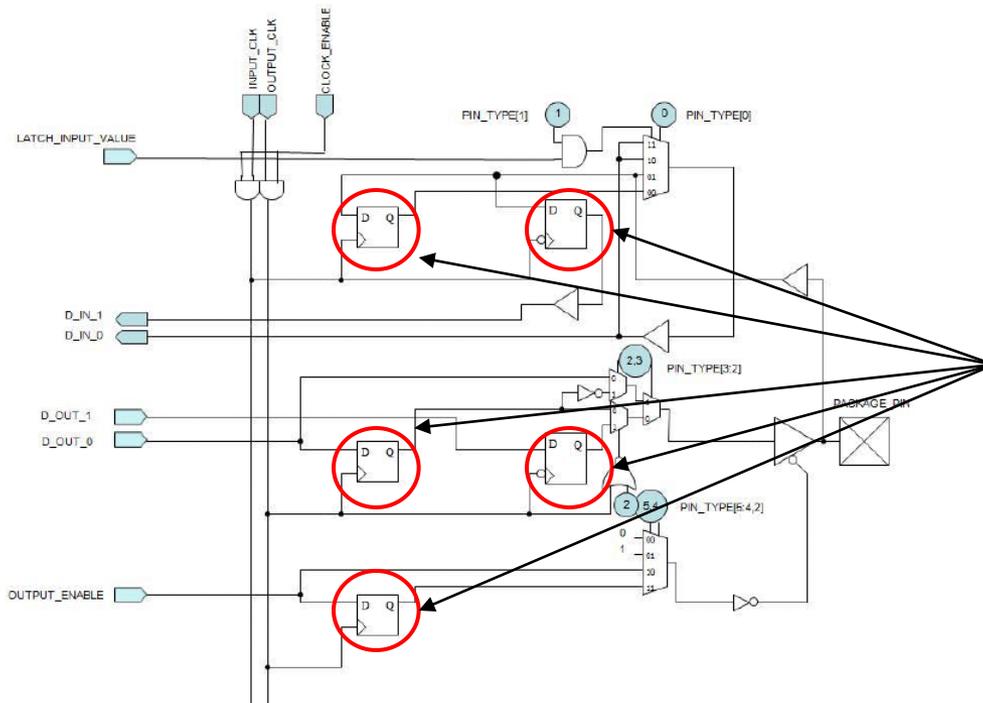
そのため、異なるClock, Clock Enableで動作する信号を
対になるI/Oペアにアサインすることができません。

**異なるClock, Clock Enableで動作するレジスタを
I/Oレジスタに設定してピンアサインする際には、2-8項の
方法でどのピンとどのピンがI/Oペアになっているか確認し、
同じI/Oペアにならないよう注意してピンアサインを行う
必要があります。**

iCE40にはI/Oセル内にレジスタが用意されており、これを使用することで入力データと出力データの遅延最小化が可能になります。また、出力データバスをI/Oレジスタにアサインすることで、出力データ間スキューを最小に抑えることができます。

設計ツールiCEcube2で何も意識せずにコンパイルを通すと、初段レジスタ/最終段レジスタがI/Oレジスタにアサインされません。I/Oレジスタにアサインするには以下の3つの条件を満たす必要があります。

- ・ **Inputレジスタにアサインするレジスタの前、Outputレジスタにアサインするレジスタの後ろに論理を組まない。**
- ・ **レジスタにSet/Resetの記述をしない (I/OレジスタがSet/Reset入力を持っていないため *下図参照)。**
- ・ **設計ツール”iCEcube2”でレジスタ毎にI/Oレジスタにアサインする設定を行う。**



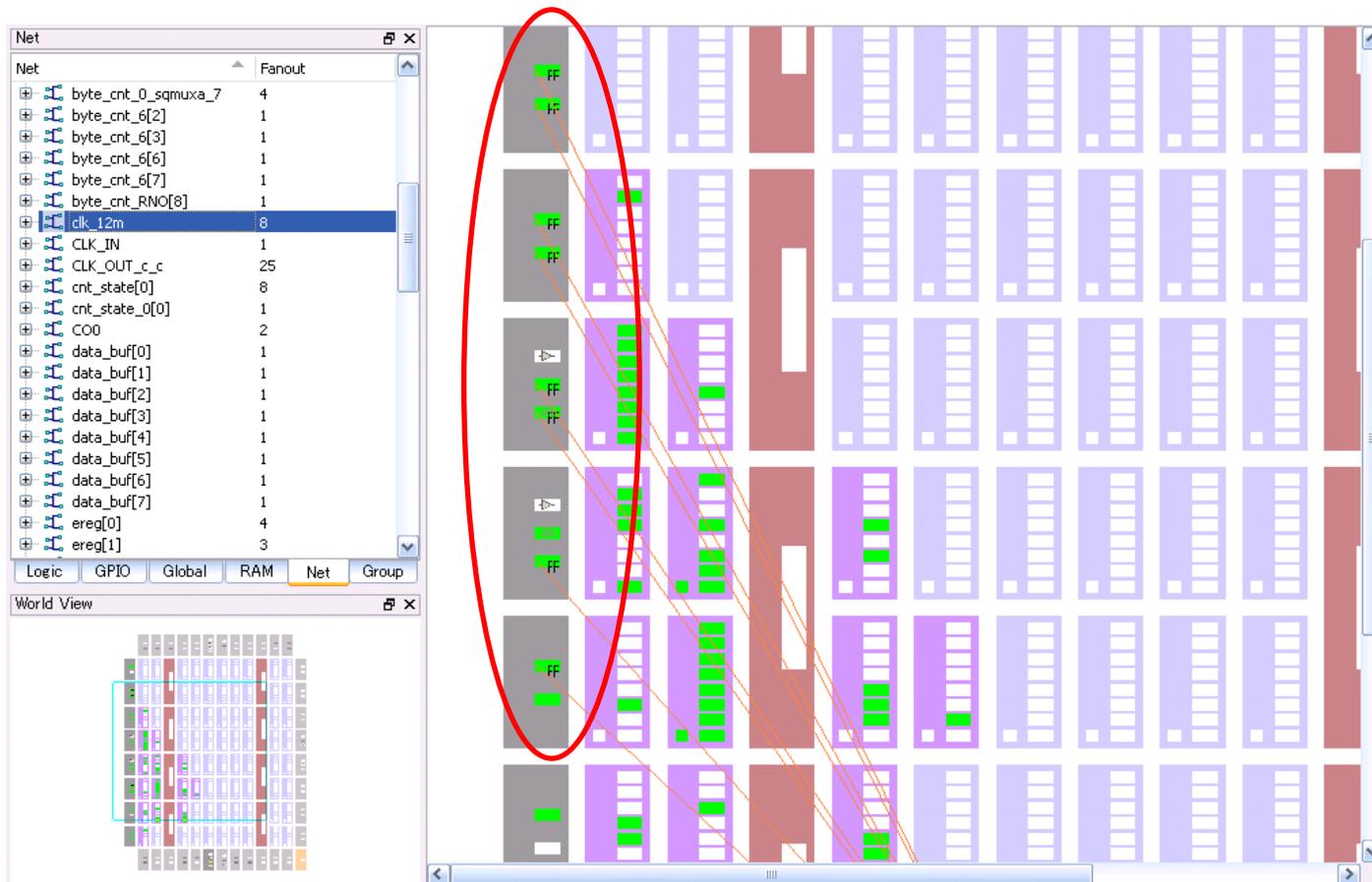
各I/Oレジスタにリセットポートが用意されていません。

iCEcube2でのI/Oレジスタへのアサインは以下の手順で行います。

The screenshot shows the Lattice Floor Planner interface for a project named 'ts_para_seri'. The interface includes a menu bar, a toolbar, a project tree on the left, a central logic instance list, and a world view grid on the right. A 'GPIO' tab is selected in the bottom toolbar. A context menu is open over the 'TS_DIN[0]' instance, with 'Merge/Unmerge FF' highlighted. A 'Merge/Unmerge FF' dialog box is open, showing options for 'Merge FF to IO', 'Merge FF to input', 'Merge FF to output', and 'Merge FF to out enable'. The 'Merge FF to input' and 'Merge FF to output' options are set to 'On'. Red circles and arrows highlight key UI elements corresponding to the numbered steps.

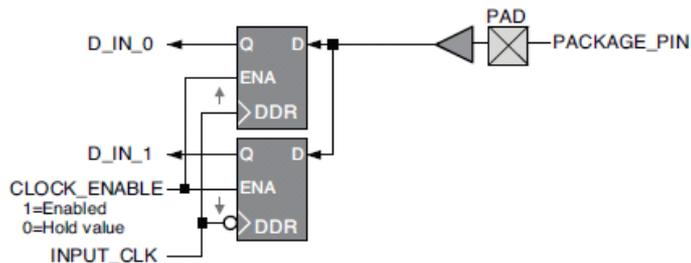
- ① Inport P&R Input Filesまで実行。
- ② Floor Plannerを起動。
- ③ GPIOタブを選択。
- ④ I/Oレジスタにアサインしたいレジスタを右クリックし、Merge/Unmerge FFを選択。
- ⑤ Merge FF to inputまたはMerge FF to outputをOnにしてOKをクリック。
- ⑥ 設定完了後、SAVEを行い、Run Allを実行。

設定が正しく反映されていれば、以下のようにI/OレジスタにアサインされていることがFloor Planner上で確認できます。



DDRレジスタを使用するには、SB_GBプリミティブ記述を行う必要があります。
SB_GBプリミティブのパラメータをDDRレジスタ設定にし、以下のサンプルのように記述します。

【入力DDRレジスタ】

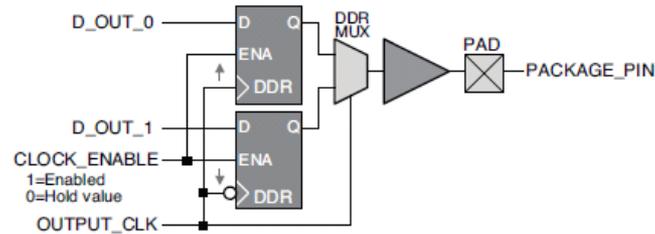


【Verilog-HDLサンプル記述】

```
// Input DDR register
SB_IO sb_io_inst0(
    .PACKAGE_PIN          ( DDR_DIN ), // User's Pin signal name
    .LATCH_INPUT_VALUE   ( ),         // Latches/holds the Input value
    .CLOCK_ENABLE        ( 1'b1 ),    // Clock Enable common to input and output clock
    .INPUT_CLK           ( CLK_IN ),   // Clock for the input registers
    .OUTPUT_CLK          ( ),         // Clock for the output registers
    .OUTPUT_ENABLE       ( ),         // Output Pin Tristate/Enable control
    .D_OUT_0             ( ),         // Data 0 - out to Pin/Rising clk edge
    .D_OUT_1             ( ),         // Data 1 - out to Pin/Falling clk edge
    .D_IN_0              ( din_r ),   // Data 0 - Pin input/Rising clk edge
    .D_IN_1              ( din_f ),   // Data 1 - Pin input/Falling clk edge
);

defparam sb_io_inst0.PIN_TYPE = 6'b000000; // Input DDR register
defparam sb_io_inst0.PULLUP = 1'b1;        // 0 = Pull-off, 1 = Pull-up
defparam sb_io_inst0.NEG_TRIGGER = 1'b0;   // FF clock trigger edge polarity. 0 = posedge, 1 = negedge
defparam sb_io_inst0.IO_STANDARD = "SB_LVCMOS";
```

【出力DDRレジスタ】



【Verilog-HDLサンプル記述】

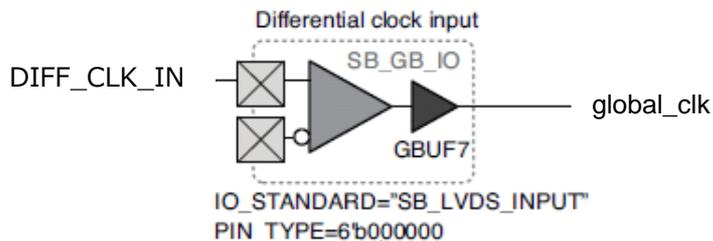
```
// Output DDR register
SB_IO sb_io_inst1(
    .PACKAGE_PIN          ( DDR_DOUT ), // User's Pin signal name
    .LATCH_INPUT_VALUE   (          ), // Latches/holds the Input value
    .CLOCK_ENABLE        ( 1'b1 ),    // Clock Enable common to input and output clock
    .INPUT_CLK           (          ), // Clock for the input registers
    .OUTPUT_CLK          ( CLK_IN ),   // Clock for the output registers
    .OUTPUT_ENABLE       (          ), // Output Pin Tristate/Enable control
    .D_OUT_0             ( dout_r ),   // Data 0 - out to Pin/Rising clk edge
    .D_OUT_1             ( dout_f ),   // Data 1 - out to Pin/Falling clk edge
    .D_IN_0              (          ), // Data 0 - Pin input/Rising clk edge
    .D_IN_1              (          ), // Data 1 - Pin input/Falling clk edge
);

defparam sb_io_inst1.PIN_TYPE = 6'b010000; // Output DDR register
defparam sb_io_inst1.PULLUP = 1'b1;        // 0 = Pull-off, 1 = Pull-up
defparam sb_io_inst1.NEG_TRIGGER = 1'b0;   // FF clock trigger edge polarity. 0 = posedge, 1 = negedge
defparam sb_io_inst1.IO_STANDARD = "SB_LVCMOS";
```

これ以外にも、アウトプットイネーブル付きDDRレジスタ等もパラメータを変更すれば使用可能です。
詳細はLattice社テクニカルノート“TN1253”の“PIN_TYPE Parameter”の項を参照して下さい。

LVDSを使用する場合、入力についてはプリミティブを記述してSB_LVDS_INPUTバッファ設定にします。出力はFPGA内部で論理反転した信号を用意し、ピンアサインします。LVDS入出力ピンのアサインと処理については、2-8項、2-9項を参照して下さい。

【LVDSクロック入力バッファ】

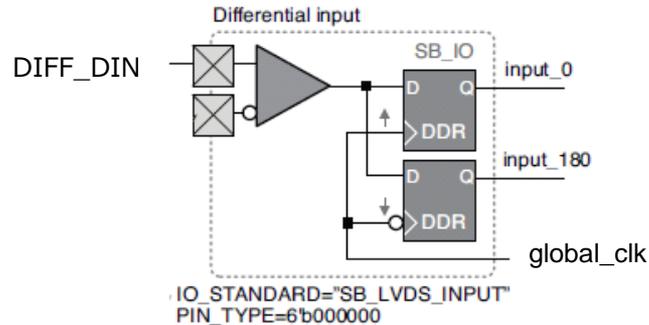


【Verilog-HDLサンプル記述】

```
SB_GB_IO diff_clk_inst (
    .PACKAGE_PIN          (DIFF_CLK_IN), // User's Pin signal name
    .LATCH_INPUT_VALUE    ( ),          // Latches/holds the Input value
    .CLOCK_ENABLE         ( ),          // Clock Enable common to input and output clock
    .INPUT_CLK            ( ),          // Clock for the input registers
    .OUTPUT_CLK           ( ),          // Clock for the output registers
    .OUTPUT_ENABLE        ( ),          // Output Pin Tristate/Enable control
    .D_OUT_0              ( ),          // Data 0 - out to Pin/Rising clk edge
    .D_OUT_1              ( ),          // Data 1 - out to Pin/Falling clk edge
    .D_IN_0               ( ),          // Data 0 - Pin input/Rising clk edge
    .D_IN_1               ( ),          // Data 1 - Pin input/Falling clk edge
    .GLOBAL_BUFFER_OUTPUT ( global_clk ) // Global buffer output
);

defparam diff_clk_inst.PIN_TYPE = 6'b000000 ;
defparam diff_clk_inst.IO_STANDARD = "SB_LVDS_INPUT" ;
```

【LVDSデータ入力バッファ(DDR)】



【Verilog-HDLサンプル記述】

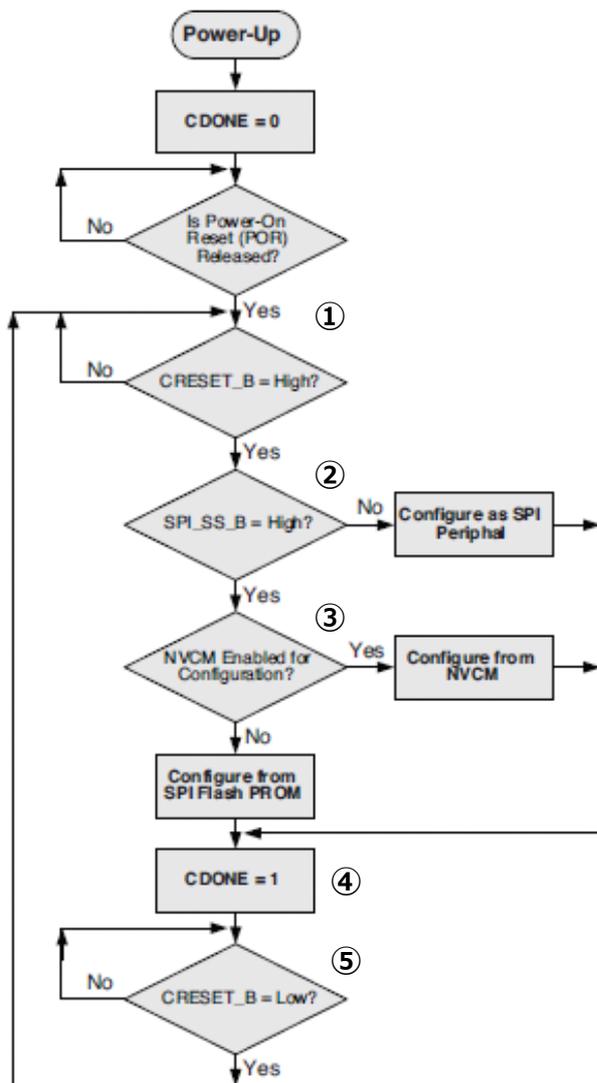
```
// Input DDR register
SB_IO sb_io_inst0(
    .PACKAGE_PIN          ( DIFF_DIN ), // User's Pin signal name
    .LATCH_INPUT_VALUE    ( ),         // Latches/holds the Input value
    .CLOCK_ENABLE         ( 1'b1 ),    // Clock Enable common to input and output clock
    .INPUT_CLK            ( global_clk ), // Clock for the input registers
    .OUTPUT_CLK           ( ),         // Clock for the output registers
    .OUTPUT_ENABLE        ( ),         // Output Pin Tristate/Enable control
    .D_OUT_0              ( ),         // Data 0 - out to Pin/Rising clk edge
    .D_OUT_1              ( ),         // Data 1 - out to Pin/Falling clk edge
    .D_IN_0               ( input_0 ), // Data 0 - Pin input/Rising clk edge
    .D_IN_1               ( input_180 ), // Data 1 - Pin input/Falling clk edge
);
```

```
defparam sb_io_inst0.PIN_TYPE = 6'b000000; // Input DDR register
defparam sb_io_inst0.IO_STANDARD = "SB_LVDS_INPUT";
```

コンフィギュレーション関連

ピン名	使用モード	ピン方向	専用/兼用	説明
CRESET_B	全て	入力	専用	アクティブLowコンフィグレーションリセット信号。 Low -> Highトグルで再コンフィグレーションを実施。 CRESET_BのLow期間は200ns以上確保する必要があります。
CDONE	全て	出力	専用	コンフィグ完了を示すOpenDrain出力ピン。コンフィグ完了でHi-z出力。
CBSEL[1:0]	Master SPI	入力	兼用	Cold Boot時、SPI Flash内に格納されたコンフィグデータのセレクト信号。Cold Boot未使用時は汎用I/Oとして使用可能。
SPI_SS_B	全て	双方向	兼用	Power On Reset解除時、またはCRESET_BのLow-> High変化時にサンプリングされる。LowであればSlave SPIコンフィグ、HighであればNVCM ot Master SPIコンフィグとなる。デバイス内部のNVCMイネーブルビットが立っていないければLowを出力し、Master SPIコンフィグモードになる。
SPI_SI	Master/Slave SPI	入力	兼用	Master/Slave SPIコンフィグレーションデータ入力ピン。
SPI_SO	Master/Slave SPI	出力	兼用	Master/Slave SPIコンフィグレーションデータ出力ピン。
SPI_SCK	Master/Slave SPI	双方向	兼用	Master SPIモード時SPIクロック出力。Slave SPIモード時SPIクロック入力。

※SPI_SS_B、SPI_SI、SPI_SO、SPI_SCKはコンフィグレーション完了後汎用I/Oとして使用可能ですが、コンフィグレーションの妨げとなるような信号のアサインを防ぐため、なるべく使用されないことを推奨します。



①POR解除時、またはCRESET_BがLow -> Highと変化したタイミングで SPI_SS_Bをサンプリングします。

※電源瞬断等が考えられるケースでは、電源電圧がPORスレッシュホールド値以下に落ちる前に再起動する可能性がありますので、可能な限り電源立ち上がり後にCRESET_BをLow -> Highと制御することを推奨します。

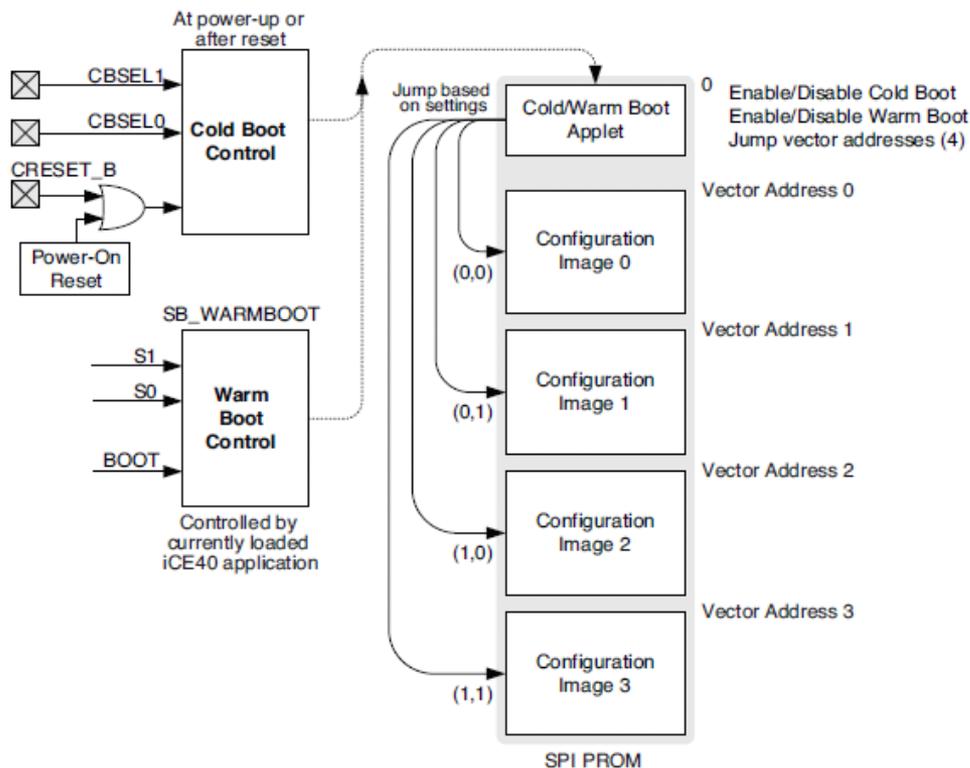
②SPI_SS_BがLowの場合、Slave SPIコンフィグレーションモードになります。

③SPI_SS_BがHighの場合、デバイス内部のNVCMイネーブルビットをチェックし、イネーブルであればNVCMコンフィグレーションモード、ディセーブルであればMaster SPIコンフィグレーションモードになります。

④コンフィグレーション完了後、CDONEがLow -> Hi-z出力になります。

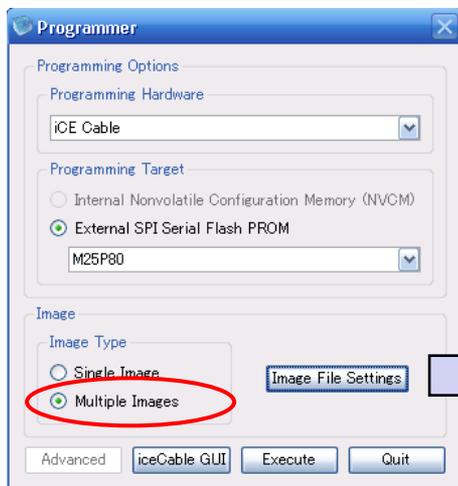
⑤CRESET_BをLowにすることでSRAM領域のデータが消去されます。Low -> Highと変化時に再度コンフィグレーションが開始されます。

4-3 Cold BootとWarm Bootについて

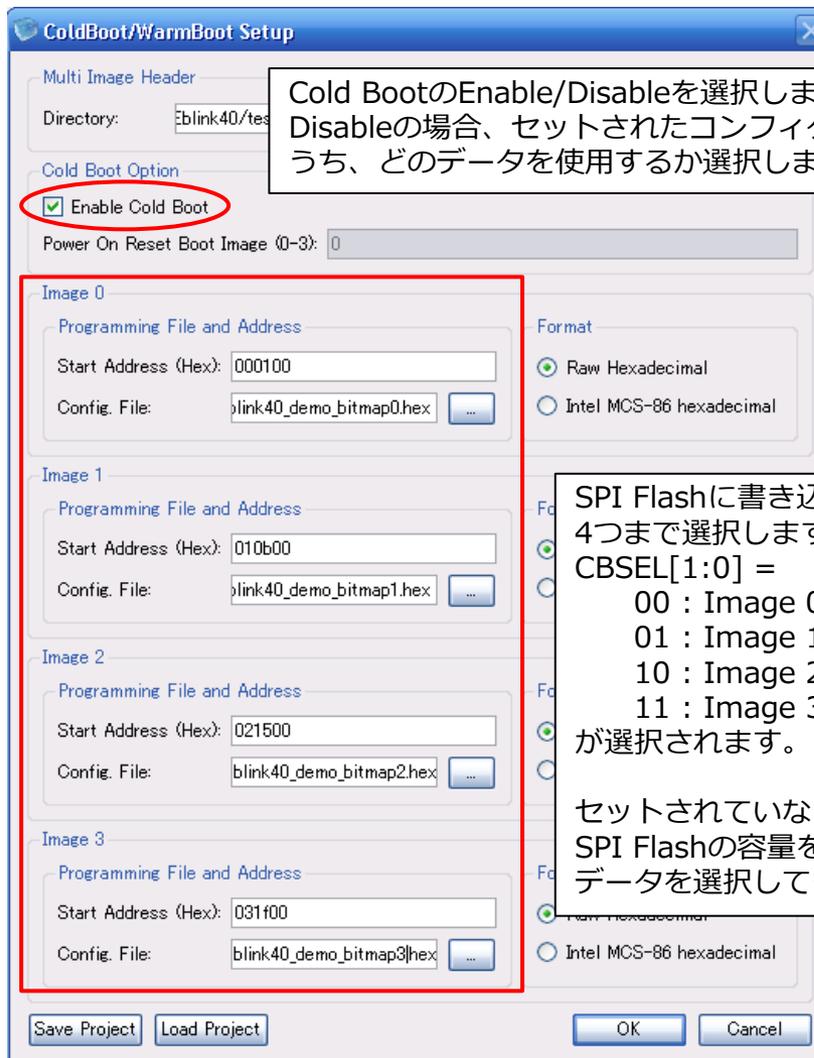


iCE40をMaster SPIコンフィグレーションモードで使用する場合、外部に接続したSPI Flashに4つまでコンフィグデータを格納し、選択してコンフィグレーションすることが可能です。このうち外部信号（CBSEL[1:0]）で動的にコンフィグデータを切り替える機能をCold Bootと言い、設計ツール“iCEcube2”で選択したコンフィグデータでコンフィグレーションを毎回行う機能をWarm Bootと言います。

4-3 Cold BootとWarm Bootについて



iCEcube2のProgrammerで
Multiple Imagesを選択し、
コンフィグデータをセットします。



Cold BootのEnable/Disableを選択します。
Disableの場合、セットされたコンフィグデータ0~3の
うち、どのデータを使用するか選択します(Warm Boot)。

SPI Flashに書き込むコンフィグデータを最大
4つまで選択します。Cold Bootイネーブル時、
CBSEL[1:0] =
00 : Image 0
01 : Image 1
10 : Image 2
11 : Image 3
が選択されます。

セットされていないコンフィグデータや
SPI Flashの容量をオーバーしたコンフィグ
データを選択してもコンフィグされません。

Master SPIコンフィグレーションで外部SPI Flashに格納するコンフィグデータ容量、及びSlave SPI コンフィグレーション時にHostのROM領域に格納するコンフィグデータ容量は以下の通りです。

Device	Bytes	Bits
iCE40-LP384	7872	62,976
iCE40-LP/HX1K	34,112	272,896
iCE40-LP/HX4K	136,448	1,091,584
iCE40-LP/HX8K	136,448	1,091,584

Master SPIコンフィグレーション及びNVCMコンフィグレーションの場合、iCE40内蔵のコンフィグ専用オシレータにてコンフィグレーションを行います。POR解除やCRESET_BのLow -> Highトグルが行われてから、以下の時間でコンフィグレーション完了（ユーザーI/Oアクティブ）となります。Master SPIコンフィグレーションに使用する内蔵オシレータの周波数は設計ツール“iCEcube2”でLow、Medium、Highを選択可能です。

NVCMコンフィグレーションを行う場合、NVCMの最大動作周波数がLow(Default)設定にしか対応していませんので、Medium / High Frequencyの設定にしないよう注意して下さい。

Symbol	Parameter	Conditions	Typ.	Units
t_{CONFIG}	POR/CRESET_B to Device I/O Active	iCE40LP384 - Low Frequency (Default)	25	ms
		iCE40LP384 - Medium Frequency	15	ms
		iCE40LP384 - High Frequency	11	ms
		iCE40LP/HX1K - Low Frequency (Default)	53	ms
		iCE40LP/HX1K - Medium Frequency	25	ms
		iCE40LP/HX1K - High Frequency	13	ms
		iCE40LP/HX4K - Low Frequency (Default)	230	ms
		iCE40LP/HX4K - Medium Frequency	110	ms
		iCE40LP/HX4K - High Frequency	70	ms
		iCE40LP/HX8K - Low Frequency (Default)	230	ms
		iCE40LP/HX8K - Medium Frequency	110	ms
		iCE40LP/HX8K - High Frequency	70	ms

f_{MCLK}	MCLK clock frequency	Off	—	0	—	MHz
		Low Frequency (Default)	—	7.5	—	MHz
		Medium Frequency ³	—	24	—	MHz
		High Frequency ³	—	40	—	MHz

4-5 コンフィグレーション時間について

t_{CRESET_B}	Minimum CRESET_B Low pulse width required to restart configuration, from falling edge to rising edge		200	—	—	ns
t_{DONE_IO}	Number of configuration clock cycles after CDONE goes High before the PIO pins are activated		49	—	—	Clock Cycles

t_{CR_SCK}	Minimum time from a rising edge on CRESET_B until the first SPI write operation, first SPI_SCK. During this time, the iCE40 device is clearing its internal configuration memory	iCE40LP384	600	-	—	us
		iCE40LP/HX1K	800	-	—	us
		iCE40LP/HX4K	1200	-	—	us
		iCE40LP/HX8K	1200	-	—	us
f_{MAX}^1	CCLK clock frequency	Write	1	-	25	MHz
		Read iCE40LP384 ²	-	15	-	MHz
		Read iCE40LP/HX1K ²	-	15	-	MHz
		Read iCE40LP/HX4K ²	-	15	-	MHz
		Read iCE40LP/HX8K ²	-	15	-	MHz

Slave SPIコンフィグレーションの場合、HostからSPI_SCKを供給するため、そのクロック周波数に依存したコンフィグレーション時間になります。

Slave SPIコンフィグレーションの流れは

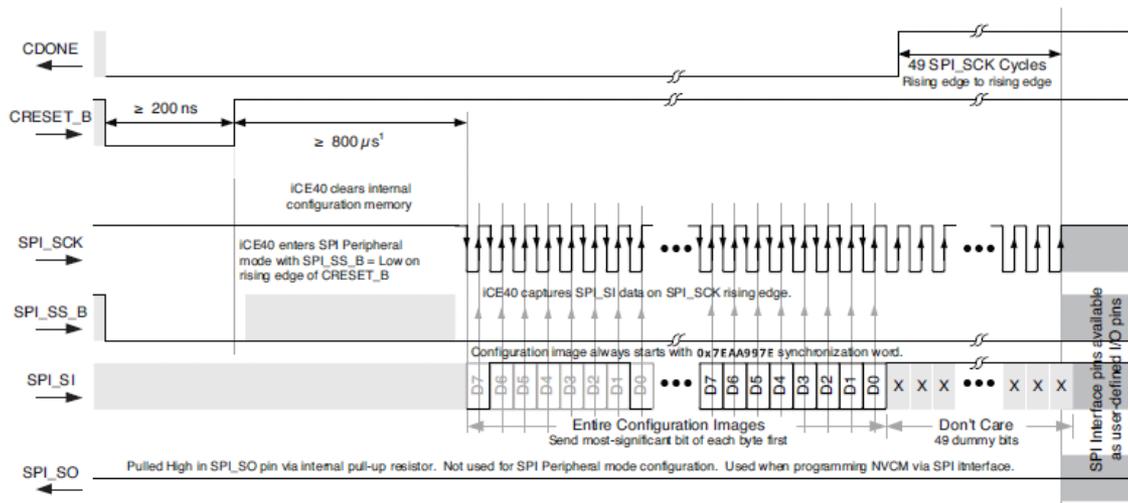
- ① CRESET_B High -> Low -> High (Low期間200ns以上維持)
- ② t_{CR_SCK} 時間Wait
- ③ コンフィグデータ送信
- ④ CDONE Low -> High
- ⑤ 49Cycle SPI_SCK送信

となっており、上記時間の合計がコンフィグレーション時間になります。コンフィグデータ送信時間は、SPI_SCKの周期にコンフィグデータ容量 (4-3項参照) をかけたものになります。

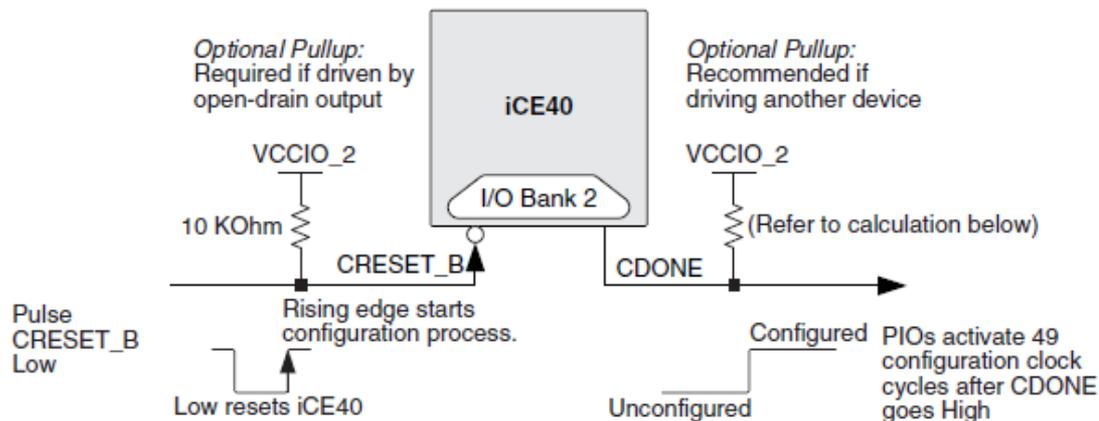
例えばiCE40LP1Kに対し、SPI_SCK 10MHzでSlave SPIコンフィグレーションを行う場合、CRESET_B = Low出力開始から

$$200\text{ns} + 800\mu\text{s} + 100\text{ns} \times 272896 + 100\text{ns} \times 49$$

となります。



CDONEピンは以下の図のように外部プルアップが必要です。また、そのプルアップ抵抗値はボード環境に応じて計算により求める必要があります。



$$R_{pullup} = 1 / (2 * ConfigFrequency * CDONETraceCap)$$

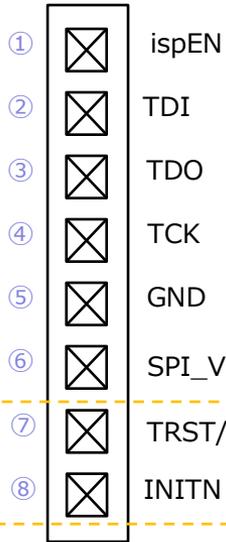
具体的には、以下の計算式で抵抗値を求めます。

CDONE Pullup抵抗値 = 1 / (2 * コンフィグクロック周波数 * CDONEラインの負荷容量)

コンフィグクロック周波数は、Master SPI Configuration及びNVCM Configuration時はiCE40内部のコンフィグ用オシレータの周波数（MCLK周波数）となり、Slave SPI Configuration時はCPUからSPI_SCKピンに供給されるCCLK周波数となります。

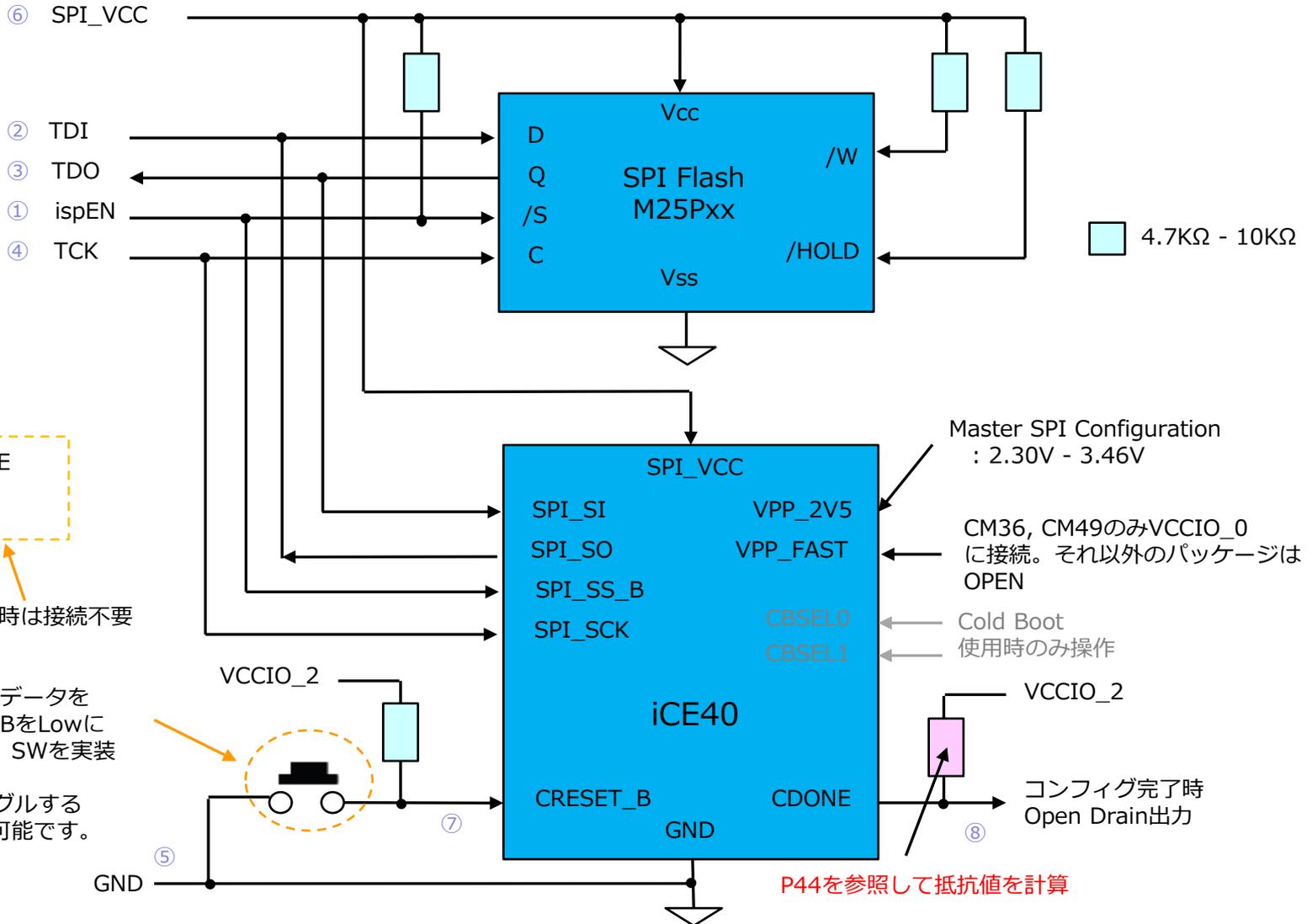
また、CDONEラインの負荷容量には**CDONEピン内部の負荷容量3.3pF(Max)**も加算して下さい。

6-pin Male Header



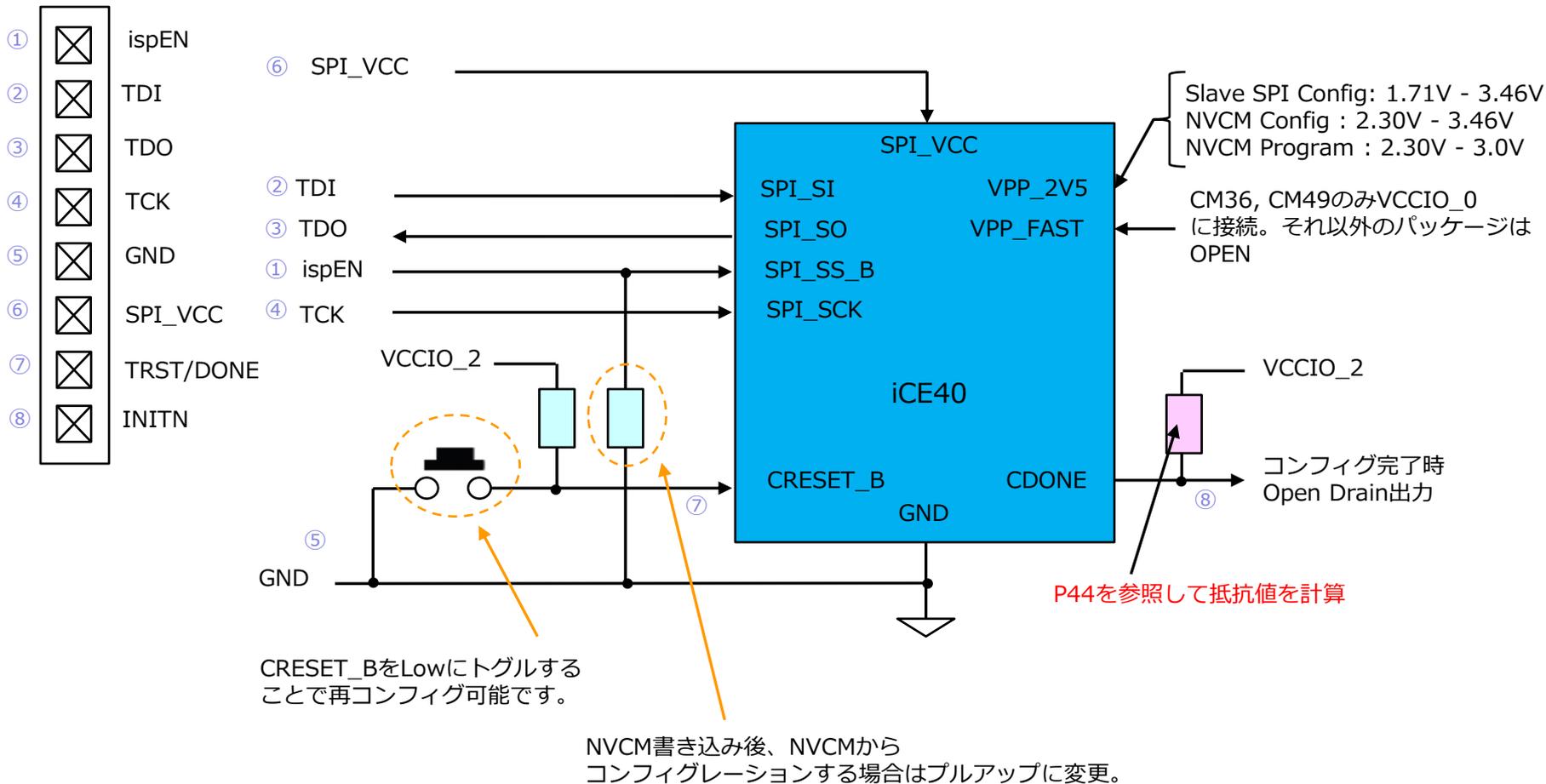
SPI Flashへの書き込み時は接続不要

SPI Flashにコンフィグデータを
書き込むにはCRESET_BをLowに
落とす必要があります。SWを実装
しておく便利です。
CRESET_BをLowにトグルする
ことで再コンフィグも可能です。

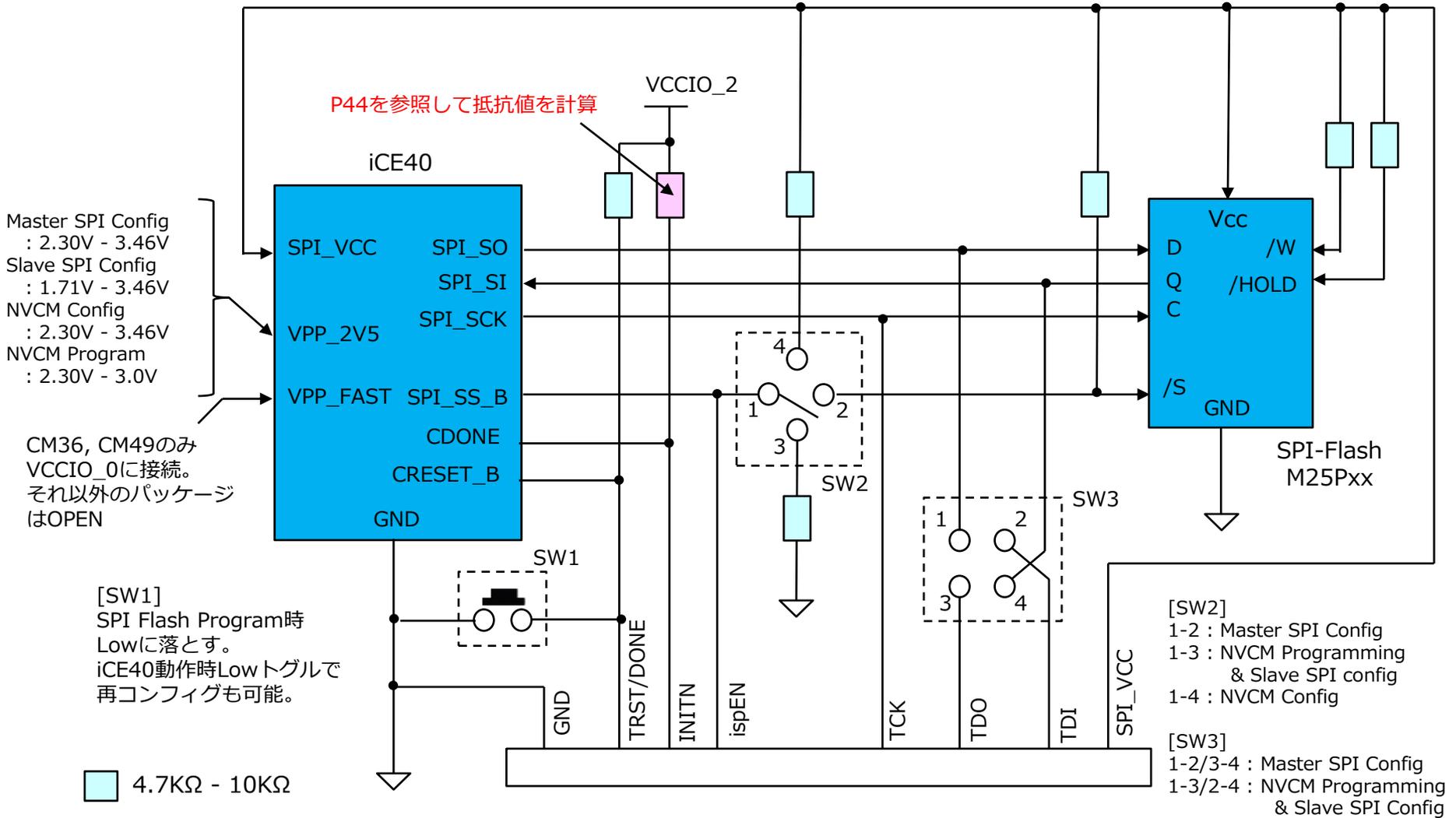


8-pin Male Header

4.7KΩ - 10KΩ



4-9 統合接続回路例



Date	Revision	Old-page	New-Page	Change information	Updated by
2013/3/27	1.0			First Revision	W.Nakatsuka
2013/10/17	1.1	P39 - P40	P39 - P40	NVCMIコンフィグレーションの最大動作周波数についてとツール設定の制限の記載を追加。コンフィグ関連パラメータの表を更新。	W.Nakatsuka
2013/10/28	1.2	P8 - P9	P8 - P9	パワーオンリセット解除電圧と電源ランプレートの表を更新。	W.Nakatsuka
2013/11/18	1.3		P10	推奨電源立上げ順について記載を追加。	W.Nakatsuka
2014/12/3	1.4		P16 - P17	内部プルアップ抵抗値、外部プルダウン抵抗推奨値について記載追加。	W.Nakatsuka
2014/12/3	1.4	P45 - P47	P45 - P47	CDONEプルアップ抵抗値の記載を更新。	W.Nakatsuka
2014/12/19	1.5		P44	CDONEプルアップ抵抗値計算方法のページを追加。	W.Nakatsuka
2014/1/7	1.6	P6	P6	VCCPLLの処理方法の更新。	W.Nakatsuka
2015/8/31	1.7	P42	P42	NVCMコンフィグレーション設定の説明にMediumを追加。	M.Komiyama