

# 外部メモリー・インターフェース (EMIF) 回路図の確認項目

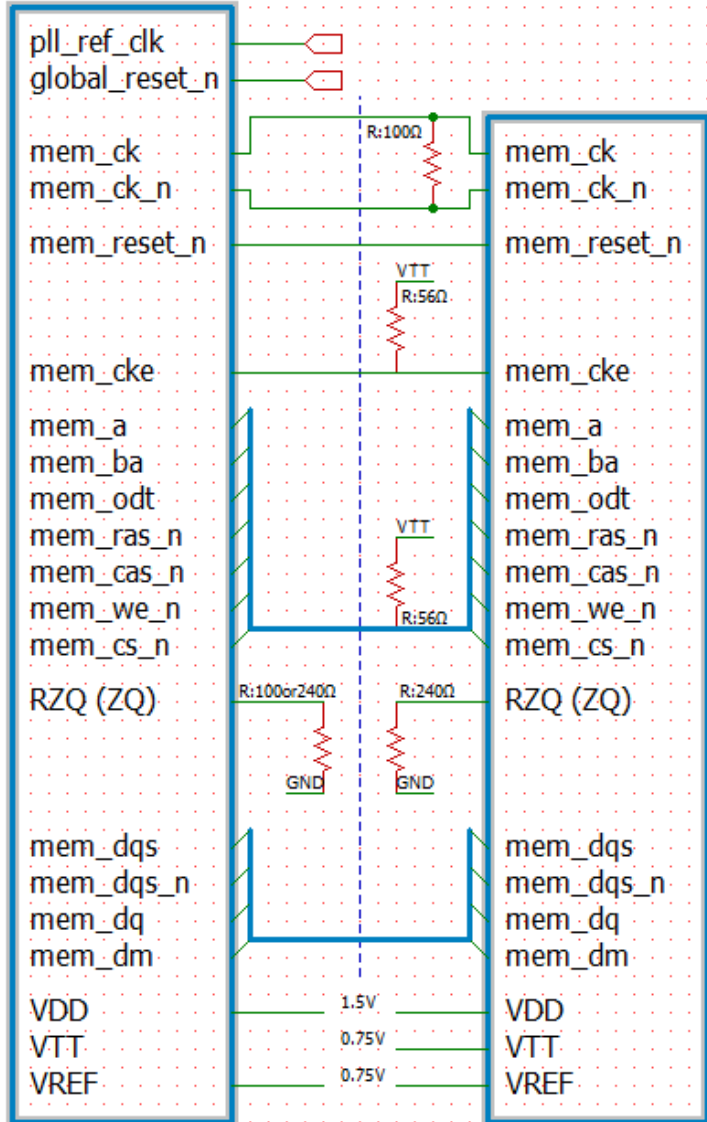
[インテル® Cyclone® 10 GX FPGA]

**macnica**

株式会社マクニカ アルティマカンパニー

Rev.1.0

# Cyclone<sup>®</sup> 10 GX + DDR3 の回路図確認 (1/8)



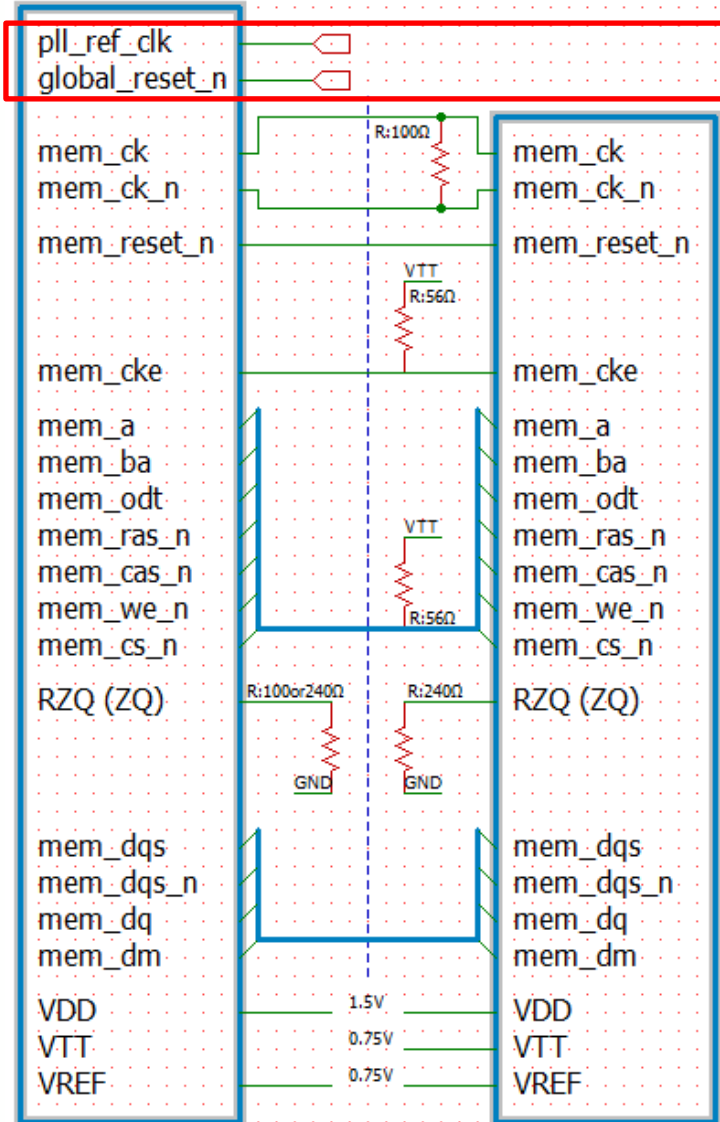
Cyclone<sup>®</sup> 10 GX

DDR3

**MACNICA**

- 左図は Cyclone<sup>®</sup> 10 GX + DDR3 の参考接続回路図
- 抵抗値を決める際は 必ず基板 SIM をする必要がある
  - 基板 SIM の結果が良い方を選択する

# Cyclone<sup>®</sup> 10 GX + DDR3 の回路図確認 (2/8)



Cyclone<sup>®</sup> 10 GX

DDR3

**MACNICA**

- pll\_ref\_clk : **専用ピンに接続**

- 専用ピンに接続
- Cyclone<sup>®</sup> 10 GX Handbook の Clock Networks and PLLs in Cyclone<sup>®</sup> 10 GX Devices の章の Reference Clock Sources に、ref clk は専用ピンから接続するのが推奨と記載

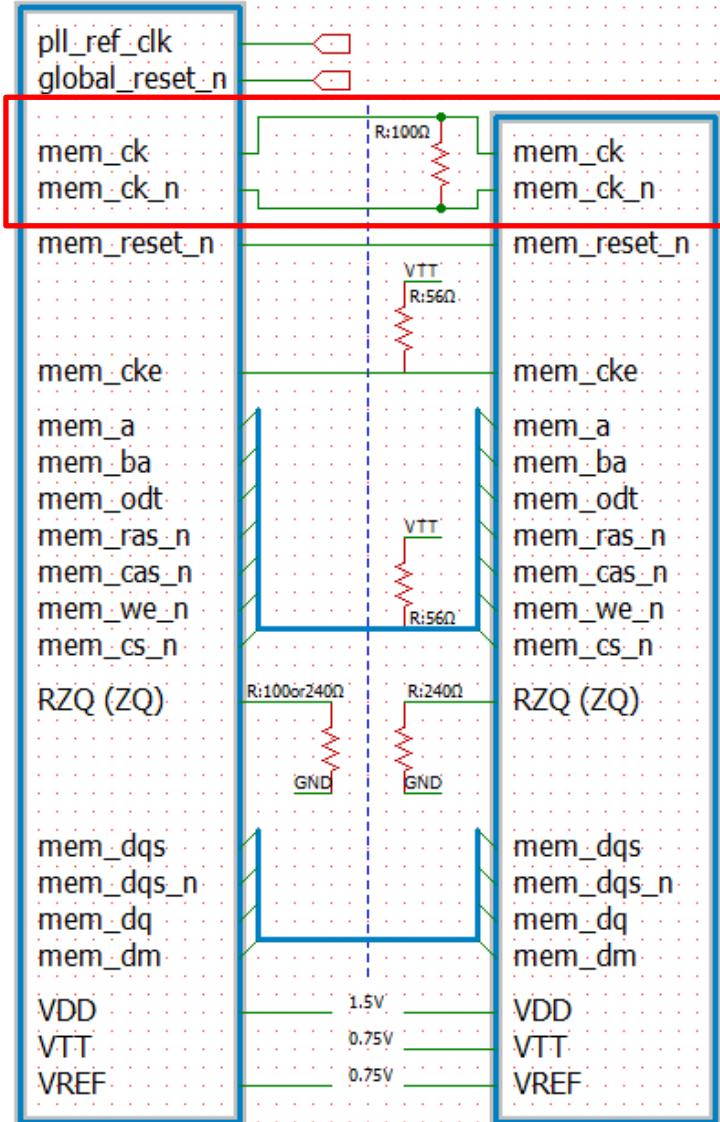
- Cyclone<sup>®</sup> 10 GX Handbook

Intel recommends providing the I/O PLL reference clock using a dedicated pin when possible. If you want to use a non-dedicated pin for the PLL reference clock, you have to explicitly promote the clock to a global signal in the Quartus Prime Pro Edition software.

- global\_reset\_n : **終端不要**

- 終端の必要なし

# Cyclone® 10 GX + DDR3 の回路図確認 (3/8)



Cyclone® 10 GX

DDR3

MACNICA

- mem\_ck : **差動終端 (抵抗値は基板 SIM で判断)**

- mem\_ck は出力ピンなので FPGA 側は終端は不要
- メモリー側は終端が必要

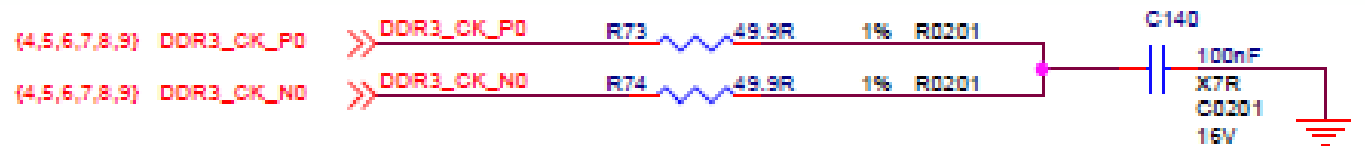
- 参考 : EMIF Handbook の V シリーズの章では 100Ω で差動終端と記載

- EMIF Handbook

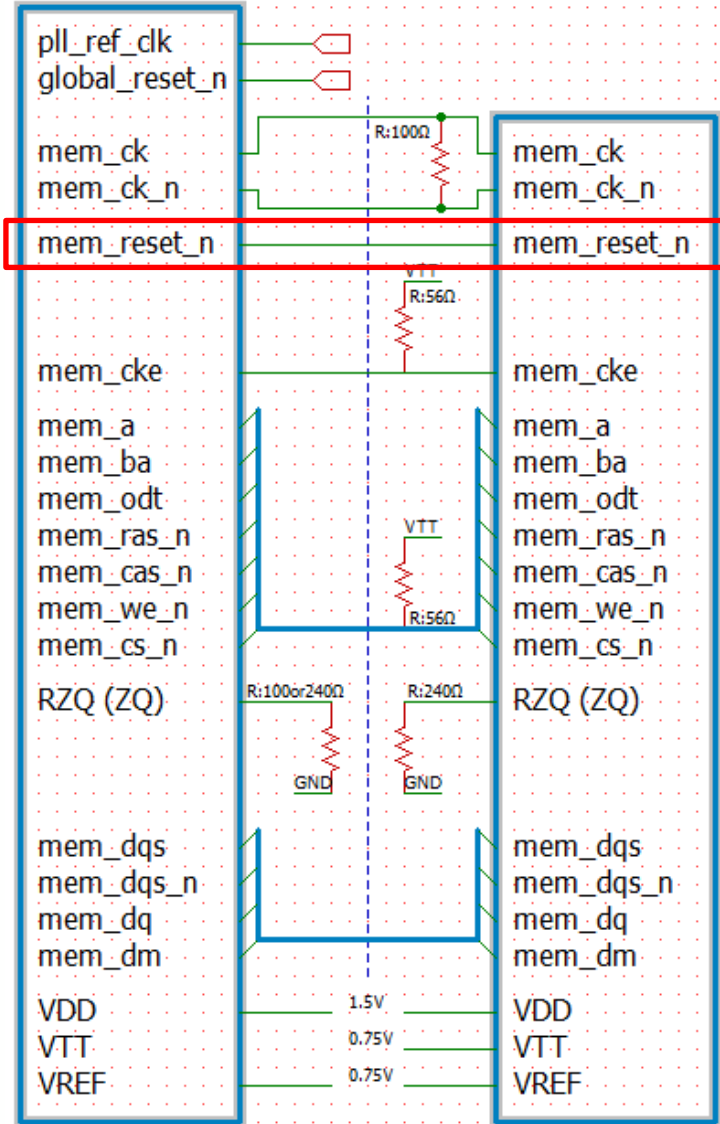
Clock	DIFF Class I R50 NO CAL	N/A	x1 = 100-ohm differential (10)  x2 = 200-ohm differential (11)
-------	----------------------------	-----	--

- 参考 : DDR3 HiLo の回路図では 49.9Ω の抵抗とコンデンサを介して GND 処理

- DDR3 HiLo の回路図



# Cyclone<sup>®</sup> 10 GX + DDR3 の回路図確認 (4/8)



Cyclone<sup>®</sup> 10 GX

DDR3

- mem\_reset\_n : **終端不要**

- FPGA 側、メモリー側ともに終端の必要なし
- ナレッジベースに "reset 信号に終端は必要ない" との記載があります

- メモリー側のリセットピンと FPGA 側のリセットピンを終端なしで直つなぎ

- [https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd07212013\\_499.html](https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd07212013_499.html)

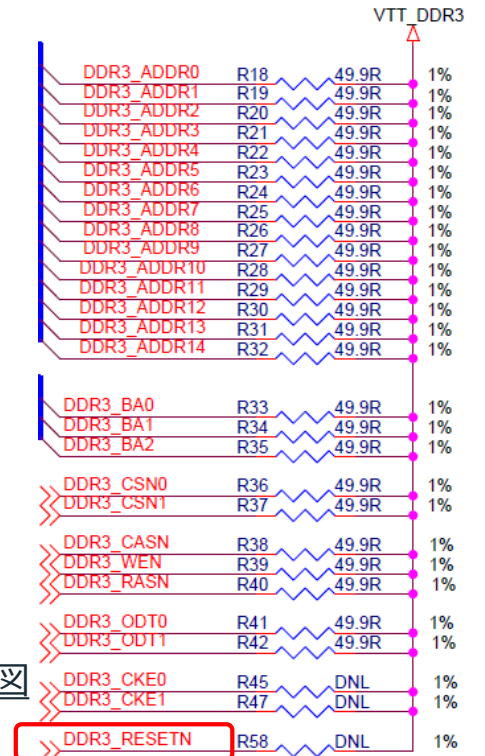
- 参考 : Schematic Review Sheet では VTT へ接続不要と記載あり

- Schematic Review Worksheet

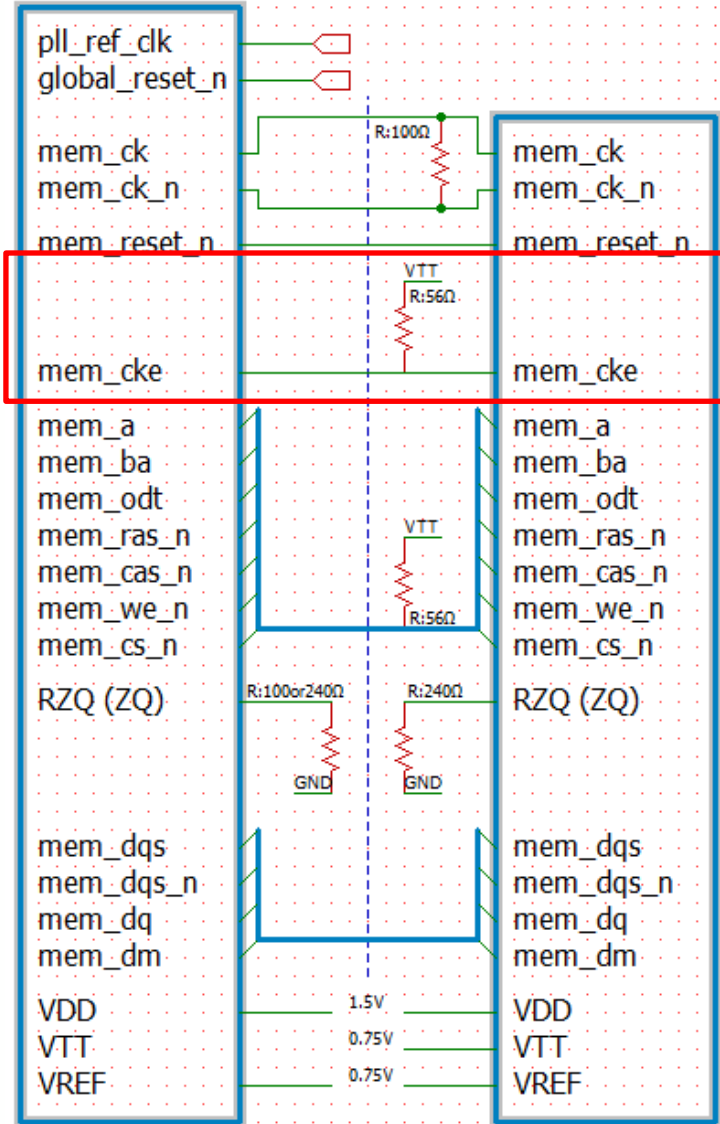
Reset for DDR3 Memory	<p>For DDR3, Use 1.5V and fast slew rate. Also use serial output termination with calibration for SSTL-15 DDR3.</p> <p>For DDR3L, use SSTL-135, fast slew rate and serial output termination.</p> <p>Check the FPGA termination value in the .qip file which is generated with your IP.</p> <p>It is not recommended to externally terminate this reset to Vtt.</p>
-----------------------	---

- 参考 : DDR3 HiLo の回路図では VTT に接続

- DDR3 HiLo の回路図



# Cyclone<sup>®</sup> 10 GX + DDR3 の回路図確認 (5/8)



Cyclone<sup>®</sup> 10 GX

DDR3

- mem\_cke : **抵抗を介して VTT (抵抗値は基板 SIM で判断)**

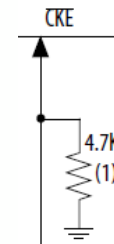
- CKE は出力ピンなので FPGA 側で終端不要
- メモリー側は終端が必要

- **ナレッジベースに記載あり : V シリーズの時と処理が違うので注意が必要です**

- <https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/emif/2017/how-cke-should-be-terminated-for-ddr3-and-ddr3-emif-ip.html>

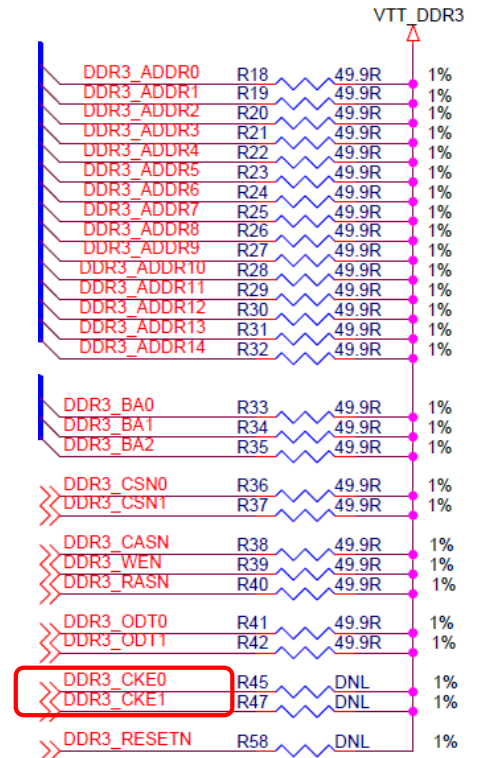
- 参考 : EMIF Handbook V シリーズの章では 4.7kΩ で GND 接続

- EMIF Handbook

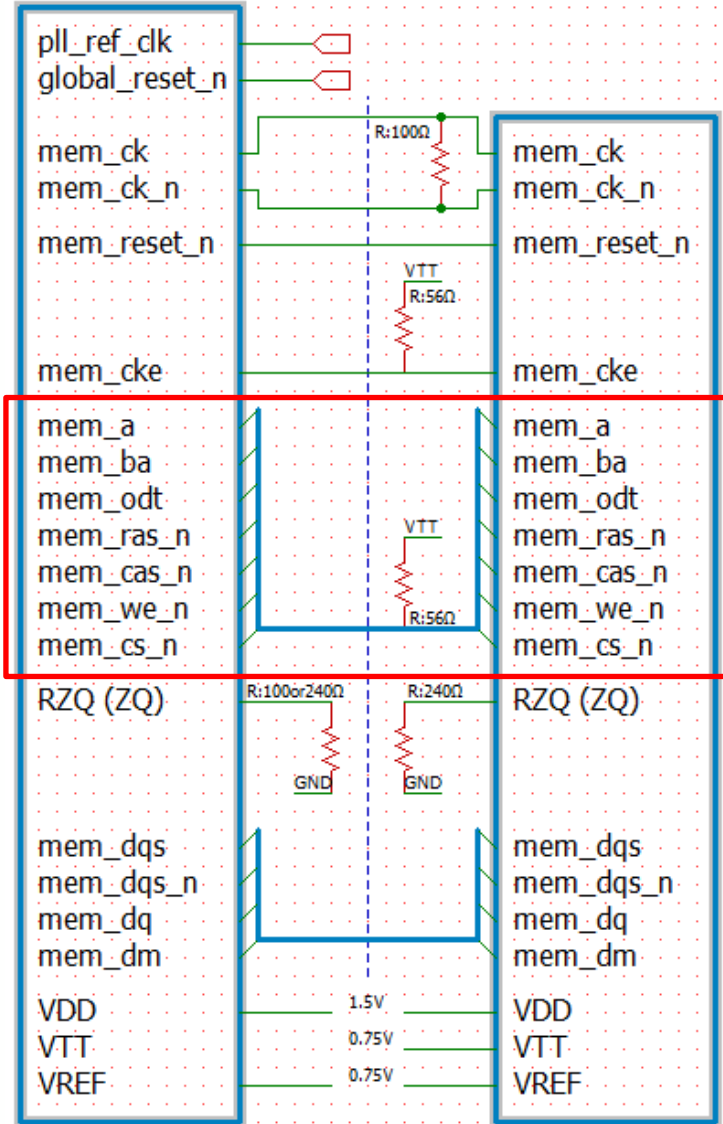


- 参考 : DDR3 HiLo の回路図では VTT に接続

- DDR3 HiLo の回路図



# Cyclone<sup>®</sup> 10 GX + DDR3 の回路図確認 (6/8)



- add/cmd : **抵抗を介して VTT (抵抗値は基板 SIM で判断)**

- mem\_a
- mem\_ba
- mem\_odt
- mem\_ras\_n
- mem\_cas\_n
- mem\_we\_n
- mem\_cs\_n

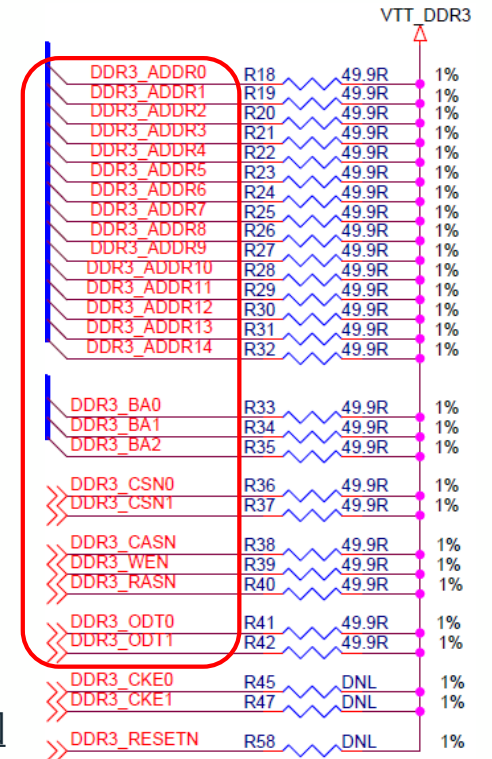
- アドレス/コマンドピンは出力ピンなので FPGA 側は終端不要
- メモリー側は終端が必要

- 参考 : EMIF Hanbook V シリーズの章では 56Ω で VTT に接続

## • EMIF Hanbook

Address and command	Class I MAX	N/A	56-ohm Parallel to VTT discrete

- 参考 : DDR3 HiLo の回路図では 49.9Ω で VTT に接続

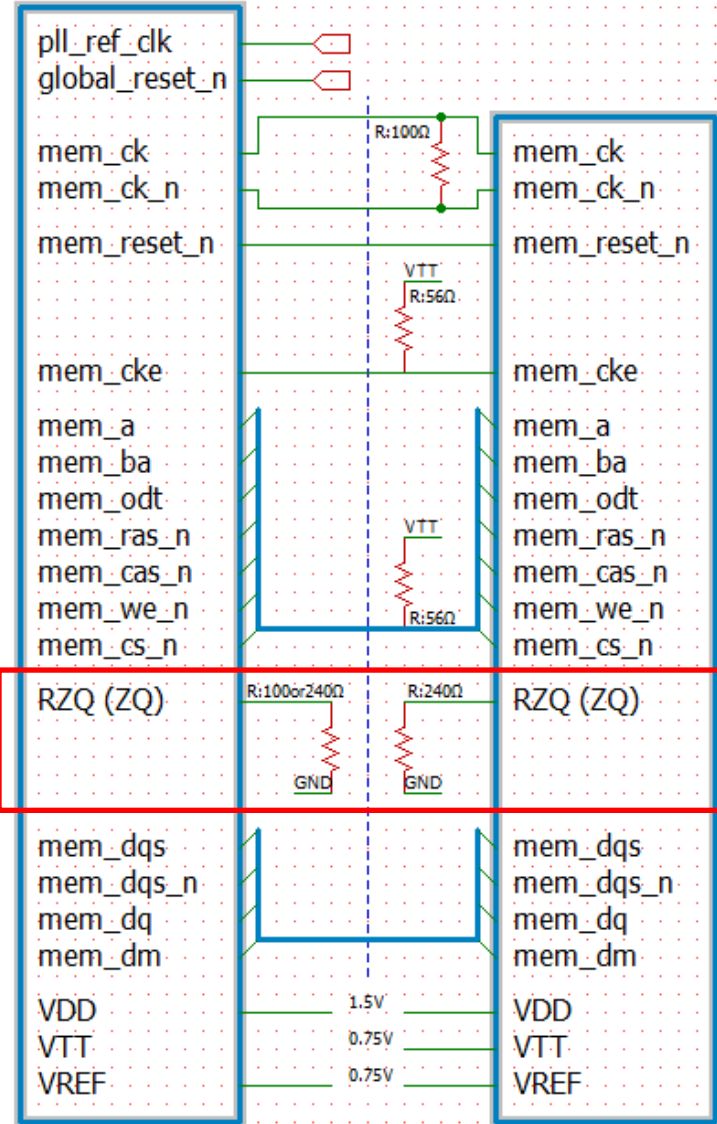


## • DDR3 HiLo の回路図

Cyclone<sup>®</sup> 10 GX

DDR3

# Cyclone<sup>®</sup> 10 GX + DDR3 の回路図確認 (7/8)



Cyclone<sup>®</sup> 10 GX

DDR3

## ● RZQ : 240 または 100 Ω の抵抗を介して GND

- メモリー側の RZQ は メモリーやデバイスによらず 240Ω で GND 接続
  - DDR3, DDR4 は 240Ω だが DDR2 は 240Ω の接続は不要
- FPGA 側は I/O Standard によって 100Ω または 240Ω に変わる
  - 抵抗値は OCT 機能のあるピンの I/O Standard に依存
  - デフォルト設定ではデータピンのみ考慮すれば良いが、アドレスコマンドピンの設定を直列 OCT に設定した場合はアドレスコマンドピンの I/O Standard も考慮
- 複数のバンクに跨ってメモリー IP が配置されている場合でも、メモリー IP ひとつごとに RZQ ピン一つを処理すれば良い
- メモリー IP の配置バンクでなくともメモリー IP と同じ電圧のバンクなら RZQ ピンはどこのバンクでもよい

### • Schematic Review Worksheet

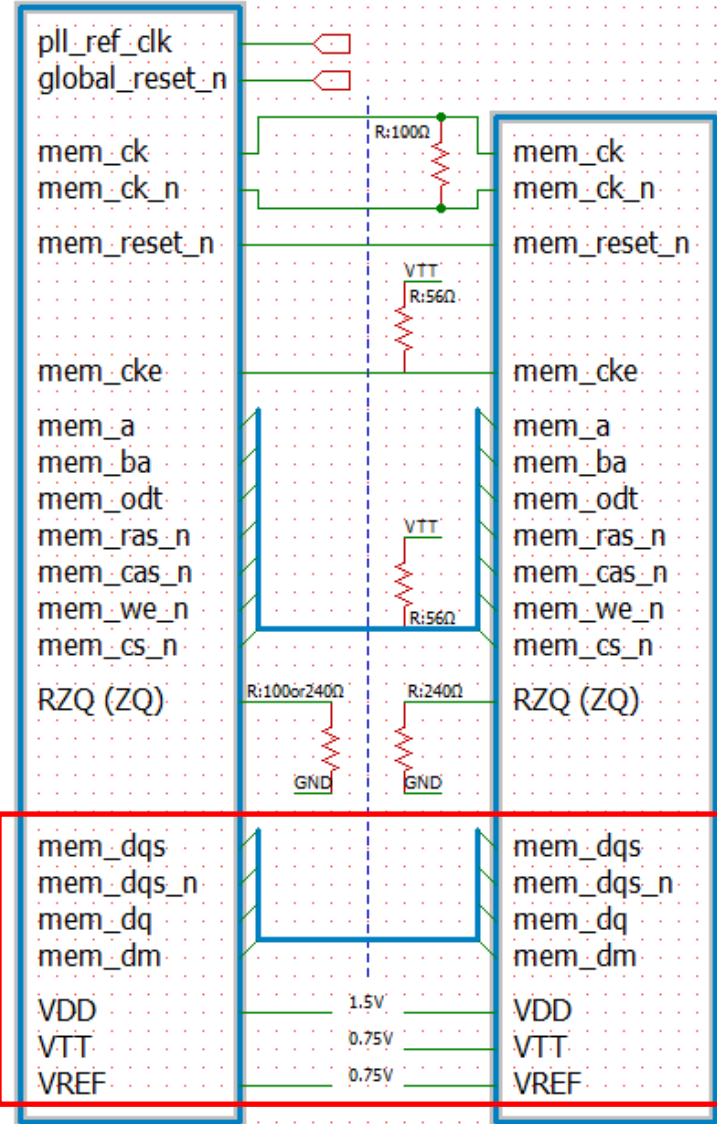
RZQ_[#]	↕	RZQ pin is connected to GND through an external 240-Ω or 100-Ω ±1% resistor. Refer to <a href="#">I/O and High Speed I/O in Arria 10 Devices</a> for the OCT impedance options for the desired OCT scheme. ↕
---------	---	--

- [Cyclone 10 GX Core Fabric and General Purpose I/Os Handbook](#)

I/O Standard	Calibrated OCT (Input)	
	R <sub>T</sub> (Ω)	RZQ (Ω)
SSTL-18 Class I	50	100
SSTL-18 Class II	50	100
SSTL-15 Class I	50	100
SSTL-15 Class II	50	100
SSTL-15	30, 40, 60, 120	240
SSTL-135	30, 40, 60, 120	240
SSTL-125	30, 40, 60, 120	240
SSTL-12	60, 120	240
POD12	34, 40, 48, 60, 80, 120, 240	240
1.8 V HSTL Class I	50	100
1.8 V HSTL Class II	50	100



# Cyclone<sup>®</sup> 10 GX + DDR3 の回路図確認 (8/8)



Cyclone<sup>®</sup> 10 GX

DDR3

- mem\_dq/dqs/dm : **終端不要**
  - FPGA 側、メモリー側ともに終端不要
  - OCT と ODT が用意されている
    - OCT (On-Chip Termination)
      - FPGA 側の内部終端
    - ODT (On-Die Termination)
      - SDRAM 側の内部終端
- VDD
  - 1.2V が接続されていること確認
- VTT, VREF
  - 0.6V が接続されていること確認

# macnica

## 免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記のご利用上の注意を一読いただいた上でご利用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がございましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

[株式会社マクニカ 半導体事業 お問い合わせフォーム](#)

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。