

アクティブ・シリアル・コンフィグレーション デザイン&デバッグガイドライン

株式会社マクニカ アルティマカンパニー
Rev.4

アジェンダ

- はじめに
- コンフィグレーションとは
- デザイン・ガイドライン
 - アクティブ・シリアル・コンフィグレーション
- デバッグ・ガイドライン
- まとめ
- Appendix

はじめに

本資料の目的

Altera FPGA では、設計ソフトウェア (Quartus® Prime 開発ソフトウェア) 上でのコンパイル (論理合成、配置、配線) 工程を経て、FPGA 内の物理リソースを設定・接続するデータを作成し、そのコンパイルデータを FPGA 内にダウンロードすることで所要の機能をハードウェアとして実現します。

一般的に、FPGA は SRAM ベースのテクノロジーで製造されており、電源を落とすと内部データが保持されなくなるため、外付け不揮発性メモリにコンパイルデータを格納し、電源投入時に FPGA 内にコンパイルデータをダウンロードする必要があります。この仕組みを「コンフィグレーション」と呼んでおり、Altera FPGA ではいくつかのコンフィグレーション方法が用意されています。

コンフィグレーション回路は後述するように 比較的単純な構成であり「枯れた機能」と考えられているにも関わらず、今日でもコンフィグレーションに関するサポートのリクエストは常に全体の約 20% を占め、また、一定の割合で「コンフィグレーションが失敗する」などのトラブルが発生しています。これは、以下のような要因が考えられています。

- ・FPGA 世代ごとに 回路構成や設定方法が微妙に異なること
- ・コンフィグレーションの方式や、暗号化、リモート・アップデートなどの機能が追加され、ユーザーマニュアルの分量が多くなってきていること
- ・FPGA の容量増加に伴うコンフィグレーション時間の短縮のためのクロックスピードが高速化していること

コンフィグレーションは最も初期段階で実行され、また 失敗すると FPGA が機能しないため、コンフィグレーションのトラブルはその後のお客様の開発工程に大きなインパクトを与えてしまいます。

本資料では、Quad SPI (QSPI) Flash を使用した 最もシンプルなアクティブ・シリアル・コンフィグレーションにおいて、基板設計上で注意すべき点、よくある不具合事例、およびその対処方法についてまとめています。

対象デバイスは、Stratix® V、Arria® V、Cyclone® V となっております。

(これ以前のファミリーや Arria® 10、Stratix® 10 では、若干の相違点がありますので、必ずそれぞれのデバイスのユーザーマニュアルを参照してください)

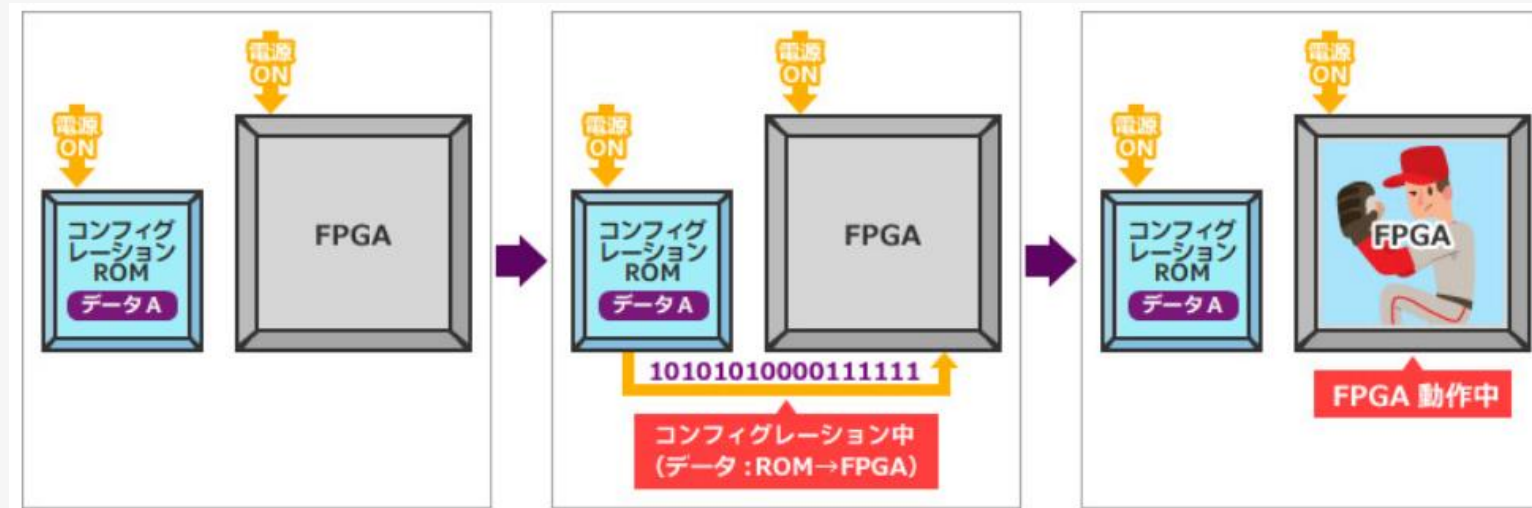
チェックリスト

<u>使用する FPGA に合った容量のコンフィグレーション ROM を選択しているか</u>	☐
<u>コンフィグレーション時間は要求仕様に収まっているか</u>	☐
<u>供給性を考慮してコンフィグレーション ROM を選択しているか</u>	☐
<u>対応 QSPI Flash を選択しているか</u>	☐
<u>MSEL ピンは正しいコンフィグレーション・モードに設定しているか</u>	☐
<u>コンフィグレーション・ピンは適切に処理（プルアップ）を行っているか</u>	☐
<u>JTAG ピンのプルアップ、プルダウン抵抗値は適切か</u>	☐
<u>nCE ピンは GND に接続しているか</u>	☐
<u>電源ピンは推奨動作条件内の電圧を印加しているか</u>	☐
<u>コンフィグレーションで使用する信号は波形測定ができるように考慮しているか</u>	☐
<u>IBIS シミュレーションを行い信号品質は問題ないか</u>	☐
<u>Quartus® Prime 開発ソフトウェアでコンフィグレーション・モードの設定を正しく行っているか</u>	☐
<u>Quartus® Prime 開発ソフトウェアで DCLK の周波数を 50MHz に設定しているか</u>	☐
<u>QSPI Flash と FPGA のタイミングを考慮した配線を行っているか</u>	☐

コンフィグレーションとは

コンフィグレーションとは

- FPGA に ROM から設計データを転送すること
 - SRAM ベースの FPGA の必須工程
 - 電源投入後自動的に開始
 - 事前のプログラミングが必要
 - ROM にデザインデータを書き込むこと



参考： [FPGA のコンフィグレーション](#)

主要コンフィグレーション・ピン

ピン名	属性	役割
nCONFIG	入力	・ コンフィグレーション開始のトリガーとなる信号 ・ コンフィグレーション中やユーザーモード中に外部から Low にドライブすると FPGA はコンフィグレーション・データを失い、リセットステートに移行する
nSTATUS	双方向 (オープンドレイン)	・ コンフィグレーションのステータスを表す信号 ・ コンフィグレーション中にエラーを検知すると、FPGA がこのピンを Low にドライブ ・ コンフィグレーション中、イニシャライゼーション中に外部から Low にドライブされると、FPGA はエラー状態となる
CONF_DONE	双方向 (オープンドレイン)	・ コンフィグレーション・データの転送の終了を示す信号 ・ すべてのコンフィグレーション・データをエラーなく受信すると FPGA はこのピンをリリース (Low 駆動を中止しトライステート) ・ 外部プルアップで High を認識するとイニシャライゼーション、ユーザー・モードへと移行
MSEL	入力	・ コンフィグレーション・モードを決める信号
INIT_DONE	出力	・ オプションピン ・ ユーザーモードへの遷移を表す信号 ・ コンフィグレーション終了後、ユーザーモードに遷移したことを示す

- パワーアップ/パワーオンリセット

- 各電源の推奨動作電圧までの立ち上がりを POR (パワーオンリセット) 回路によって監視
- パワーアップ・シーケンスおよび tRAMP 規定を守る必要がある
 - 全ユーザー I/O ピンはトリステート状態 (*)

- リセット

- MSEL の設定をサンプリングし、コンフィグレーション・モードの決定
 - 全ユーザー I/O ピンはトリステート状態 (*)

- コンフィグレーション

- コンフィグレーションの種類に合わせて FPGA にコンフィグレーション・データが展開される
 - 全ユーザー I/O ピンはトリステート状態 (*)

- コンフィグレーション・エラー・ハンドリング

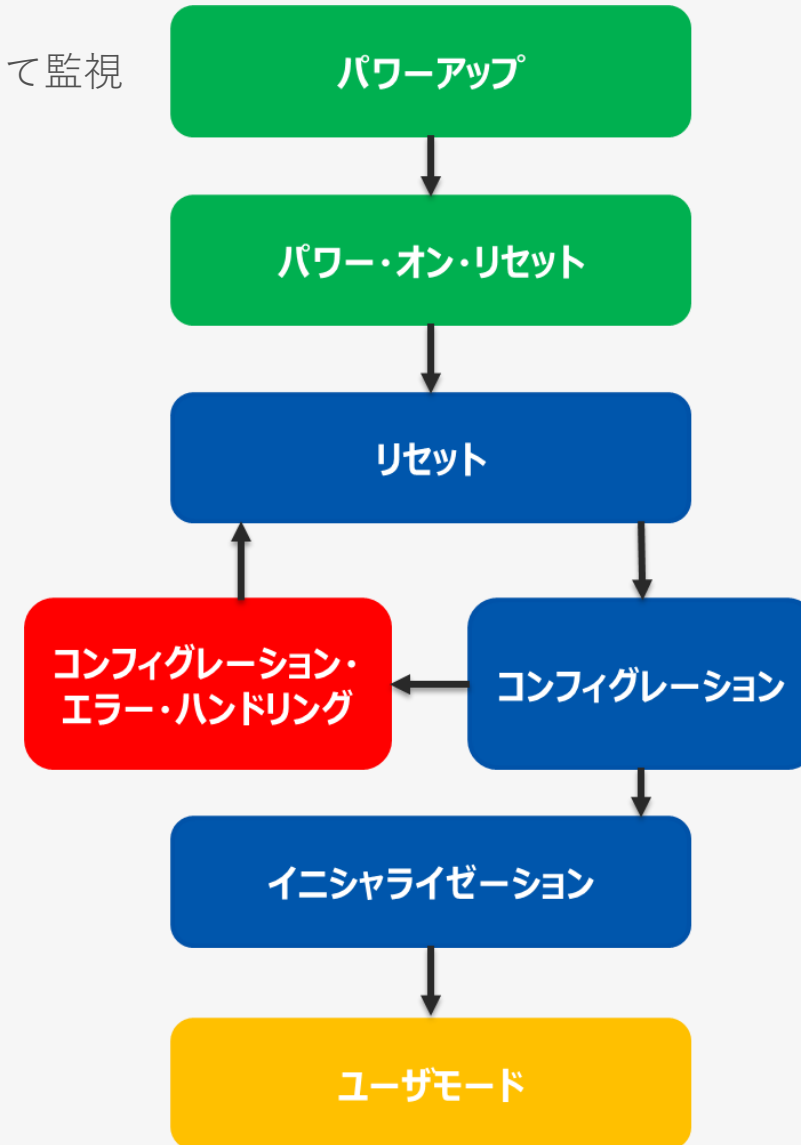
- 特定の要因でコンフィグレーションが失敗した際にリスタート
- nSTATUS の Low 遷移でエラー発生を確認することができる
 - 全ユーザー I/O ピンはトリステート状態 (*)

- イニシャライゼーション

- FPGA が動作するための初期化が行われる
- イニシャライゼーション終了後 I/O が有効となる

- ユーザモード

- ユーザーデザインで動作を開始する



コンフィグレーションの種類

モード	必要なデバイス	コンフィグレーション・データ幅 (ビット)	特徴
アクティブ・シリアル (AS)	EPCQ-A or QSPI Flash	x1 / x4	• 最もシンプルな構成 • シンプルに接続したいときに選択
パッシブ・シリアル (PS)	外部ホスト (CPLD, CPU) + Flash ROM	x1	• サードパーティーの様々な Flash ROM を使用可能 • 使用ピン数の節約をし、Flash ROM を使用したいときに選択
ファスト・パッシブ・パラレル (FPP)	外部ホスト (CPLD, CPU) + Flash ROM	x8 / x16 / x32	• コンフィグレーション時間を短くしたいときに選択 • 様々な Flash ROM を使用可能
JTAG	インテル® FPGA ダウンロード・ケーブル II	-	• 10 ピンヘッダー 1つで ROM 書き換え、デバッグの両運用が可能 (.jic, .sof 対応)

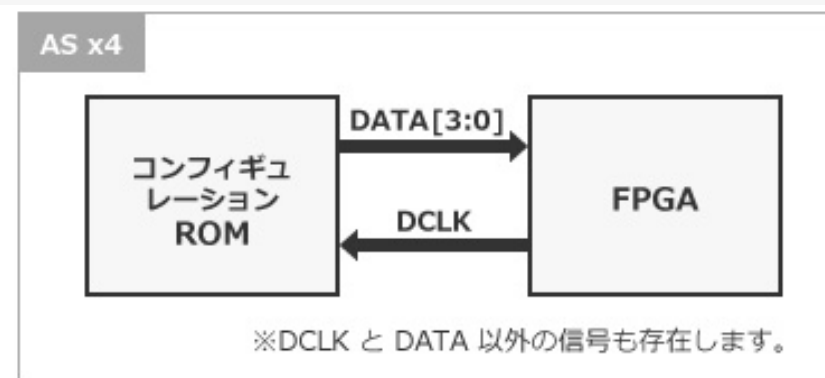
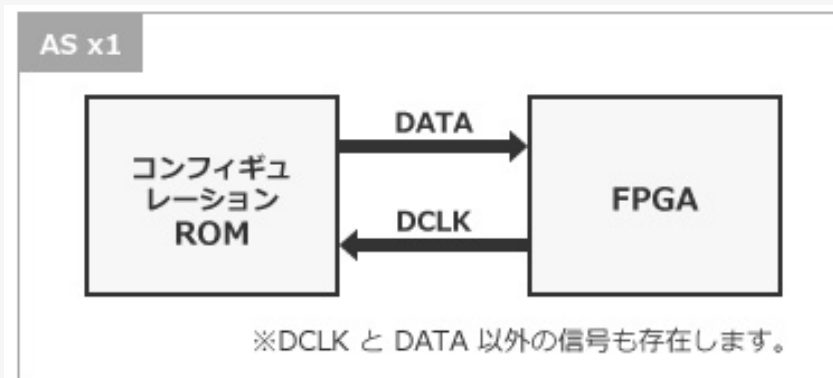
参考： [Device Configuration - Support Center](#)

デザイン・ガイドライン

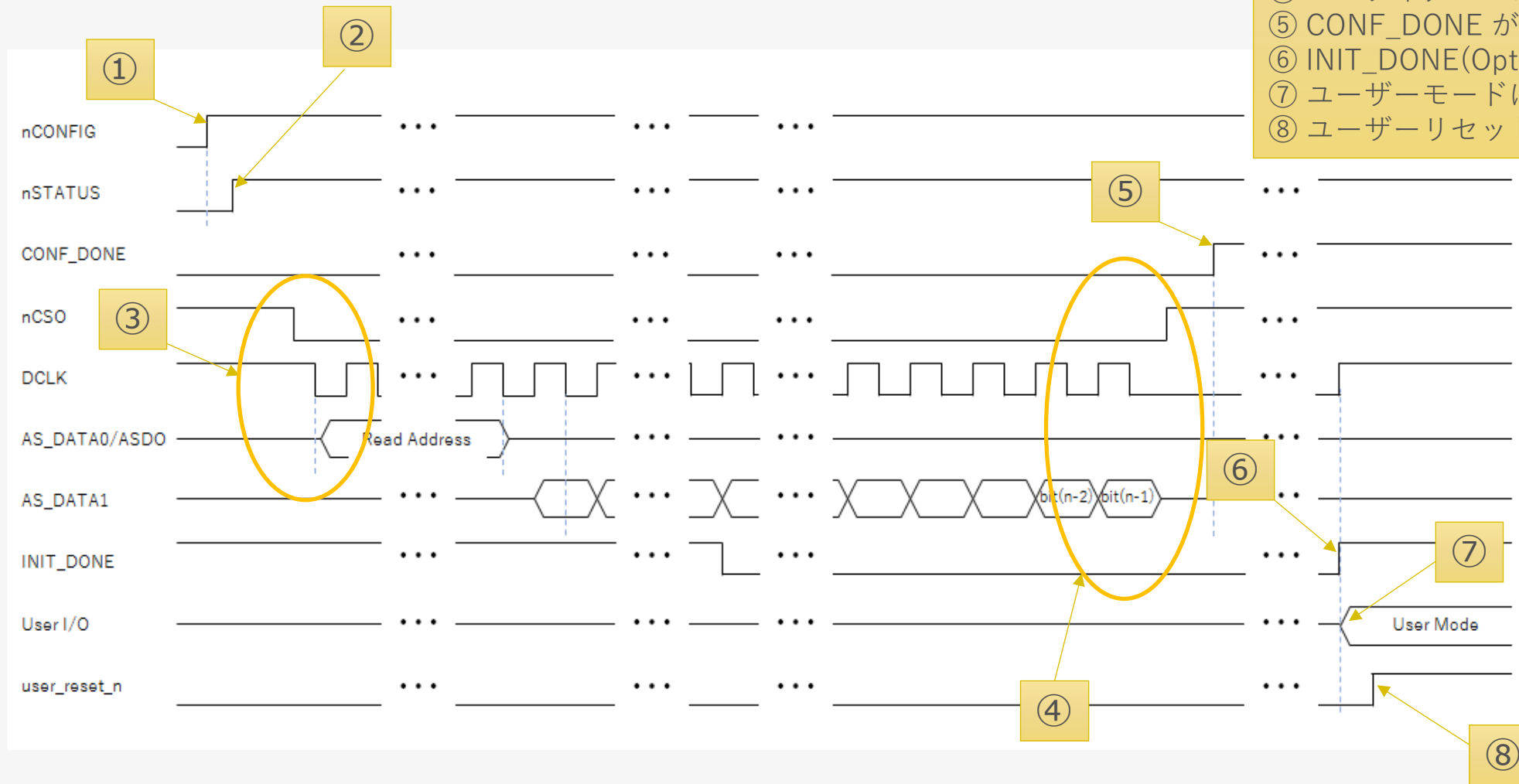
～アクティブ・シリアル・コンフィグレーション～

概要

- アクティブ・シリアル・コンフィグレーション (AS コンフィグレーション) とは
 - FPGA の コンフィグレーション・データをシリアル・フラッシュ ROM (EPCQ-A) に格納し、FPGA 内蔵のコンフィグレーション・コントローラーでコンフィグレーションを実行するモード
 - Quad モードに対応した ASx4 モード と Serial モード の ASx1 の2タイプが用意
 - 128Mbits 以下の場合は EPCQ-A (4/16/32/64/128Mbit) を使用
 - 256Mbits 以上の場合は QSPI Flash (Micron 社の MT25Qなど) を使用



AS コンフィグレーション・タイミング図



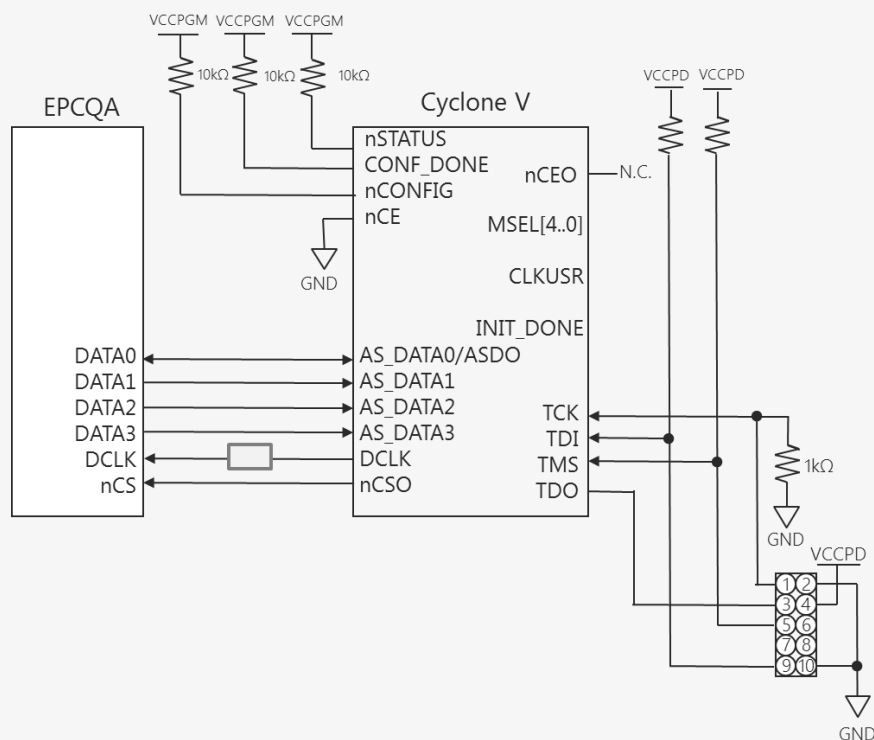
- ① nCONFIG を High (プルアップ or ドライブ)
- ② nSTATUS が High に遷移
- ③ コンフィグレーションが開始
- ④ コンフィグレーション・データの転送完了
- ⑤ CONF_DONE が High に遷移
- ⑥ INIT_DONE (Option) が High に遷移
- ⑦ ユーザーモードに移行
- ⑧ ユーザーリセットを解除

Appendix : CONF_DONE 信号と INIT_DONE 信号を使用した「[推奨リセット回路構成](#)」 参照

(補足) オンボード・プログラミング手法

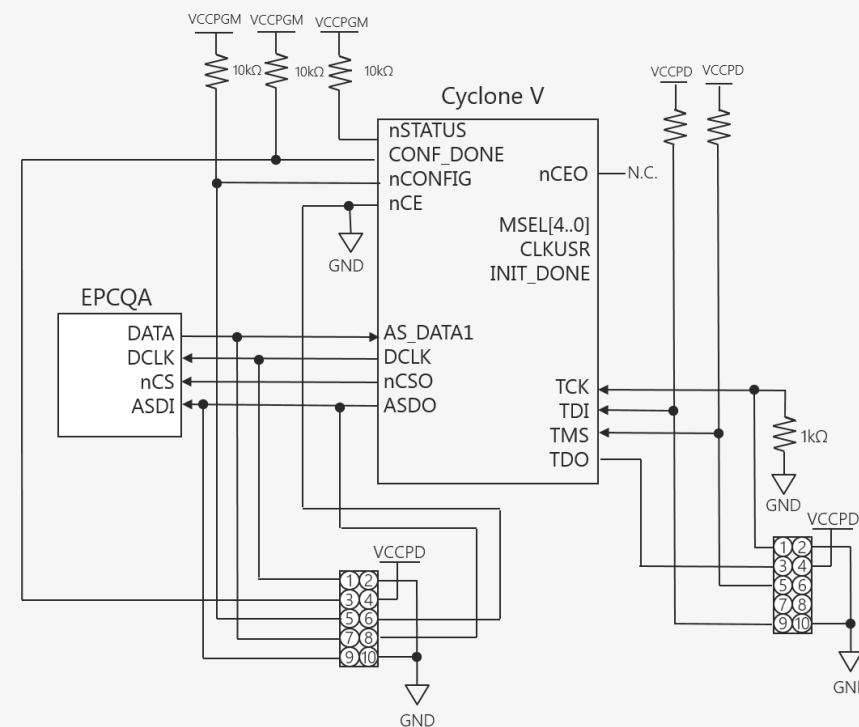
● JTAG-Indirect Mode (推奨)

- 下図のように FPGA の JTAG ピンから
コンフィグレーション・メモリーに書
き込む方法



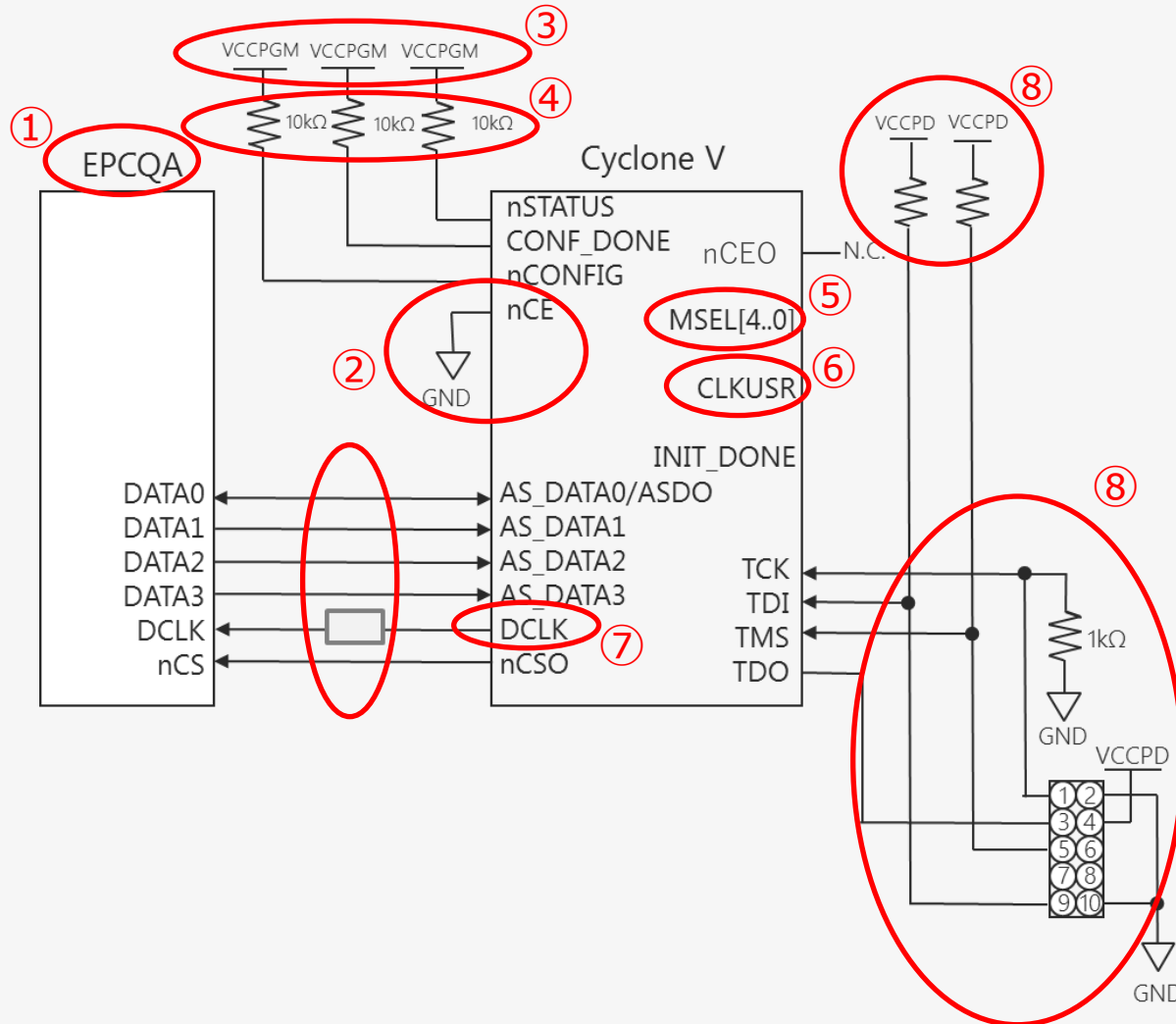
● AS Programming Mode

- 下図のように FPGA を経由せずに直接
コンフィグレーション・メモリーに書
き込む方法に書き込む方法



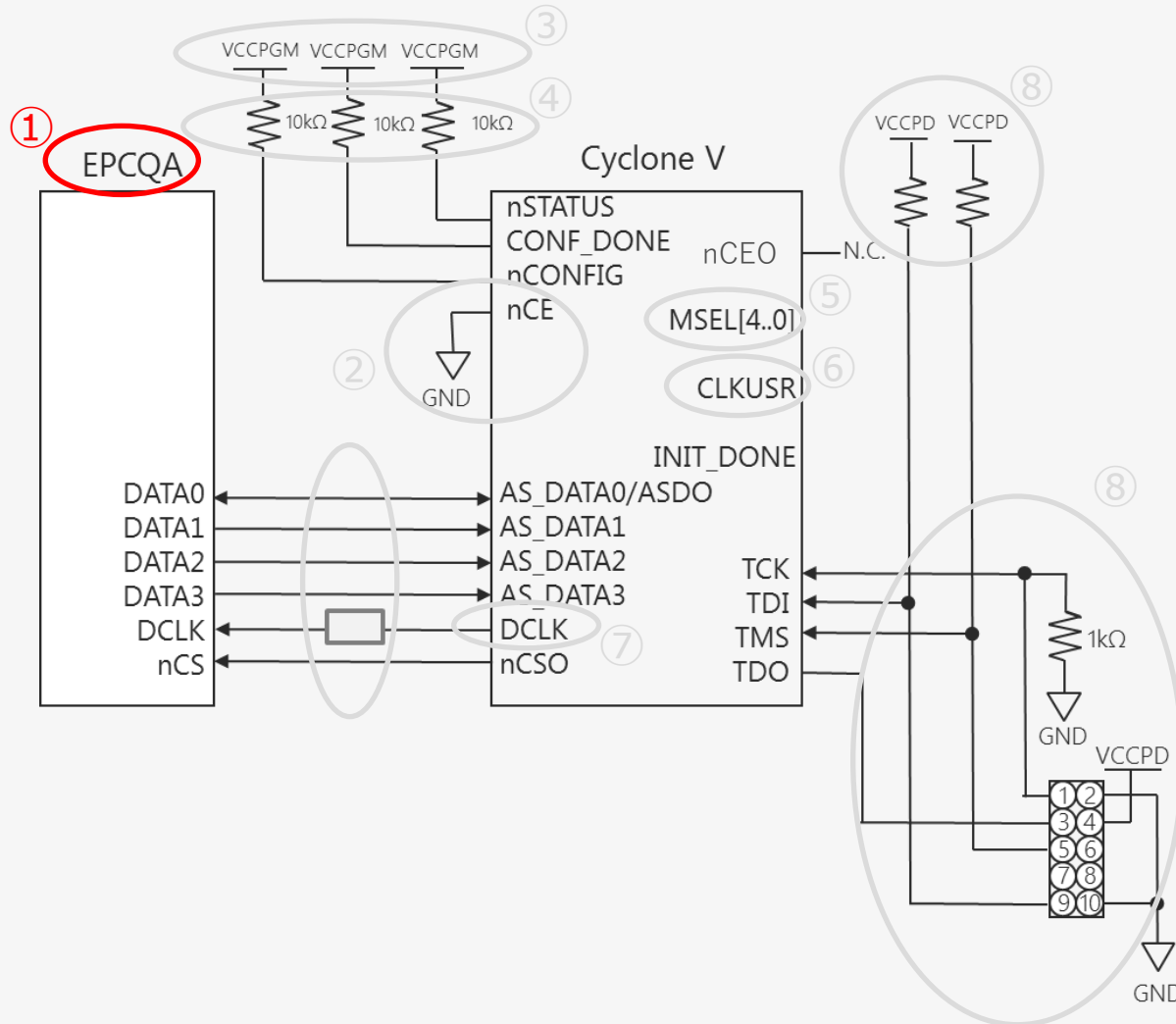
参考：[FPGA 経由で EPCQ デバイスへプログラミング\(JIC プログラミング\)](#)

AS コンフィグレーション設計ガイドライン 1/7



- ① 使用する FPGA のコンフィグレーションに対応しているコンフィグレーション ROM の確認
 - ・ [対応 QSPI Flash](#)
- ② FPGA-コンフィグレーション ROM の接続の確認
 - ・ 接続先の確認
 - ・ タイミングを考慮した配線接続の確認
- ③ プルアップ電圧の確認
 - ・ V シリーズは VCCPGM に接続
- ④ プルアップ抵抗値の確認
 - ・ 10kΩ が推奨
- ⑤ MSEL 設定の確認
- ⑥ CLKUSR の使用の有無、確認 (オプション)
 - ・ コンフィグレーション時間、タイミングに関与
- ⑦ DCLK の使用周波数の確認
 - ・ コンフィグレーション時間、タイミングに関与
- ⑧ JTAG コネクタとの接続確認

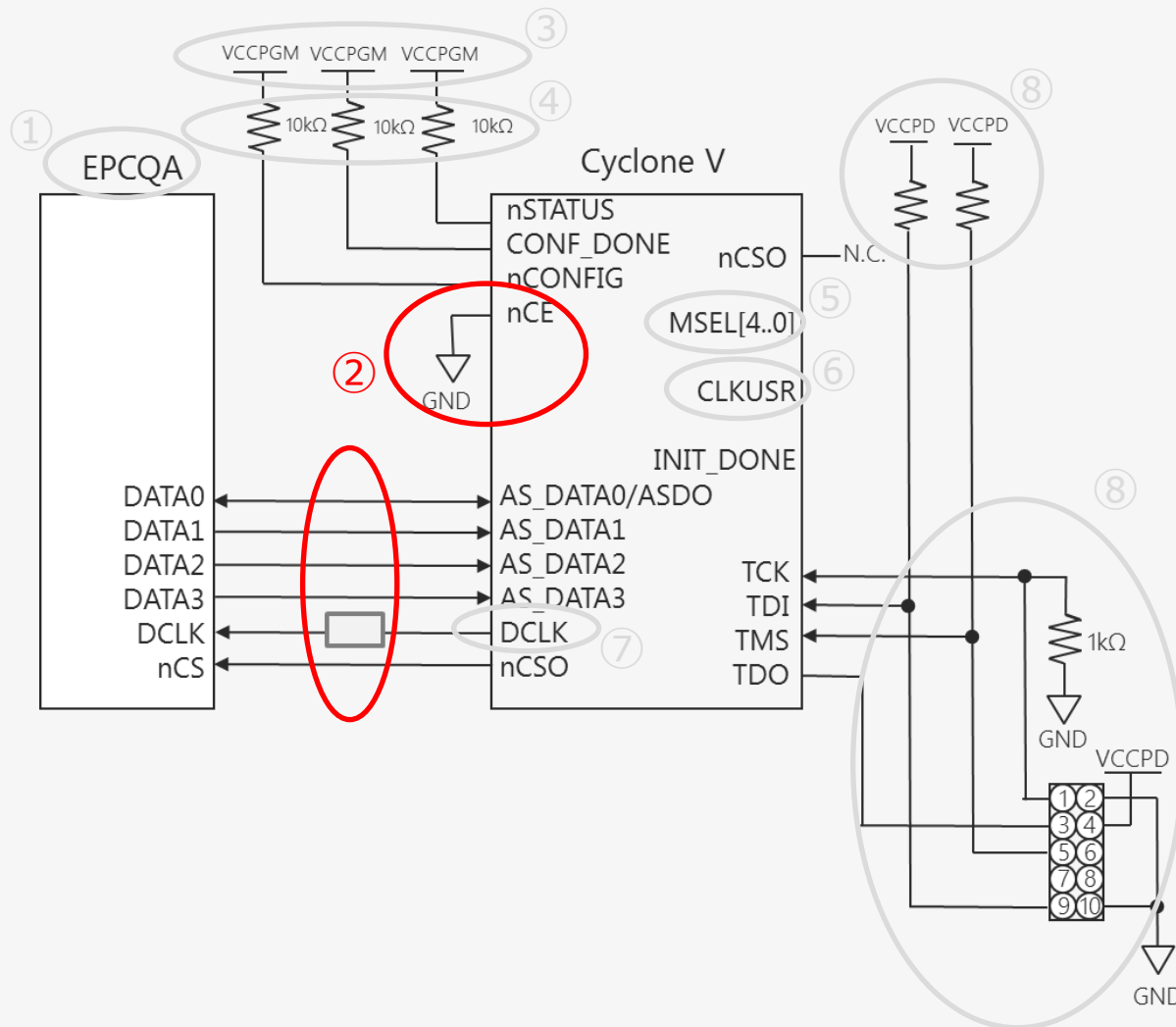
AS コンフィグレーション設計ガイドライン 2/7



① 使用する FPGA のコンフィグレーションに対応しているコンフィグレーション ROM の確認

- 128Mbits 以下の場合
 - EPCQ-A を使用
 - サポートしている QSPI Flash に関しては「[対応 QSPI Flash](#)」のスライドを参照する
- 256Mbits 以上の場合
 - QSPI Flash を使用
 - サポートしている QSPI Flash に関しては「[対応 3rd Party QSPI Flash](#)」のスライドを参照する

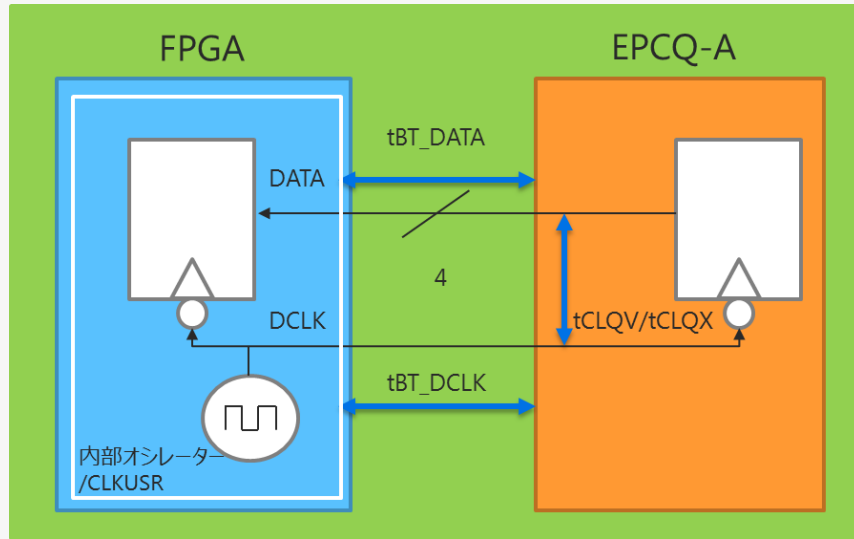
AS コンフィグレーション設計ガイドライン 3/7



② FPGA-コンフィギュレーション ROM の接続確認

- DCLK はバッファまたはダンピング抵抗が入るように設計する
 - バッファが推奨 (信号品質、遅延時間の観点)
 - DCLK にノイズがのるとコンフィグレーションに影響を与え、コンフィグレーション・エラーを起こす可能性がある
- DATA[3:0] は念のために ダンピング抵抗 (0Ω) が入るように設計する
- タイミングを考慮した接続・配線をする
⇒ [次ページ](#)
- ボード・シミュレーションを実施して信号品質・信号伝搬 遅延を確認する
- コンフィグレーションで使用する信号は 波形測定ができるように設計する (基板上で測定をできるようにする)
- nCE は GND に接続する

AS コンフィグレーション設計ガイドライン 4/7



t_{DCLK} = DCLK周期

t_{BT_DCLK} = FPGA から EPCQ-A への DCLK のボード伝搬遅延

t_{CLQV} = クロックの立下りからの データバリッド (MAX TCO)

t_{CLQX} = アウトプット・ホールド時間 (MIN TCO)

t_{BT_DATA} = EPCQ-A から FPGA へのデータのボード伝搬遅延

t_{DSU} = FPGA が要求する最小データ・セットアップ時間

t_{DH} = FPGA が要求する最小データ・ホールド時間

接続配線のタイミング確認方法

- データ・セットアップ・スラックは データの最小データ・セットアップ時間 (t_{DSU}) と同じか それよりも大きくなる必要がある

$$t_{DCLK} - (t_{BT_DCLK} + t_{CLQV} + t_{BT_DATA}) \geq t_{DSU}$$

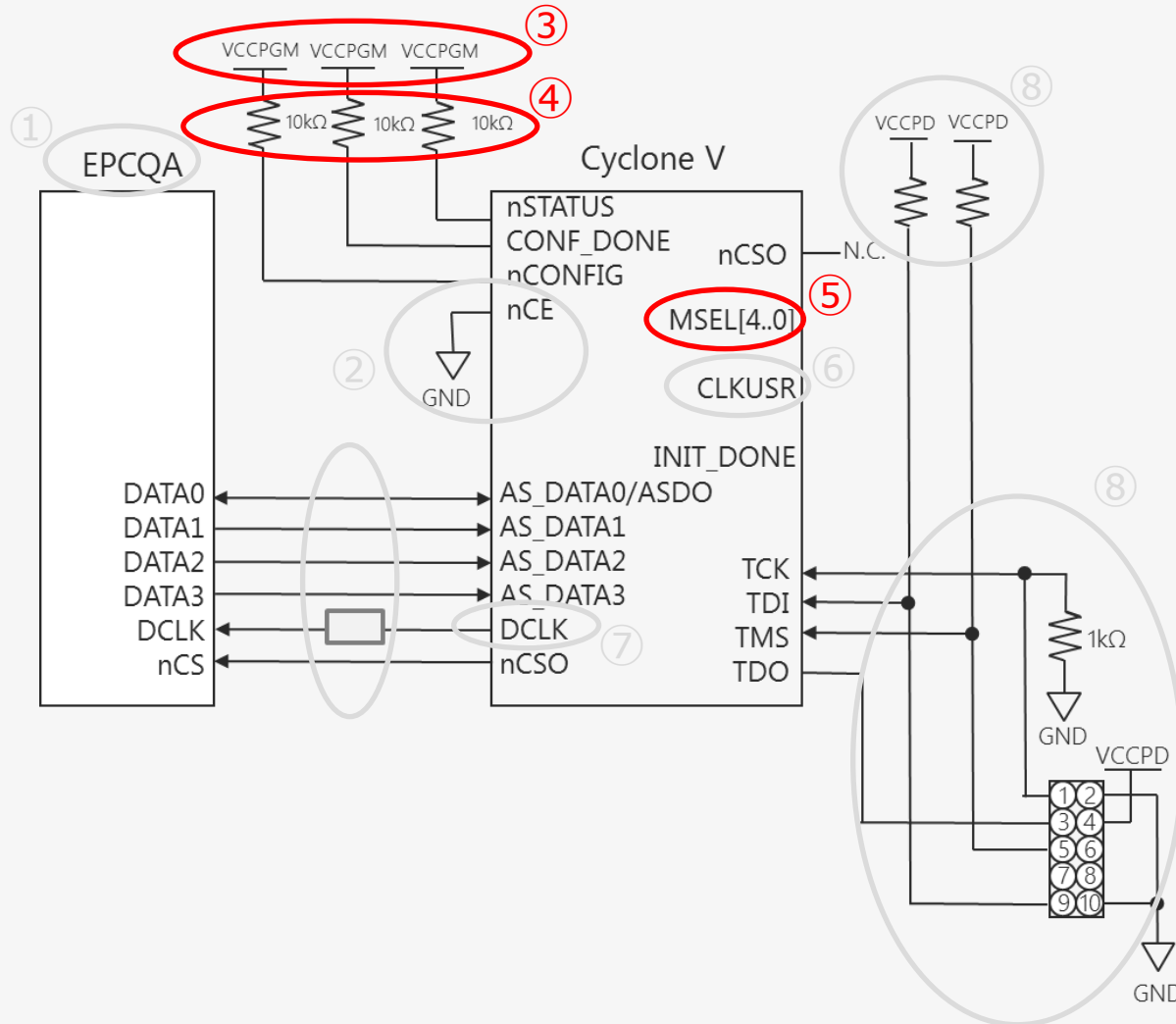
- ホールド時間のスラックは 最小データ・ホールド時間 (t_{DH}) と同じかそれよりも大きくなる必要がある

$$t_{BT_DCLK} + t_{CLQX} + t_{BT_DATA} \geq t_{DH}$$

- t_{CLQV}/t_{CLQX} : EPCQA (QSPI Flash) のデータシートを参照
- t_{DSU}/t_{DH} : FPGA のデータシートを参照
- ボード伝搬遅延値 (t_{BT_DCLK} , t_{BT_DATA}) : ユーザーのボードの値を使用

なお、上記の計算は机上で行う必要があります。

AS コンフィグレーション設計ガイドライン 5/7



③ プルアップ抵抗の接続確認

- nCONFIG、nSTATUS、CONF_DONEが VCCPGM に接続されているか確認する

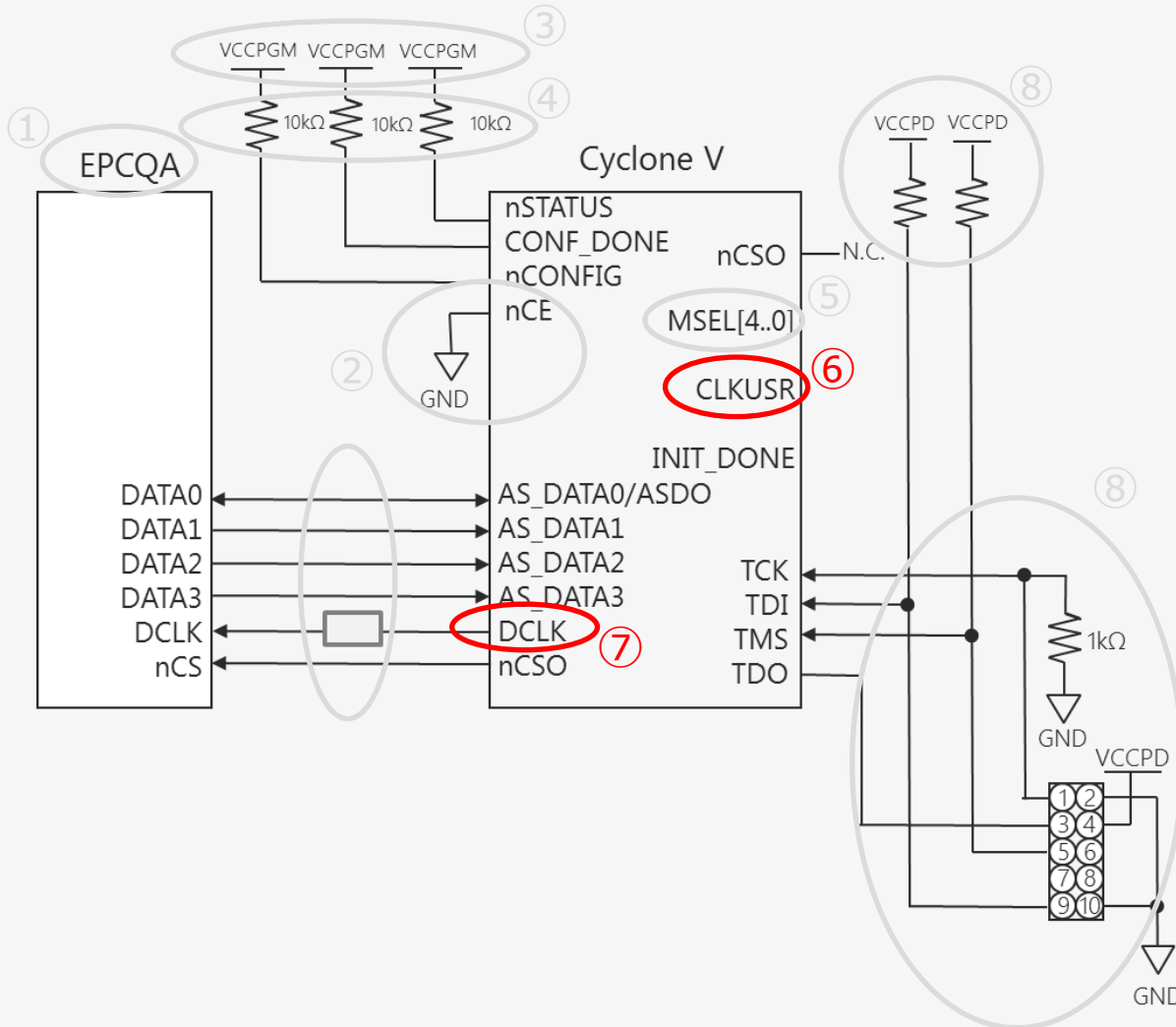
④ プルアップ抵抗値の確認

- プルアップの抵抗値が 10kΩ になっているか確認する
- LED を接続したい場合には FET (またはバッファ) を使用して分離する

⑤ MSEL 設定の確認

- AS モードの MSEL 設定になっているか確認する (Appendix : 「[MSEL ピン設定](#)」 参照)
- MSEL 設定を変更できるように VCCPGM または GND へ 0Ω 抵抗で切り替えられるように設計する
- Quartus® Prime の設定で、AS モードに設定されているか確認する (Appendix : 「[コンフィグレーション・モード設定](#)」 参照)

AS コンフィグレーション設計ガイドライン 6/7



⑥ CLKUSR の使用の確認

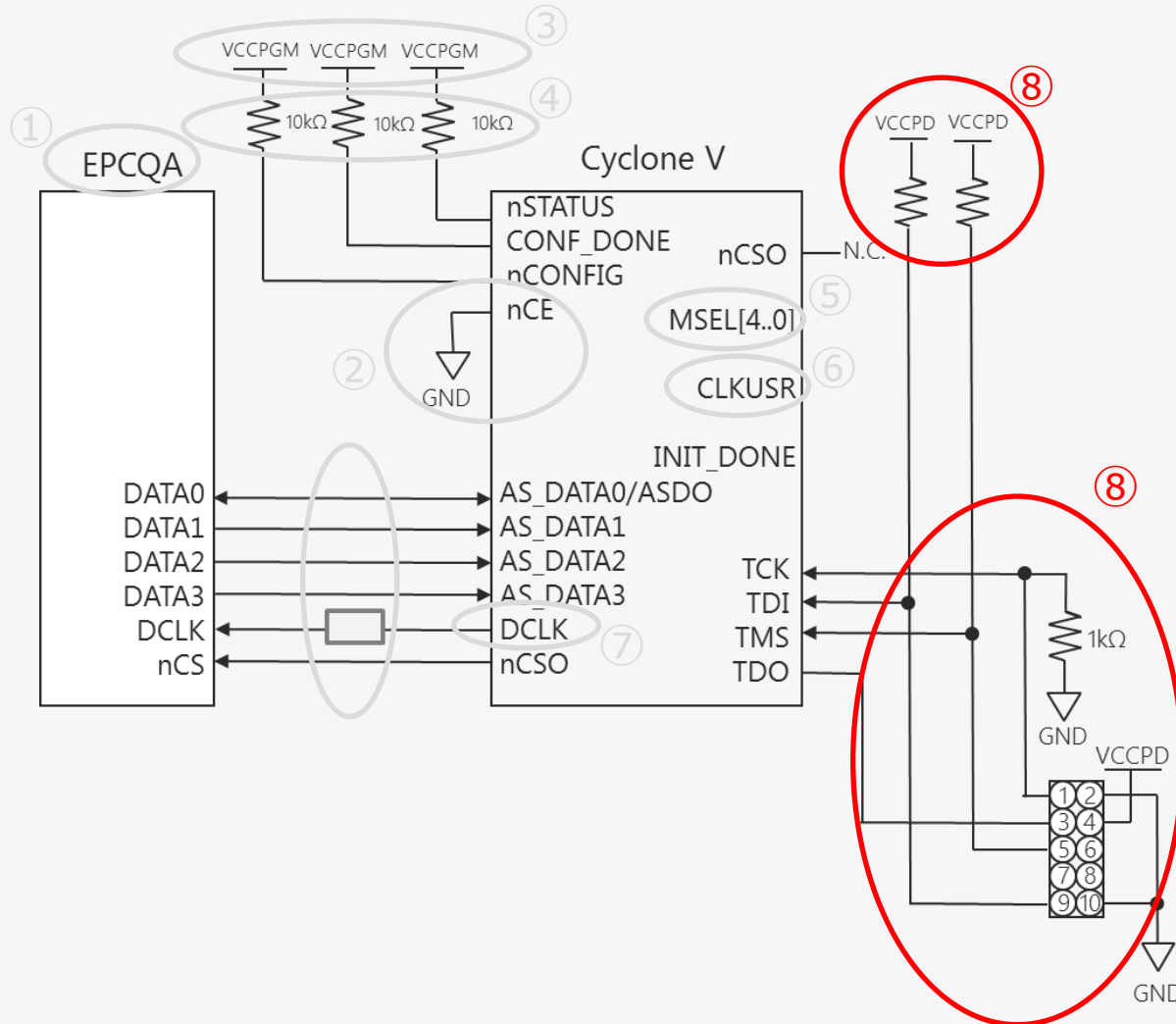
- DCLK は内部オシレーターまたは CLKUSR ピンから供給する
- ユーザー側で DCLK に供給するクロックをコントロールする場合には CLKUSR を使用することも可能 (オプション機能)
- CLKUSR ピンを使用する際には、Quartus® Prime にて Device and Pin Options ダイアログ・ボックスの Configuration ページで機能を有効にする (Appendix : 「[CLKUSR ピンの設定](#)」 参照)

⑦ DCLK の周波数の確認

- 使用する ROM が該当の周波数をサポートしているか確認する

注① : AS モード ではデフォルト 100MHz 設定になっているが、**50MHz 以下**での使用を推奨 (Appendix: 「[DCLK 周波数の変更方法](#)」 参照)

AS コンフィグレーション設計ガイドライン 7/7



⑧ JTAG ピンとの接続確認

- TDI, TMS が対応するバンクの VCCPD でプルアップされているか確認する
 - 抵抗値は 1k~10kΩ
- TCK が 1kΩ でプルダウンされているか確認する
- TDO が 10 ピンコネクタに直結しているか確認する
 - プルアップ、プルダウンは不要

書き込み用ケーブルはインテル® FPGA ダウンロード・ケーブル II を推奨

参考：[ダウンロード・ケーブル](#)

対応 QSPI Flash



Vendor	Parts Number	容量 (ビット)	x1 / x4	パッケージ	動作実績	その他
Altera	EPCQ4ASI8N	4 Mbits	x1 / x4	SOIC 8pin	○	Quartus® Prime 17.1 以降の Programmer で対応
	EPCQ16ASI8N	16 Mbits	x1 / x4	SOIC 8pin	○	
	EPCQ32ASI8N	32 Mbits	x1 / x4	SOIC 8pin	○	
	EPCQ64ASI16N	64 Mbits	x1 / x4	SOIC 16pin	○	
	EPCQ128ASI16N	128 Mbits	x1 / x4	SOIC 16pin	○	

対応 3rd Party QSPI Flash



Vendor	Parts Number	容量 (ビット)	x1 / x4	パッケージ	動作実績	その他
Micron	MT25QL128ABA8ESF-0SIT	128 Mbits	x1 / x4	SO16 Wide	○	Quartus® Prime 17.1 以降の Programmer で対応 (ver.17.1 の場合は、.ini が必要)※1
	MT25QL256ABA8ESF-0SIT	256 Mbits	x1 / x4	SO16 Wide	○	
	MT25QL512ABB8ESF-0SIT	512 Mbits	x1 / x4	SO16 Wide	○	
	MT25QL01GBBB8ESF-0SIT	1 Gbits	x1 / x4	SO16 Wide	○	
	MT25QL02G	2 Gbits	x1 / x4	SO16 Wide	-	
Macronix	MX25L12833FMI-10G	128 Mbits	x1 / x4	SO16 Wide	○	Quartus® Prime 18.1 以降の Programmer で対応
	MX25L25645GMI-08G	256 Mbits	x1 / x4	SO16 Wide	○	Quartus® Prime の Programmer ver.18.1+patch 以降で対応 ※2
	MX25L51245GMI-08G	512 Mbits	x1 / x4	SO16 Wide	○	
Cypress	S25FL128SAGMFI000	128 Mbits	x1 / x4	SO16 Wide	○	Quartus® Prime の Programmer ver.18.1+patch 以降で対応 ※3
	S25FL256SAGMFI000	256 Mbits	x1 / x4	SO16 Wide	○	
	S25FL512SAGMFI0I0	512 Mbits	x1 / x4	SO16 Wide	○	

※ 1 [How do I enable Micron's MT25Q device support in replacement to End Of Life \(EOL\) EPCQ\(>=256Mb\) and EPCQ-L devices?](#)

※ 2 [Why does the active serial \(AS\) configuration fail in Intel® Stratix® V, Intel® Arria® V and Intel® Cyclone® V device, when using a 256Mbit or larger density of Macronix MX25L or Cypress S25FL-S device for configuration device?](#)

※ 3 [Why do Cypress* flash devices S25FL256 and S25FL512 not get programmed with Intel® Quartus® Prime Standard edition software version 18.1 when using Intel® Cyclone® 10 LP or legacy devices?](#)

※参考：最新の対応状況は [Device Configuration - Support Center](#) (Table 4 - Intel Supported Third Party Configuration Devices) にてご確認ください

デバッグ・ガイドライン

～アクティブ・シリアル・コンフィグレーション～

初期確認フロー



デバッグフロー

コンフィグレーションが正常に終了しない



① CONF_DONE ピンが High になっているか



② nSTATUS の振る舞いはどうか



③ MSEL および nCE が正しく接続されているか



④ JTAG から SOF ファイルをコンフィグし、動作するか



⑤ DCLK の波形は問題無いか



⑥ nCONFIG をトグルさせたら、どうなるか



⑦ 簡易ロジックで動作させたら、どうなるか



⑧ DCLK の周波数を変更したら、どうなるか

コンフィグレーションが完了しているか、データを全て送信完了しているかを確認

SOF ファイルを使用して、FPGA 自体に問題が無いかを確認

意図したコンフィグレーション・モードになっているかを確認

クロック波形に異常があるかどうかを確認

定期的: ROM データ異常の可能性もあり
不定期: 電源や DCLK などの SI の可能性あり

電源立上げ時のみの問題かを切り分け

電源などに依存性があるかを確認

周波数依存性があるかを確認

改善した場合は
「[Power & Thermal デザイン & デバッグ・ガイドライン](#)」を参照

コンフィグレーション不具合事例 1/2

	現象	原因	対策
①-1	コンフィグレーションが完了しない	CONF_DONE 信号を LED にそのまま接続していたため、CONF_DONE 信号が High になりきっていなかった	FET を使用することで High にドライブされ正常にコンフィグレーションが完了するようになった
①-2	コンフィグレーションが完了しない。 CONF_DONE 信号が High になりきる前に、再度 Low に落ちてしまう	CONF_DONE の立ち上がり時間の問題 負荷容量が大きく、CONF_DONE に接続されているデバイスのいくつかを外すとコンフィグレーションが正常に終了した	Disable AS Mode CONF_DONE error check 設定を OFF にすることで正常にコンフィグレーションが完了するようになった
②-1	電源投入後コンフィグレーションが完了しないが、しばらく経って、FPGA が温まるとコンフィグレーションが完了する	MSEL ピンを外部でプルアップしていたため。MSEL ピンは内部でプルダウンされているため、外部プルアップ定数によりレベルが正しく認識されなかった	プルアップ抵抗を 0Ω にすることで電源投入時から正常にコンフィグレーションが完了するようになった
②-2	<u>コンフィグレーションが完了しない。 nSTATUS 信号を観測すると、一定間隔で Low → High を繰り返している</u>	Arria® 10 のプロダクション・デバイスに対して、ES デバイス用の POF を書き込んでいたため	プロダクション・デバイス用の POF を使用することで、正常にコンフィグレーションが完了するようになった
③-1	コンフィグレーションが完了しないボードがある。コンフィグレーションが完了しないボードでも、たまに成功する場合がある	<u>nCE ピンをオープンにしていたため</u>	nCE ピンを GND に処理することですべてのボードでコンフィグレーションが成功するようになった
③-2	JTAG で Auto Detect を実行したところ、異なる JTAG ID が見え、SOF を書き込めない	CPLD の Weak Pull-Up で MSEL の High を設定しており、FPGA の Power-Up 時に MSEL が中間電位になっており、データシート上のどの値にもなっていなかった。その結果、FPGA の JTAG ID が異なる値に見えていた	MSEL に 0Ω 抵抗を接続したところ、改善
③-3	コンフィグレーションが実行されない。 電源を確認したところ、電源がノコギリ刃状になっていた。	CPLD の Weak Pull-Up で MSEL の High を設定しており、FPGA の Power-Up 時に MSEL が中間電位になっており、データシート上のどの値にもなっていなかった。その結果、FPGA に 予期せぬ Rush Current が発生し、電源 IC の Current Limit が働いて Power-Up が正常にできていなかった	MSEL の値をデータシートに記載のある値に変更したところ、改善

コンフィグレーション不具合事例 2/2

	現象	原因	対策
⑤-1	コンフィグレーションが完了しない。 nSTATUS 信号を観測すると、不定期で Low → High を繰り返している	<u>DCLK を観測すると、反射の影響をうけており、DCLK 信号が段差になっていた</u>	ダンピング抵抗値を変更することで反射がなくなり、コンフィグレーションが成功するようになった
⑤-2	コンフィグレーションが完了しなかったため、DCLK の信号を観測するためプローブをあてたところ、正常にコンフィグレーションが完了した	DCLK が反射の影響をうけており、パッシブプローブを充てることで DCLK の反射が緩和されてコンフィグレーションが成功するようになった。アクティブプローブを充てると DCLK の反射が確認できた。	ダンピング抵抗やコンデンサーを入れることで反射がなくなりコンフィグレーションが成功するようになった
⑥-1	コンフィグレーションが完了しないボードがある	Power-On 時にコア電源が単調増加していなかった	Power-On 時の電源のドロップを改善することで正常にコンフィグレーションが完了するようになった
⑦-1	コンフィギュレーションが完了しない	電源の容量が足りなかったため、ユーザーモード移行時に電源が揺らいでしまっていた	電源の容量を増やすことで正常にコンフィグレーションが完了するようになった
⑧-1	コンフィグレーションが完了しないボードがある	FPGA と ROM のボードレイアウト (配線長) が適切でなかったためセットアップ・タイミングを満たせていなかった	DCLK の周波数を落とすことでセットアップ・タイミングを満たすようになった

プログラミング不具合事例

	現象	原因	対策
1	JTAG 経由で JIC を使って ROM に書込みができない	空の ROM の場合、コンフィグレーションが繰り返し実行され、JTAG からの書き込みに影響をおよぼしてしまっていたため	「Halt on-chip configuration controller」設定を無効にすることで書き込みができるようになった (設定方法は Appendix : 「 プログラマー設定 」 参照)
2	インテル® FPGA ダウンロード・ケーブルではプログラムできていたが、インテル® FPGA ダウンロード・ケーブル II を使用するとプログラム時にエラーが発生してしまう	TCK の周波数が早いため、TCK の波形が乱れていたため	インテル® FPGA ダウンロード・ケーブル II の TCK 周波数を落とすことでプログラムが成功した
3	インテル® FPGA ダウンロード・ケーブルが認識されなくなった	ボードに電源が入ったままケーブルを抜き差ししたら壊れた	FPGA が搭載されているボードの電源を OFF にしてからケーブルの抜き差しをする
4	JTAG 経由で JIC を使って ROM に書込みができないため、TCK の信号品質を確認しようとしてプローブをあてると書き込みができるようになった	パッシブプローブをあてることで TCK の反射などの乱れが緩和され書き込みができるようになった	TCK にダンピング抵抗を挿入することで書き込みができるようになった

参考：トラブル・シューティング

- 「インテル® FPGA：アクティブ・シリアル・コンフィグレーションが成功しないときのチェックシート」を参照
<https://www.macnica.co.jp/business/semiconductor/articles/intel/120709/>
- デバイス・コンフィグレーション – サポートセンター
<https://www.intel.co.jp/content/www/jp/ja/support/programmable/support-resources/design-guidance/configuration-support.html>

まとめ

コンフィグレーションは FPGA を使用する上で必須の工程であり、コンフィグレーションが失敗するとユーザーデザインの動作検証を行うことが全くできなくなってしまう、その後のお客様の開発工程に大きなインパクトを与えてしまいます。

そのため、Altera では各 FPGA ファミリーに対応したコンフィグレーションの資料を用意しており、それらの資料に従って設計することが必要です。

本資料では、最もシンプルなコンフィグレーション手法である アクティブ・シリアル・コンフィグレーションに関して、基板設計上で注意すべき点、よくある不具合事例、およびその対処方法についてまとめました。

本資料が お客様の確実に動作する基板設計 および 迅速なトラブル解決の一助となれば幸いです。



- ・本資料に記載されている会社名、商品またはサービス名等は各社の商標または登録商標です。なお、本資料中では、「™」、「®」は明記しておりません。
- ・本資料のすべての著作権は、第三者または株式会社マクニカに属しており、(著作権法で許諾される範囲を超えて) 無断で本資料の全部または一部を複製・転載等することを禁じます。
- ・本資料は作成日現在における情報を元に作成されておりますが、その正確性、完全性を保証するものではありません。

Appendix

Appendix：アジェンダ

- ピン・コネクション・ガイドライン
- 回路図レビュー・ワークシート
- MSEL ピン設定
- FPGA のデータ容量
- AS コンフィグレーション時間
- コンフィグレーション中の I/O 状態
- 推奨リセット回路構成
- Dummy Clock Cycles
- デバッグ波形
- AS Multi-Device コンフィグレーション
- Quartus® Prime 設定
 - コンフィグレーション・モード設定
 - CLKUSR ピンの設定
 - DCLK 周波数の変更方法
 - プログラマー設定

ピン・コネクション・ガイドライン

- Stratix® V E/GX

<https://www.intel.com/content/www/us/en/content-details/654882/stratix-v-es-gs-and-gx-device-family-pin-connection-guidelines.html>

- Stratix® V GT

<https://www.intel.com/content/www/us/en/content-details/653776/stratix-v-gt-device-family-pin-connection-guidelines.html>

- Arria® V GX/GT

<https://www.intel.com/content/www/us/en/content-details/653758/arrja-v-gt-gx-st-and-sx-device-family-pin-connection-guidelines.html>

- Arria® V GZ

<https://www.intel.com/content/www/us/en/content-details/654234/arrja-v-gz-device-family-pin-connection-guidelines.html>

- Cyclone® V

<https://www.intel.com/content/www/us/en/content-details/654351/cyclone-v-gx-gt-e-sx-st-and-se-device-family-pin-connection-guidelines.html>

回路図レビュー・ワークシート

- Top Page

<https://www.intel.co.jp/content/www/jp/ja/programmable/support/support-resources/download/board-layout-test/schematic-review-ws.html>

- Stratix® V

https://www.intel.co.jp/content/dam/altera-www/global/en_US/others/download/board-layout-test/schematic-review-ws/worksheets/Stratix_V_GX_GS_E_Schematic_Review_Worksheet.doc

- Arria® V

https://www.intel.co.jp/content/dam/altera-www/global/en_US/others/download/board-layout-test/schematic-review-ws/worksheets/Arria_V_GX_GT_SX_ST_Schematic_Review_Worksheet.doc
https://www.intel.co.jp/content/dam/altera-www/global/en_US/others/download/board-layout-test/schematic-review-ws/worksheets/Arria_V_GZ_Schematic_Review_Worksheet.doc

- Cyclone® V

https://www.intel.co.jp/content/dam/altera-www/global/en_US/others/download/board-layout-test/schematic-review-ws/worksheets/Cyclone_V_Schematic_Review_Worksheet.doc

MSEL ピン設定 1/4



● MSEL ピン設定 (FPGA コンフィグレーション)

Device Family	Config Mode	Compression	Design Security	VCCPGM	POR Delay	MSEL[4:0]
Arria® V (GZ除く) Cyclone® V	FPP x8	Disabled	Disabled	1.8/2.5/3.0/3.3	Fast	10100
					Standard	11000
		Disabled	Enabled	1.8/2.5/3.0/3.3	Fast	10101
					Standard	11001
		Enabled	Enabled/Disabled	1.8/2.5/3.0/3.3	Fast	10110
					Standard	11010
	FPP x16	Disabled	Disabled	1.8/2.5/3.0/3.3	Fast	00000
					Standard	00100
		Disabled	Enabled	1.8/2.5/3.0/3.3	Fast	00001
					Standard	00101
		Enabled	Enabled/Disabled	1.8/2.5/3.0/3.3	Fast	00010
					Standard	00110
	PS	Enabled/Disabled	Enabled/Disabled	1.8/2.5/3.0/3.3	Fast	10000
					Standard	10001
	AS (x1, x4)	Enabled/Disabled	Enabled/Disabled	3.0/3.3	Fast	10010
					Standard	10011

MSEL ピン設定 2/4



● MSEL ピン設定 (FPGA コンフィグレーション)

Device Family	Config Mode	Compression	Design Security	VCCPGM	POR Delay	MSEL[4:0]
Stratix® V Arria® V GZ	FPP x8	Disabled	Disabled	1.8/2.5/3.0	Fast	10100
					Standard	11000
		Disabled	Enabled	1.8/2.5/3.0	Fast	10101
					Standard	11001
		Enabled	Enabled/Disabled	1.8/2.5/3.0	Fast	10110
					Standard	11010
	FPP x16	Disabled	Disabled	1.8/2.5/3.0	Fast	00000
					Standard	00100
		Disabled	Enabled	1.8/2.5/3.0	Fast	00001
					Standard	00101
		Enabled	Enabled/Disabled	1.8/2.5/3.0	Fast	00010
					Standard	00110
	FPP x32	Disabled	Disabled	1.8/2.5/3.0	Fast	01000
					Standard	01100
		Disabled	Enabled	1.8/2.5/3.0	Fast	01001
					Standard	01101
		Enabled	Enabled/Disabled	1.8/2.5/3.0	Fast	01010
					Standard	01110
	PS	Enabled/Disabled	Enabled/Disabled	1.8/2.5/3.0	Fast	10000
					Standard	10001
	AS (x1, x4)	Enabled/Disabled	Enabled/Disabled	3.0/3.3 ※	Fast	10010
					Standard	10011

MSEL ピン設定 3/4



● MSEL ピン設定 (HPS 経由のコンフィグレーション)

Device Family	Config Mode	Compression	Design Security	POR Delay	MSEL[4:0]	cfgwidth	cdrratio	Partial Reconfiguration
Arria® V SoC	FPP x16	Disabled	AES Disabled	Fast	00000	0	1	○
				Standard	00100	0	1	○
		Disabled	AES Enabled	Fast	00001	0	2	○
				Standard	00101	0	2	○
		Enabled	Optional	Fast	00010	0	4	○
				Standard	00110	0	4	○
	FPP x32	Disabled	AES Disabled	Fast	01000	1	1	×
				Standard	01100	1	1	×
		Disabled	AES Enabled	Fast	01001	1	4	×
				Standard	01101	1	4	×
		Enabled	Optional	Fast	01010	1	8	×
				Standard	01110	1	8	×
Cyclone® V SoC	FPP x16	Disabled	AES Disabled	Fast	00000	0	1	○
				Standard	00100	0	1	○
		Disabled	AES Enabled	Fast	00001	0	2	○
				Standard	00101	0	2	○
		Enabled	Optional	Fast	00010	0	4	○
				Standard	00110	0	4	○
	FPP x32	Disabled	AES Disabled	Fast	01000	1	1	×
				Standard	01100	1	1	×
		Disabled	AES Enabled	Fast	01001	1	4	×
				Standard	01101	1	4	×
		Enabled	Optional	Fast	01010	1	8	×
				Standard	01110	1	8	×

MSEL ピン設定 4/4



- MSEL ピン設定（ハンドブックのリンク先）

- Stratix[®] V

- <https://www.intel.com/content/www/us/en/docs/programmable/683665/current/msel-pin-settings.html>

- Arria[®] V

- <https://www.intel.com/content/www/us/en/docs/programmable/683213/current/msel-pin-settings.html>

- Arria[®] V SoC (HPS 経由)

- <https://www.intel.com/content/www/us/en/docs/programmable/683011/current/fpga-configuration-79225.html>

- Cyclone[®] V

- <https://www.intel.com/content/www/us/en/docs/programmable/683375/current/msel-pin-settings.html>

- Cyclone[®] V SoC (HPS 経由)

- <https://www.intel.com/content/www/us/en/docs/programmable/683126/current/fpga-configuration-79225.html>

FPGA のデータ容量

● FPGA のデータ容量 (Raw Binary File Size)

- Stratix[®] V

<https://www.intel.com/content/www/us/en/content-details/654086/volume-2-stratix-v-device-datasheet.html>

- Arria[®] V

<https://www.intel.com/content/www/us/en/docs/programmable/683022/current/configuration-files-97661.html>

- Cyclone[®] V

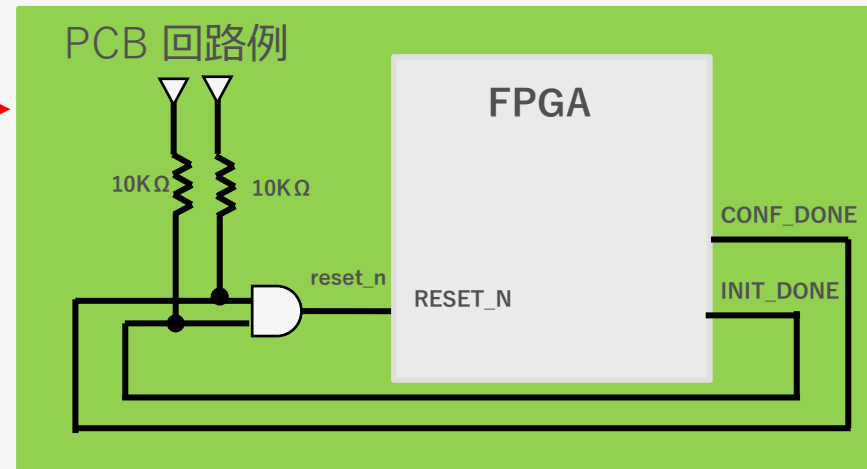
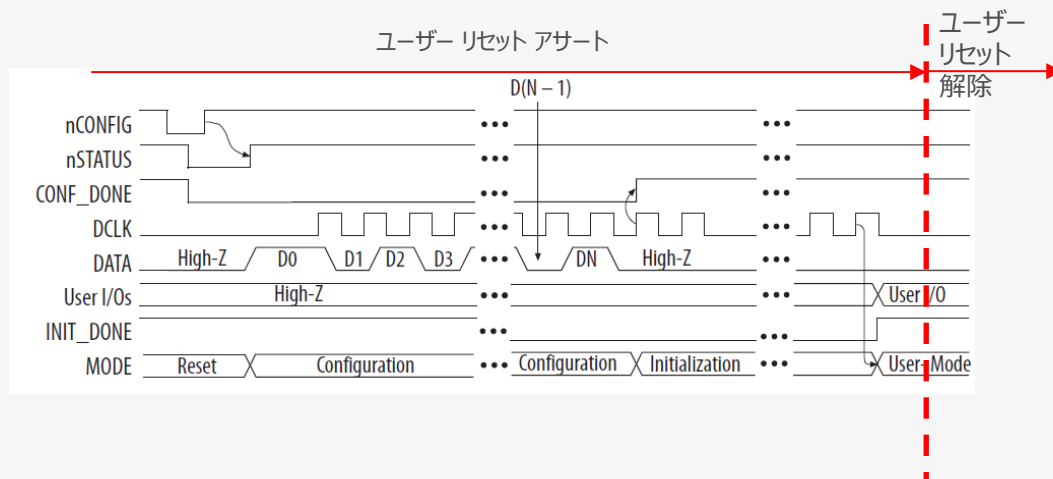
<https://www.intel.com/content/www/us/en/docs/programmable/683801/current/configuration-files.html>

AS コンフィグレーション時間

- AS コンフィグレーション時間の大部分は EPCQ-A から FPGA にコンフィグレーション・データを転送する時間となる
- AS コンフィグレーション時のデータ転送時間
 - AS x1 モード
 - $\text{.rbf サイズ} \times (50\text{MHz 最小の DCLK 周期} / \text{DCLK サイクルあたり 1 ビット})$
= 推定最小コンフィグレーション時間
 - AS x4 モード
 - $\text{.rbf サイズ} \times (\text{最小の DCLK 周期} / \text{DCLK サイクルあたり 4 ビット})$
= 推定最小コンフィグレーション時間
 - コンフィグレーション・データを圧縮した場合にも同様の計算方法となる
 - 圧縮された分、データ転送は早くなる
 - 通常 30%~55% 分 圧縮される (デザインに依存)
- 実際に FPGA の電源投入からユーザーモードまでの時間は
 - (電源の立ち上がり時間) + パワーオンリセット時間 + データ転送時間 + イニシャライゼーション時間

推奨リセット回路構成

- CONF_DONE 信号と INIT_DONE 信号を使用した推奨リセット回路構成
 - ユーザーモードに入るまでリセットを供給
 - [Can I rely on the initial values of registers when the device enters user mode?](#)
 - CONF_DONE と INIT_DONE の AND したものをリセット信号として使用

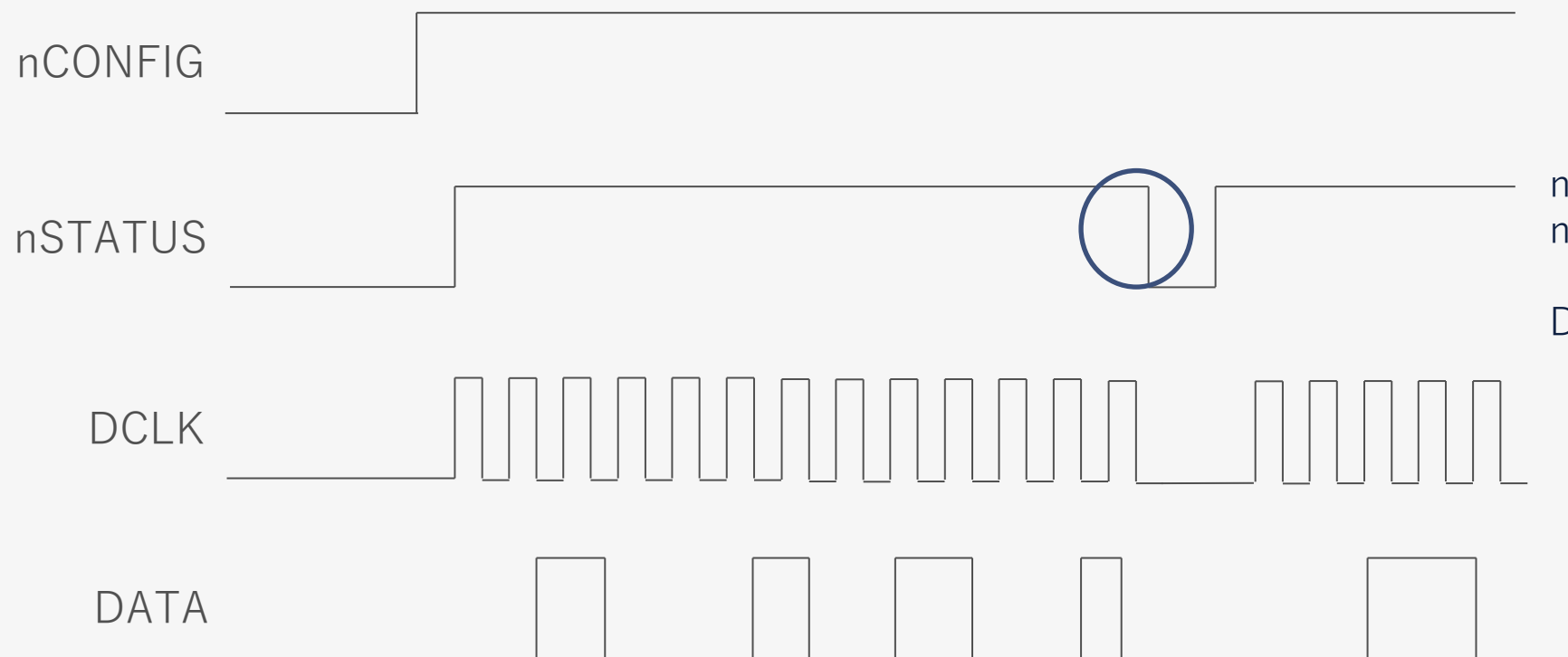


Dummy Clock Cycles

Devices	Address Bytes	EPCQ/L Dummy Clock Cycles	
		ASx1	ASx4
Legacy Cyclone® IV Cyclone® 10 LP	3-byte addressing	8	N/A
Cyclone® V Arria® V Stratix® V	3-byte addressing	12	12
	4-byte addressing	4	10
Arria® 10 Cyclone® 10 GX	4-byte addressing	10	10
Stratix® 10	3-byte addressing	N/A	10

参考 : [How do I enable Micron's MT25Q device support in replacement to End Of Life \(EOL\) EPCQ\(>=256Mb\) and EPCQ-L devices?](#)

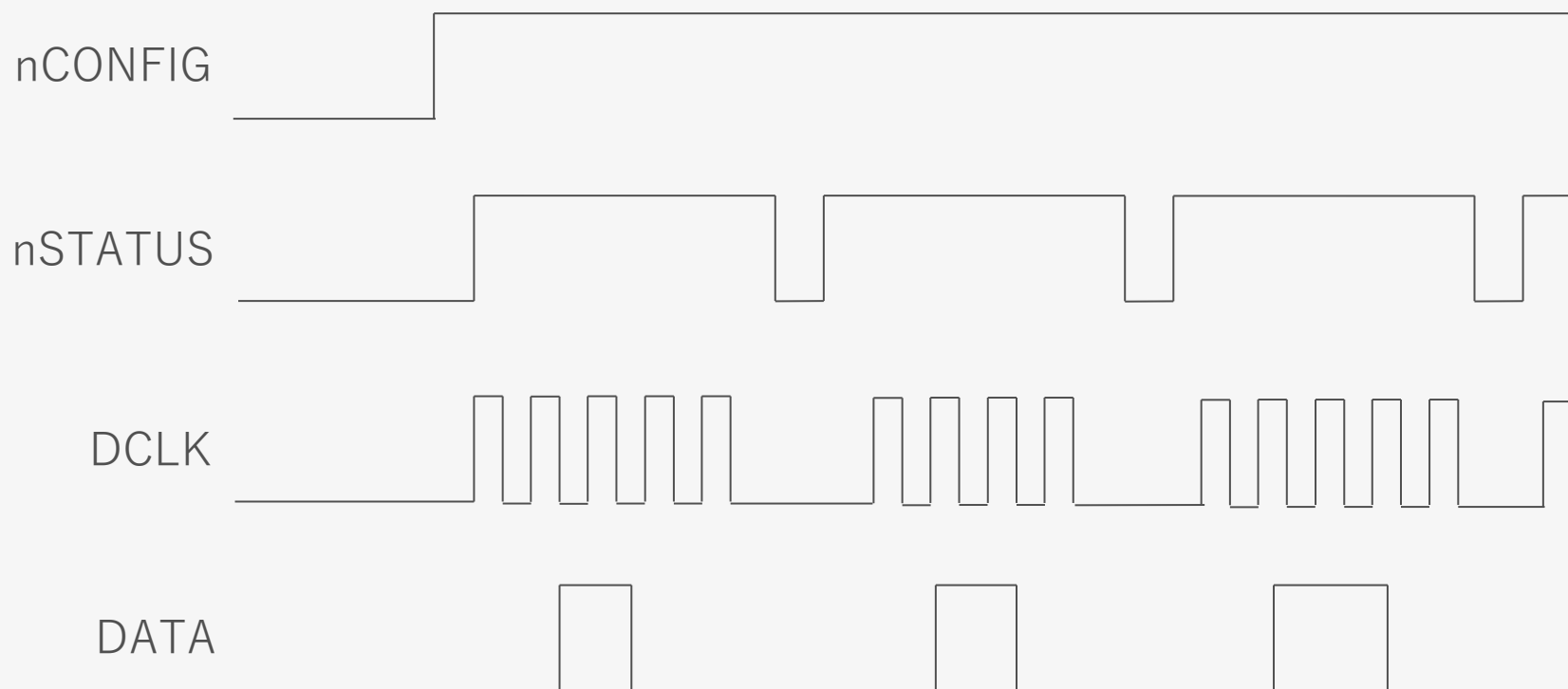
デバッグ波形①



nCONFIG の立ち上がりから、
nSTATUS の立ち下がりまでの時間

DCLK/DATA は出力されているか
- 未出力の場合は、nCE を確認
あるいは、基板の接続確認

デバッグ波形②

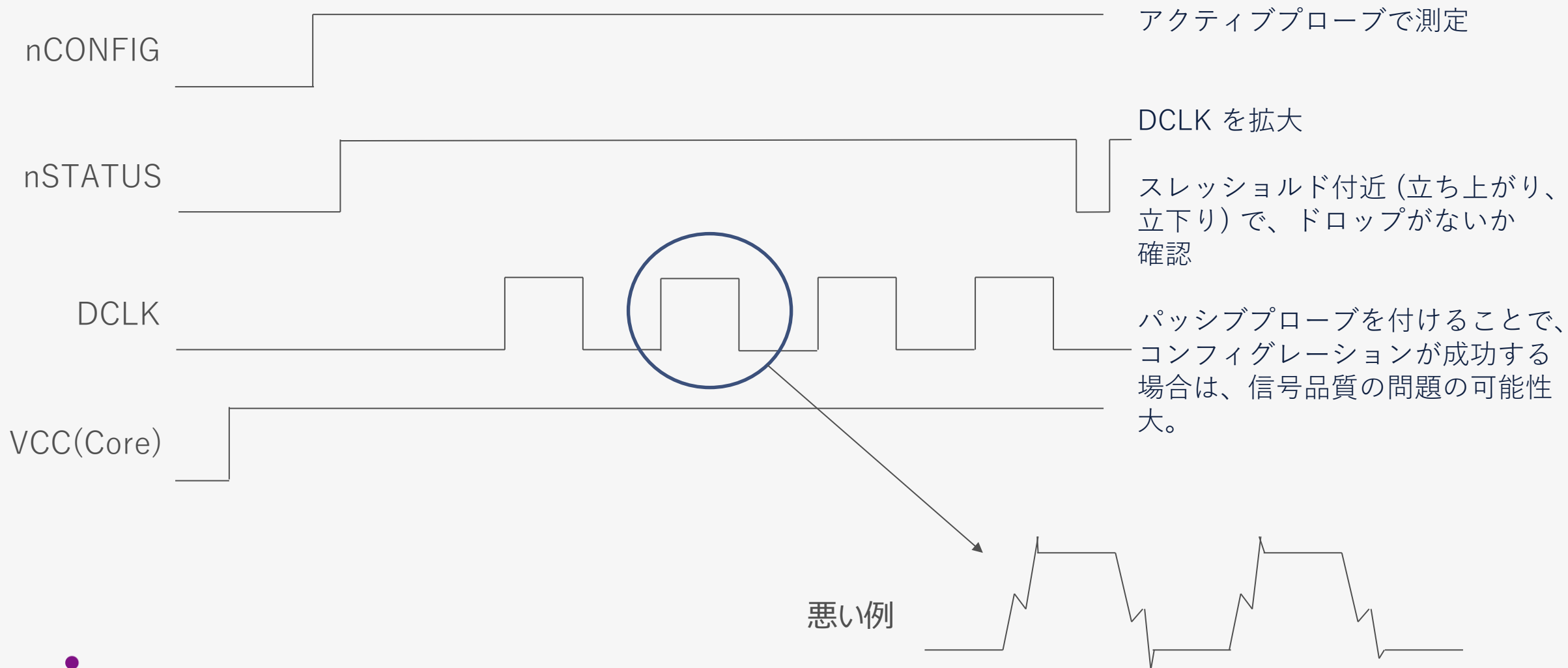


nSTATUS の間隔は一定か？

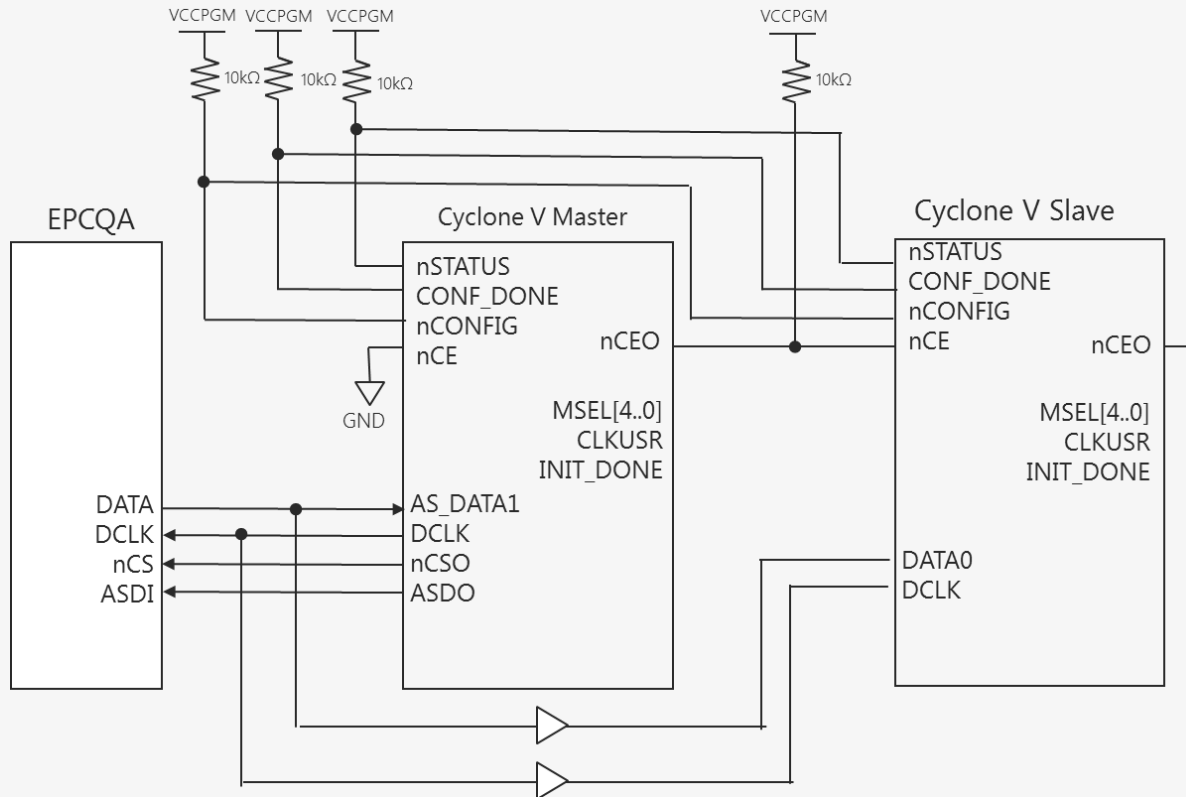
不定期か？

- 一定間隔の場合、電源ドロップ、FPGA 違い、ES/CS 違いを再確認
- 不定期の場合、信号品質の問題

デバッグ取得③



AS Multi-Device コンフィグレーション



- ① AS x1 Mode のみ、AS マルチ・デバイス・コンフィグレーションをサポート
 - 同じファミリーでの構成を推奨（すべての組み合わせで検証がされていないため）
- ② MSEL 設定の確認
 - マスターデバイス（初段）AS モード設定、スレーブデバイス（後段）PS モード設定
- ③ 接続の確認
 - 下記信号がマスター/スレーブで共有になっているか確認
 - nCONFIG
 - nSTATUS
 - DCLK
 - DATA[]
 - CONF_DONE
- ④ マスターデバイス：nCEO、スレーブデバイス nCE の接続の確認
 - 初段デバイスの nCEO が後段の nCE に接続されているか確認
- ⑤ DCLK、DATA ラインのバッファについて
 - 4デバイスごとにバッファを使用

Quartus® Prime : コンフィグレーション・モード設定



- Assignments メニュー => Device.. を選択

Device

Device family

Family: Cyclone V (E/GX/GT/SX/SE/ST)

Device: All

Target device

☐ Auto device selected by the Fitter

☒ Specific device selected in 'Available devices' list

☐ Other: n/a

Available devices:

5CEBA

5CEBA

5CEBA

5CEFA2F23C0

1.1V

9430

224

224

0

Channel

Device and Pin Options - IOT_sample

Category:

- General
- Configuration
- Programming Files
- Unused Pins
- Dual-Purpose Pins
- Capacitive Loading
- Board Trace Model
- I/O Timing
- Voltage
- Pin Placement
- Error Detection CRC
- CvP Settings
- Partial Reconfiguration

Configuration

Specify the device configuration scheme and the configuration device.

Configuration scheme: Active Serial x4 (can use Configuration Device)

Configuration mode: Active Serial x4 (can use Configuration Device)

Configuration device: Passive Parallel x8

Passive Serial

Device and Pin Options.. ボタンをクリック

“Configuration scheme : “ より、下記の何れかを選択
「Active Serial x1 (can use Configuration Device)」
「Active Serial x4 (can use Configuration Device)」

Quartus® Prime : CLKUSR ピンの設定

- Assignments メニュー => Device.. を選択

Device

Device family: Cyclone V (E/GX/GT/SX/SE/ST)

Device: All

Target device: Specific device selected in 'Available devices' list

Available devices:

Name	1.1V	9430	224	224	0	GXB Channel
5CEBA9F31C8						0
5CEBA9U19C						0
5CEBA9U19C8						0
5CEFA2F23C6	1.1V	9430	224	224	0	
5CEFA2F23C7	1.1V	9430	224	224	0	
5CEFA2F23C8	1.1V	9430	224	224	0	
5CEFA2F23I7	1.1V	9430	224	224	0	

Device and Pin Options.. ボタンをクリック

Device and Pin Options - IOT_sample

Category: General, Configuration, Programming Files, Unused Pins, Dual-Purpose Pins, Capacitive Loading, Board Trace Model, I/O Timing, Voltage, Pin Placement, Error Detection CRC, CvP Settings, Partial Reconfiguration

General

Specify general device options. These options are not dependent on the configuration scheme.

Options:

- ☒ Auto-restart configuration after error
- ☐ Release clears before tri-states
- ☐ Enable device-wide reset (DEV_CLRn)
- ☐ Enable device-wide output enable (DEV_OE)
- ☐ Enable INIT_DONE output
- ☐ Enable OCT_DONE
- ☐ Enable nCEO output
- ☐ Enable autonomous PCIe HIP mode

Delay entry to user mode:

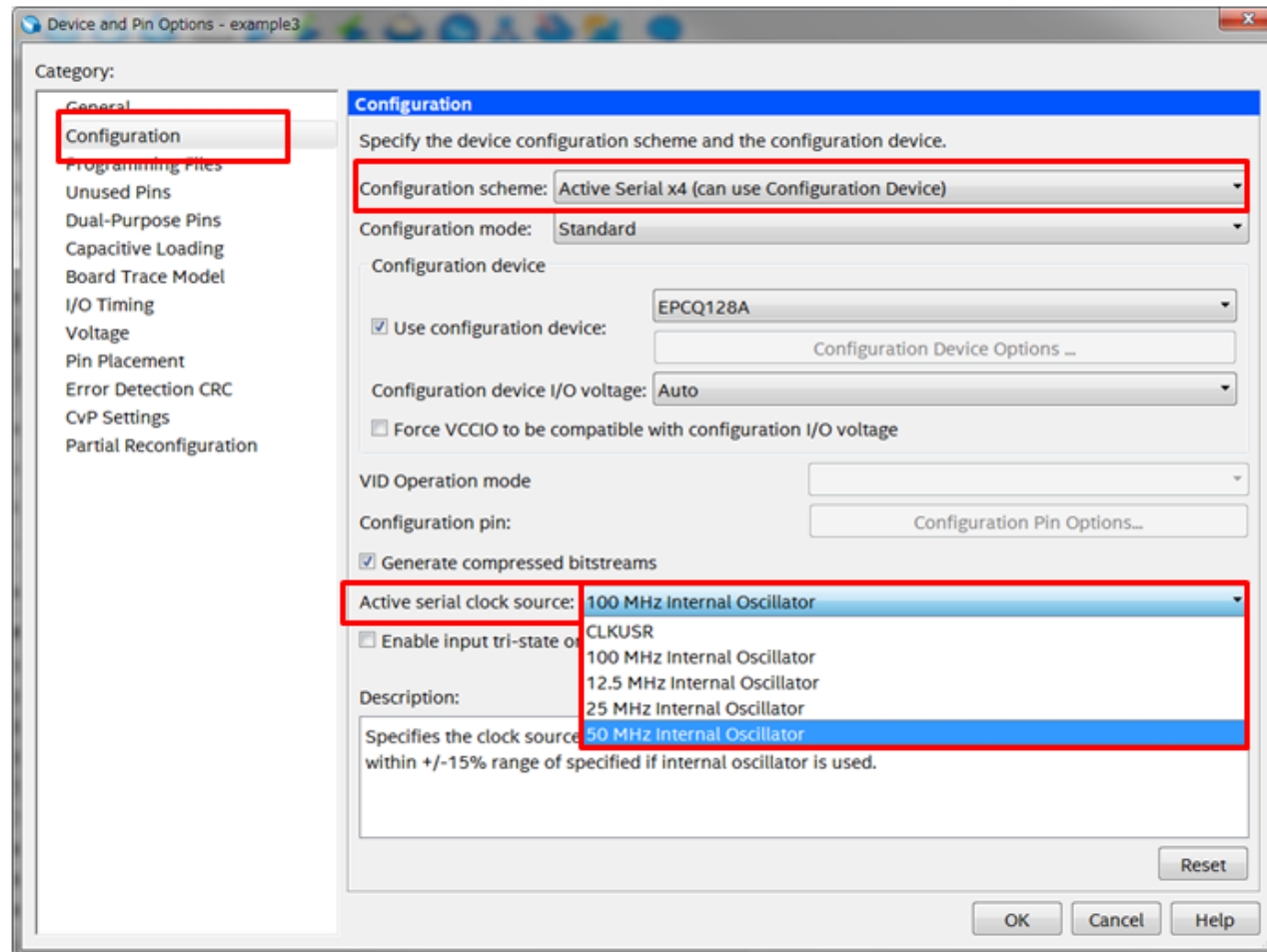
Device initialization clock source: CLKUSR pin

“Device initialization clock source : “より「CLKUSR pin」を選択

Quartus® Prime : DCLK 周波数の変更方法



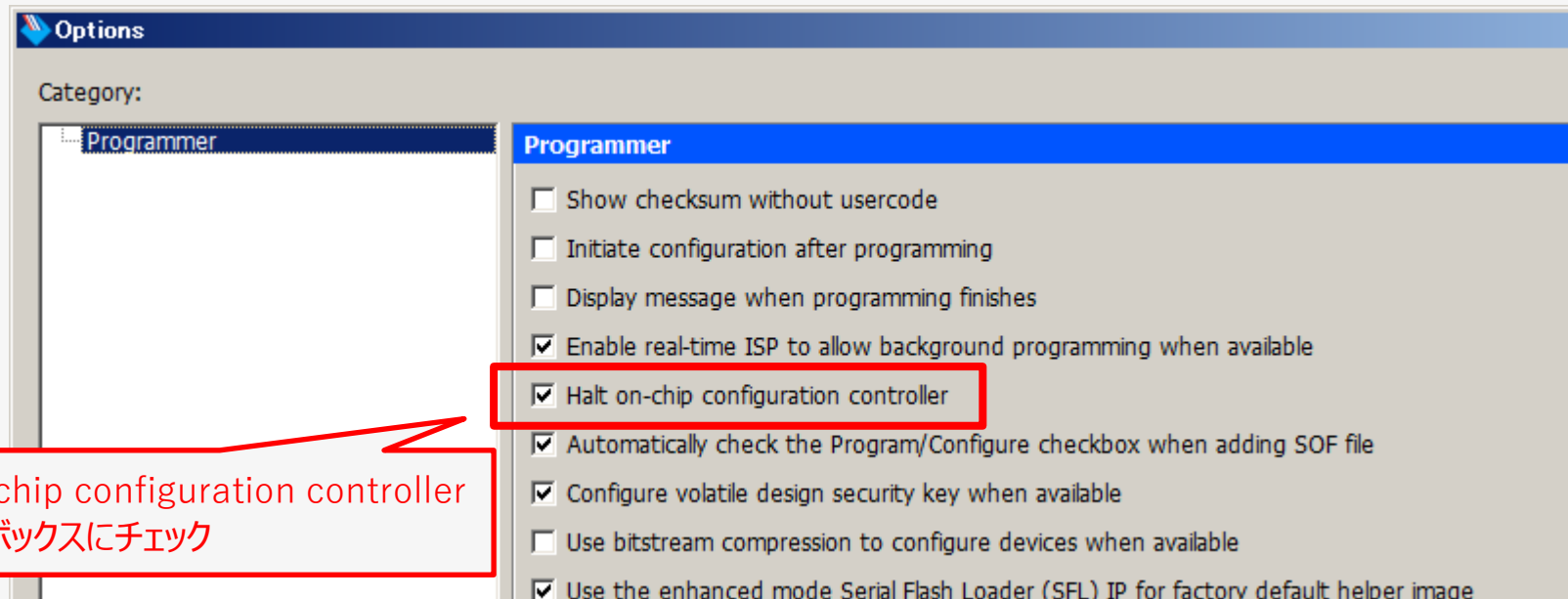
- 詳しくは、以下の FAQ を参照
 - [Stratix® V/Arria® V/Cyclone® V の AS コンフィグレーションで使用する DCLK の周波数の指定方法を教えてください。](#)



Quartus® Prime : プログラマー設定



- Programmer を起動し、Tools メニュー => Options.. を選択



改版履歴

Revision	年月	概要
1	2019年5月	・ 初版作成
2	2019年9月	・ MACNICA Web リニューアルに伴い、資料のリンクを修正
3	2022年2月	・ テンプレート変更 ・ インテル資料に合わせて MSEL の表を設定をアップデート ・ インテル資料のリンクを修正 ・ マクニカ資料のリンクを修正 ・ 誤記修正
4	2024年12月	・ テンプレート変更 ・ コンフィグレーションとは ページの図を修正、「参考：FPGA のコンフィギュレーション」を「参考：FPGA のコンフィグレーション」に変更 ・ 対応 3rd Party QSPI Flash ページに最新情報掲載のURLの注釈を追加 ・ コンフィグレーション中の I/O 状態 のページを削除 ・ 推奨リセット回路構成 ページの図の修正（NAND 回路を AND 回路に変更） ・ 概要 ページの「QSPI Flash (Micron 社の MT25Q)」を「QSPI Flash (Micron 社の MT25Qなど)」に変更 ・ AS コンフィグレーション設計ガイドライン 7/7 ページの「ダウンロード・ケーブル」リンクの変更

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がございましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。



- ・本資料に記載されている会社名、商品またはサービス名等は各社の商標または登録商標です。なお、本資料中では、「™」、「®」は明記しておりません。
- ・本資料のすべての著作権は、第三者または株式会社マクニカに属しており、(著作権法で許諾される範囲を超えて) 無断で本資料の全部または一部を複製・転載等することを禁じます。
- ・本資料は作成日現在における情報を元に作成されておりますが、その正確性、完全性を保証するものではありません。