



アクティブ・シリアル・コンフィグレーション デザイン & デバッグガイドライン

2019年9月

株式会社マクニカ アルティマカンパニー

Rev.2

アジェンダ

- はじめに
- コンフィグレーションとは
- デザイン・ガイドライン
 - アクティブ・シリアル・コンフィグレーション
- デバッグ・ガイドライン
- まとめ
- Appendix



はじめに

本資料の目的

インテル® FPGA では、設計ソフトウェア（インテル® Quartus® Prime 開発ソフトウェア）上でのコンパイル（論理合成、配置、配線）工程を経て、FPGA 内の物理リソースを設定・接続するデータを作成し、そのコンパイルデータを FPGA 内にダウンロードすることで所要の機能をハードウェアとして実現します。

一般的に、FPGA は SRAM ベースのテクノロジーで製造されており、電源を落とすと内部データが保持されなくなるため、外付け不揮発性メモリーにコンパイルデータを格納し、電源投入時に FPGA 内にコンパイルデータをダウンロードする必要があります。この仕組みを「コンフィグレーション」と呼んでおり、インテル® FPGA ではいくつかのコンフィグレーション方法が用意されています。

コンフィグレーション回路は後述するように比較的単純な構成であり「枯れた機能」と考えられているにも関わらず、今日でもコンフィグレーションに関するサポートのリクエストは常に全体の約 20% を占め、また、一定の割合で「コンフィグレーションが失敗する」等のトラブルが発生しています。これは、以下のような要因が考えられています。

- FPGA 世代毎に回路構成や設定方法が微妙に異なること
- コンフィグレーションの方式や、暗号化、リモート・アップデート等の機能が追加され、ユーザーマニュアルの分量が多くなってきていること
- FPGA の容量増加に伴うコンフィグレーション時間の短縮のためのクロックスピードが高速化していること

コンフィグレーションは最も初期段階で実行され、また失敗すると FPGA が機能しないため、コンフィグレーションのトラブルはその後のお客様の開発工程に大きなインパクトを与えてしまいます。

本資料では、Quad SPI (QSPI) Flash を使用した最もシンプルなアクティブ・シリアル・コンフィグレーションにおいて、基板設計上で注意すべき点、よくある不具合事例、およびその対処方法についてまとめています。

対象デバイスは、Stratix® V、Arria® V、Cyclone® V となっております。

（これ以前のファミリーやインテル® Arria® 10、インテル® Stratix® 10 では、若干の相違点がありますので、必ずそれぞれのデバイスのユーザーマニュアルを参照してください）

チェックリスト

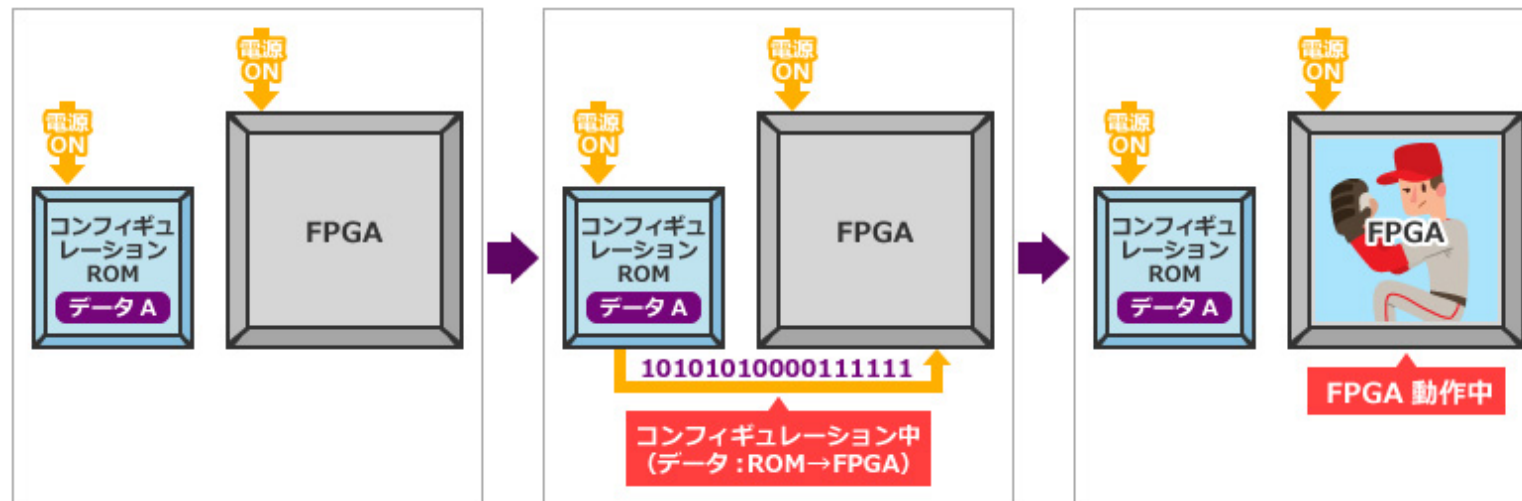
| | |
|---|--------------------------|
| 使用する FPGA に合った容量のコンフィグレーション ROM を選択しているか | <input type="checkbox"/> |
| コンフィグレーション時間は要求仕様に収まっているか | <input type="checkbox"/> |
| 供給性を考慮してコンフィグレーション ROM を選択しているか | <input type="checkbox"/> |
| 対応 QSPI Flash を選択しているか | <input type="checkbox"/> |
| MSEL ピンは正しいコンフィグレーション・モードに設定しているか | <input type="checkbox"/> |
| コンフィグレーション・ピンは適切に処理（プルアップ）を行っているか | <input type="checkbox"/> |
| JTAG ピンのプルアップ、プルダウン抵抗値は適切か | <input type="checkbox"/> |
| nCE ピンは GND に接続しているか | <input type="checkbox"/> |
| 電源ピンは推奨動作条件内の電圧を印加しているか | <input type="checkbox"/> |
| コンフィグレーションで使用する信号は波形測定ができるように考慮しているか | <input type="checkbox"/> |
| IBIS シミュレーションを行い信号品質は問題ないか | <input type="checkbox"/> |
| インテル® Quartus® Prime 開発ソフトウェアでコンフィグレーション・モードの設定を正しく行っているか | <input type="checkbox"/> |
| インテル® Quartus® Prime 開発ソフトウェアで DCLK の周波数を 50MHz に設定しているか | <input type="checkbox"/> |
| QSPI Flash と FPGA のタイミングを考慮した配線を行っているか | <input type="checkbox"/> |



コンフィグレーションとは

コンフィグレーションとは

- FPGA に ROM から設計データを転送すること
 - SRAM ベースの FPGA の必須工程
 - 電源投入後自動的に開始
 - 事前のプログラミングが必要
 - ROM にデザインデータを書き込むこと



参考 : <https://www.macnica.co.jp/business/semiconductor/articles/intel/130277/>

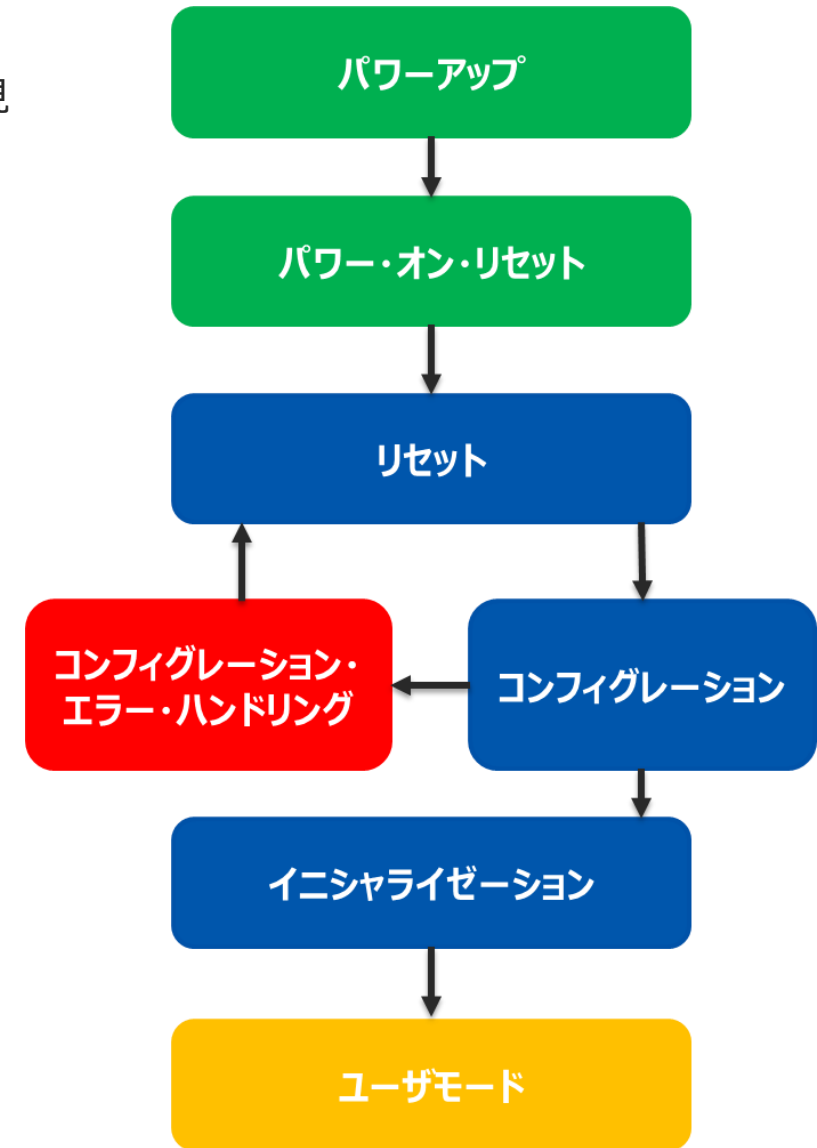
主要コンフィグレーション・ピン

| ピン名 | 属性 | 役割 |
|-----------|----------------|--|
| nCONFIG | 入力 | <ul style="list-style-type: none">・ コンフィグレーション開始のトリガーとなる信号・ コンフィグレーション中やユーザーモード中に外部から Low にドライブすると FPGA はコンフィグレーション・データを失い、リセットステートに移行する |
| nSTATUS | 双方向 (オープンドレイン) | <ul style="list-style-type: none">・ コンフィグレーションのステータスを表す信号・ コンフィグレーション中にエラーを検知すると、FPGA がこのピンを Low にドライブ・ コンフィグレーション中、イニシャライゼーション中に外部から Low にドライブされると、FPGA はエラー状態となる |
| CONF_DONE | 双方向 (オープンドレイン) | <ul style="list-style-type: none">・ コンフィグレーション・データの転送の終了を示す信号・ すべてのコンフィグレーション・データをエラーなく受信すると FPGA はこのピンをリリース (Low 駆動を中止しトライステート)・ 外部プルアップで High を認識するとイニシャライゼーション、ユーザー・モードへと移行 |
| MSEL | 入力 | <ul style="list-style-type: none">・ コンフィグレーション・モードを決める信号 |
| INIT_DONE | 出力 (オープンドレイン) | <ul style="list-style-type: none">・ オプションピン・ ユーザーモードへの遷移を表す信号・ コンフィグレーション終了後、ユーザーモードに遷移したことを示す |

コンフィグレーション・シーケンス

- パワーアップ/パワーオンリセット
 - 各電源の推奨動作電圧までの立ち上がりを POR (パワーオンリセット) 回路によって監視
 - パワーアップ・シーケンスおよび tRAMP 規定を守る必要がある
 - 全ユーザー I/O ピンはトライステート状態 (*)
- リセット
 - MSEL の設定をサンプリングし、コンフィグレーション・モードの決定
 - 全ユーザー I/O ピンはトライステート状態 (*)
- コンフィグレーション
 - コンフィグレーションの種類に合わせて FPGA にコンフィグレーション・データが展開される
 - 全ユーザー I/O ピンはトライステート状態 (*)
- コンフィグレーション・エラー・ハンドリング
 - 特定の要因でコンフィグレーションが失敗した際にリスタート
 - nSTATUS の Low 遷移でエラー発生を確認することができる
 - 全ユーザー I/O ピンはトライステート状態 (*)
- イニシャライゼーション
 - FPGA が動作するための初期化が行われる
 - イニシャライゼーション終了後 I/O が有効となる
- ユーザモード
 - ユーザーデザインで動作を開始する

(*) Appendix : 「[コンフィグレーション中の I/O 状態](#)」 参照



コンフィグレーションの種類

| モード | 必要なデバイス | コンフィグレーション・データ幅 (ビット) | 特徴 |
|----------------------|-------------------------------|-----------------------|--|
| アクティブ・シリアル (AS) | EPCQ-A or QSPI Flash | x1 / x4 | <ul style="list-style-type: none">・ 最もシンプルな構成・ シンプルに接続したい時に選択 |
| パッシブ・シリアル (PS) | 外部ホスト (CPLD, CPU) + Flash ROM | x1 | <ul style="list-style-type: none">・ サードパーティーの様々な Flash ROM を使用可能・ 使用ピン数の節約をし、Flash ROM を使用したい時に選択 |
| ファスト・パッシブ・パラレル (FPP) | 外部ホスト (CPLD, CPU) + Flash ROM | x8 / x16 / x32 | <ul style="list-style-type: none">・ コンフィグレーション時間を短くしたい時に選択・ 様々な Flash ROM を使用可能 |
| JTAG | インテル® FPGA ダウンロード・ケーブル II | - | 10ピンヘッダー 1つで ROM 書き換え、デバッグの両運用が可能 (.jic, .sof 対応) |

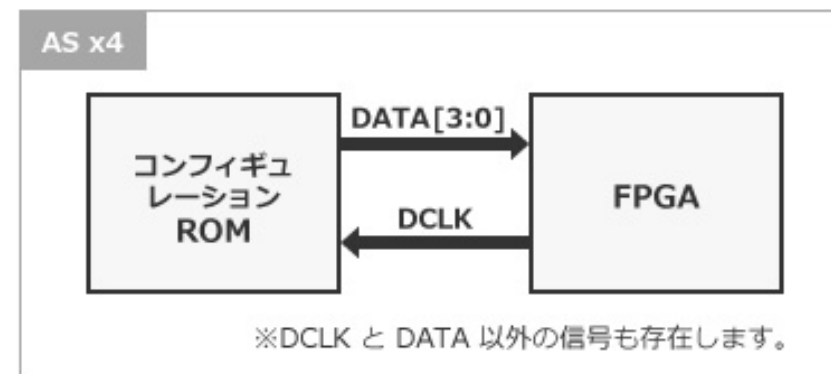
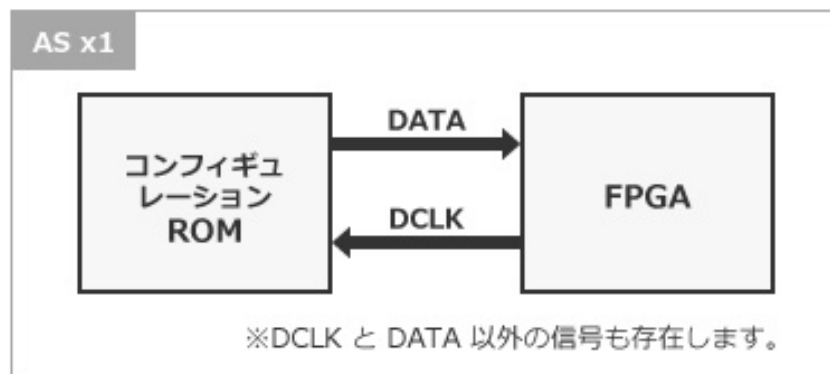
参考 : <https://www.intel.co.jp/content/www/jp/ja/programmable/support/support-resources/support-centers/devices/cfg-index/cfg-compare.html>

デザイン・ガイドライン ～アクティブ・シリアル・コンフィグレーション～

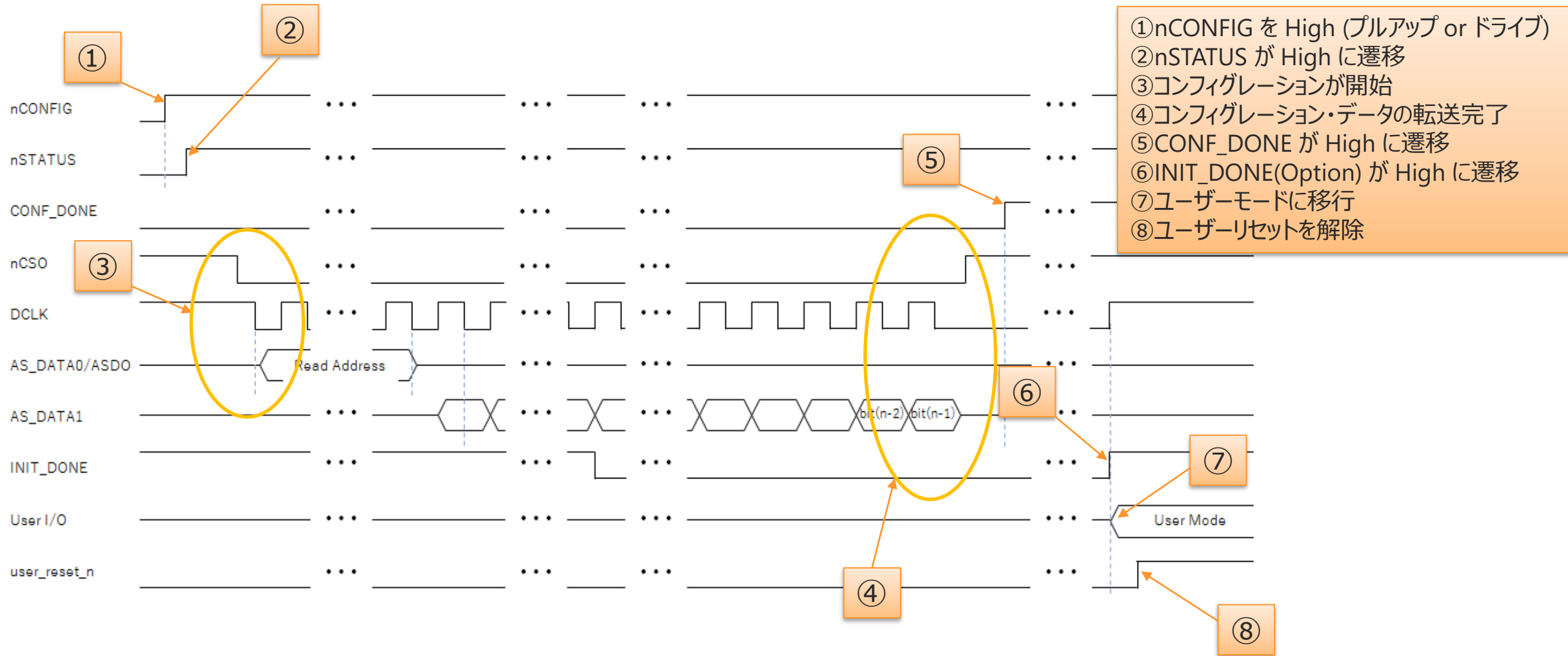
コンフィグレーション

概要

- アクティブ・シリアル・コンフィグレーション (AS コンフィグレーション)とは
 - FPGA のコンフィグレーション・データをシリアル・フラッシュ ROM (EPCQ-A) に格納し、FPGA 内蔵のコンフィグレーション・コントローラーでコンフィグレーションを実行するモード
 - Quad モードに対応した ASx4 モードと Serial モードの ASx1 の2タイプが用意
 - 128Mbits 以下の場合には EPCQ-A (4/16/32/64/128Mbit) を使用
 - 256Mbits 以上の場合には QSPI Flash (Micron 社の MT25Q) を使用



AS コンフィグレーション・タイミング図

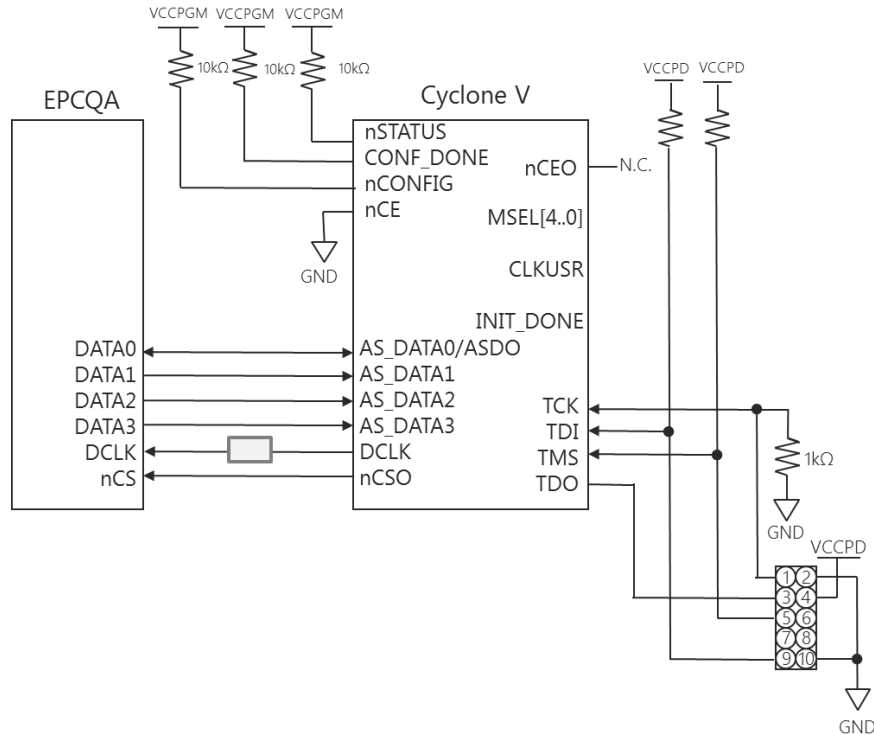


Appendix : CONF_DONE 信号と INIT_DONE 信号を使用した「[推奨リセット回路構成](#)」参照

(補足) オンボード・プログラミング手法

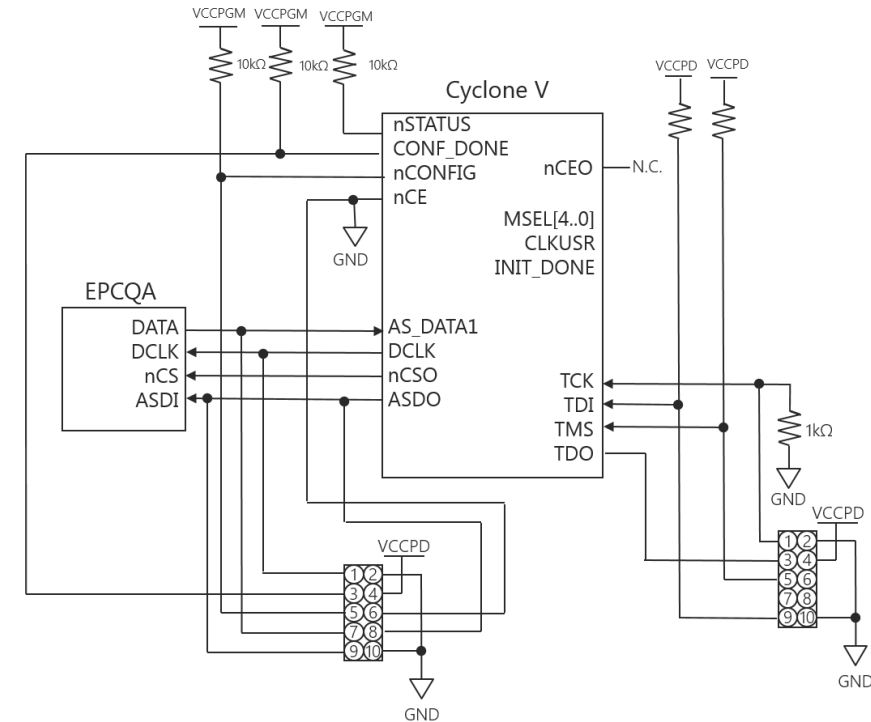
- JTAG-Indirect Mode (推奨)

- 下図のように FPGA の JTAG ピンから コンフィグレーション・メモリーに書き込む方法

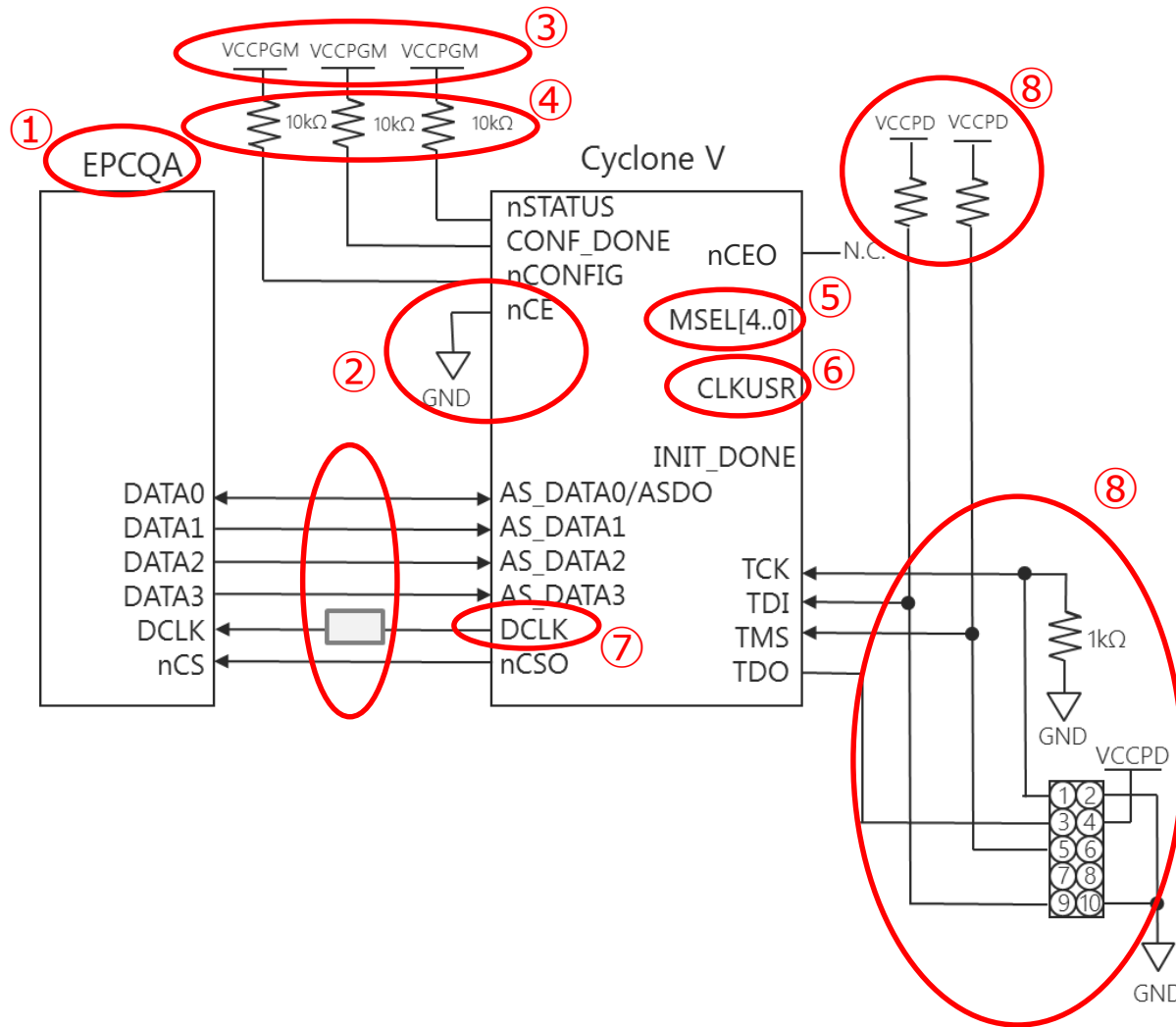


- AS プログラミング・モード

- 下図のように FPGA を経由せずに直接 コンフィグレーション・メモリーに書き込む方法

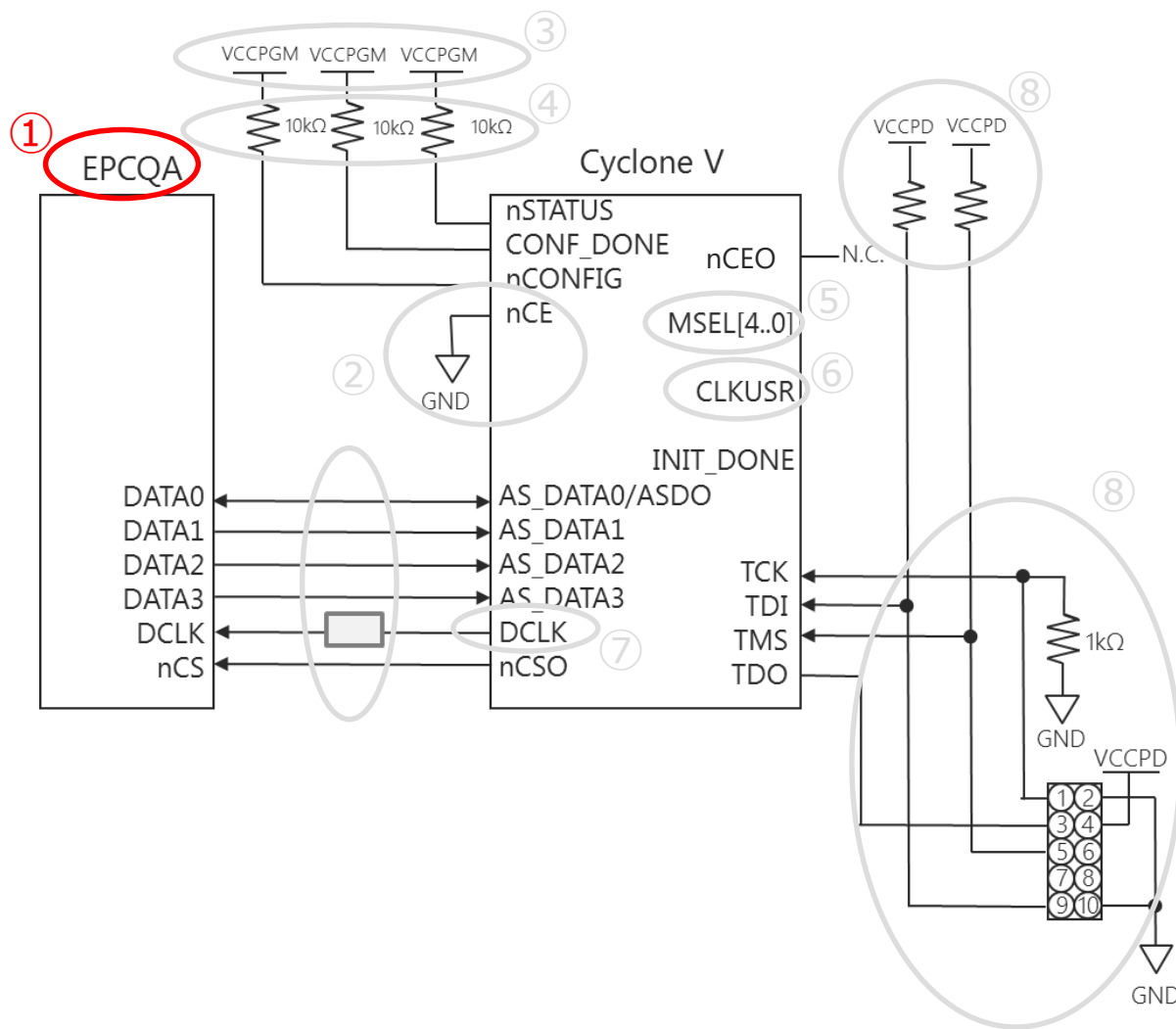


AS コンフィグレーション設計ガイドライン 1/7



- ① 使用する FPGA のコンフィグレーションに対応しているコンフィグレーション ROM の確認
 - ・[対応 QSPI Flash](#)
- ② FPGA-コンフィグレーション ROM の接続の確認
 - ・接続先の確認
 - ・タイミングを考慮した配線接続の確認
- ③ プルアップ電圧の確認
 - ・V シリーズは VCCPGM に接続
- ④ プルアップ抵抗値の確認
 - ・10kΩ が推奨
- ⑤ MSEL 設定の確認
- ⑥ CLKUSR の使用の有無、確認 (オプション)
 - ・コンフィグレーション時間、タイミングに関与
- ⑦ DCLK の使用周波数の確認
 - ・コンフィグレーション時間、タイミングに関与
- ⑧ JTAG コネクタとの接続確認

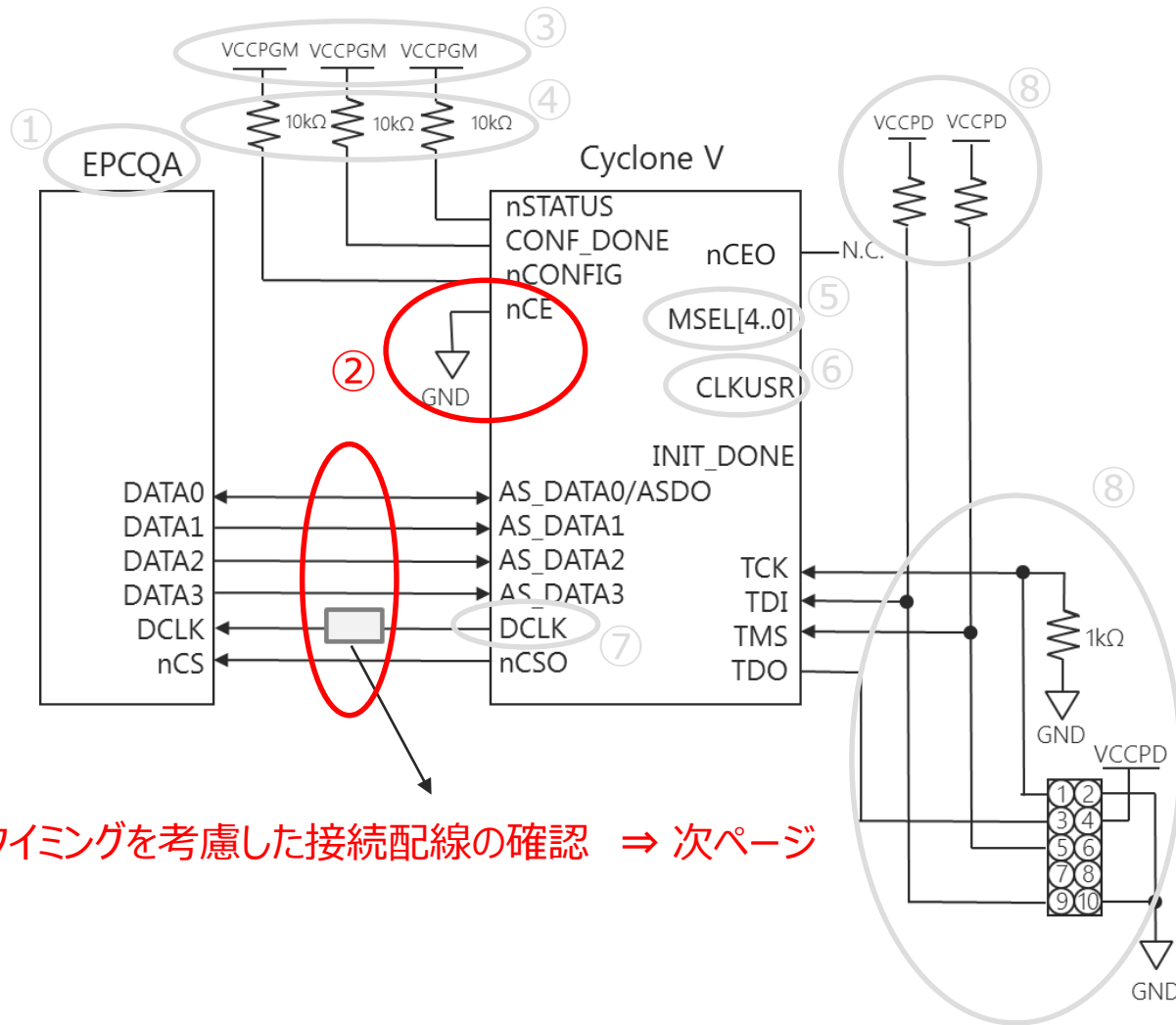
AS コンフィグレーション設計ガイドライン 2/7



① 使用する FPGA のコンフィグレーションに対応している コンフィグレーション ROM の確認

- 128Mbits 以下の場合
 - EPCQ-A を使用
 - サポートしている QSPI Flash に関しては「[対応 QSPI Flash](#)」のスライドを参照
- 256Mbits 以上の場合
 - QSPI Flash を使用
 - サポートしている QSPI Flash に関しては「[対応 3rd Party QSPI Flash](#)」のスライドを参照

AS コンフィグレーション設計ガイドライン 3/7

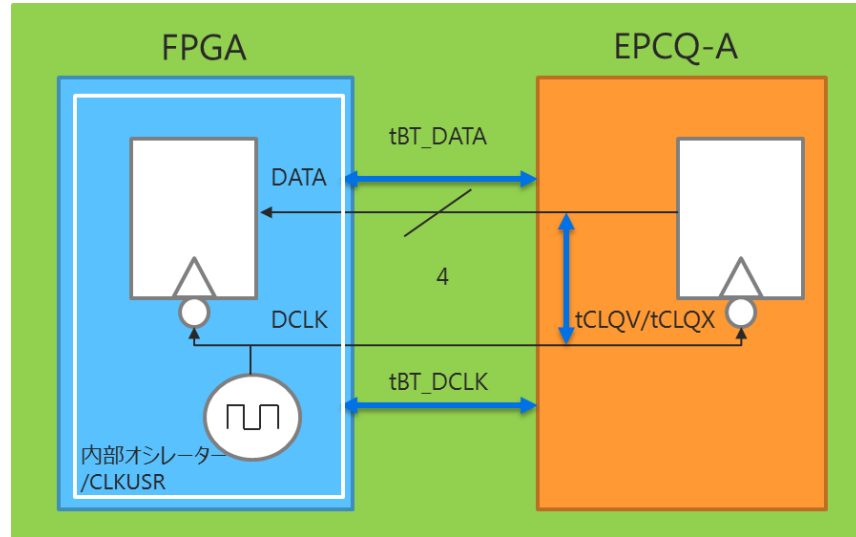


タイミングを考慮した接続配線の確認 ⇒ 次ページ

② FPGA-コンフィグレーション ROM の接続確認

- DCLK はバッファまたはダンピング抵抗が入るように設計
 - バッファが推奨（信号品質、遅延時間の観点）
 - DCLK にノイズがのるとコンフィグレーションに影響を与え、コンフィグレーション・エラーを起こす可能性がある
- DATA[3:0] は念のためにダンピング抵抗 (0Ω) が入るように設計する
- **タイミングを考慮した接続・配線をする ⇒ 次ページ**
- ボード・シミュレーションを実施して信号品質・信号伝搬遅延を確認する
- コンフィグレーションで使用する信号は波形測定ができるように設計する（基板上で測定を出来るようにする）
- nCE は GND に接続する

AS コンフィグレーション設計ガイドライン 4/7



tDCLK = DCLK周期

tBT_DCLK = FPGA から EPCQ-A への DCLK のボード伝搬遅延

tCLQV = クロックの立下りからの データバリッド (MAX TCO)

tCLQX = アウトプット・ホールド時間 (MIN TCO)

tBT_DATA = EPCQ-A から FPGA へのデータのボード伝搬遅延

tDSU = FPGA が要求する最少データ・セットアップ時間

tDH = FPGA が要求する最少データホールド時間

接続配線のタイミング確認方法

- データ・セットアップ・スラックはデータの最小データ・セットアップ時間 (tDSU) と同じかそれよりも大きくなる必要がある

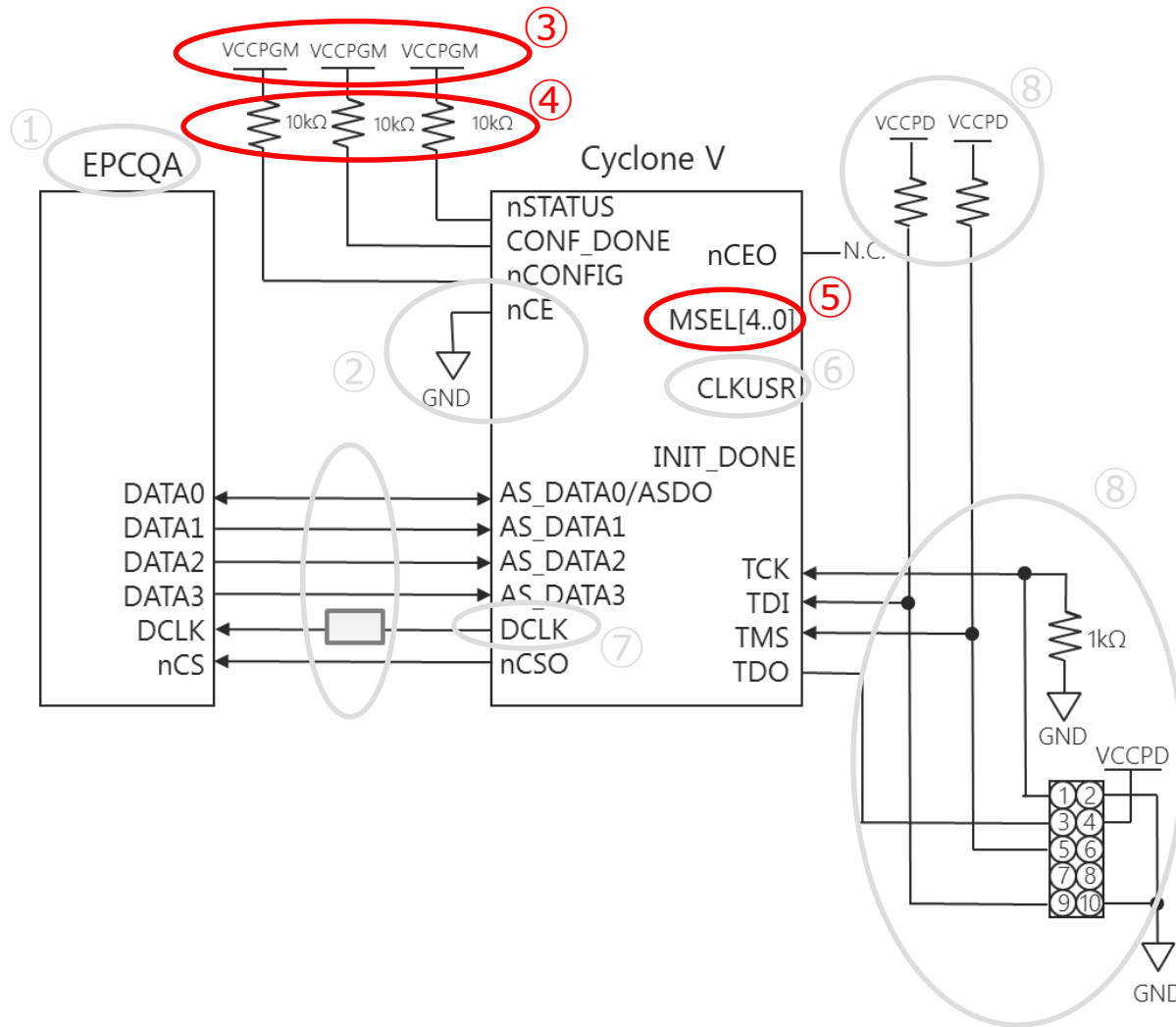
$$tDCLK - (tBT_DCLK + tCLQV + tBT_DATA) \geq tDSU$$

- ホールド時間のスラックは最少データホールド時間 (tDH) と同じかそれよりも大きくなる必要がある

$$tBT_DCLK + tCLQX + tBT_DATA \geq tDH$$

- tCLQV/tCLQX : EPCQA (QSPI Flash) のデータシートを参照
- tDSU/tDH : FPGA のデータシートを参照
- ボード伝搬遅延値 (tBT_DCLK, tBT_DATA) : ユーザーのボードの値を使用
- なお、上記の計算は机上で行う必要があります

AS コンフィグレーション設計ガイドライン 5/7



③ プルアップ抵抗の接続確認

- nCONFIG、nSTATUS、CONF_DONE が VCCPGM に接続されているか確認する

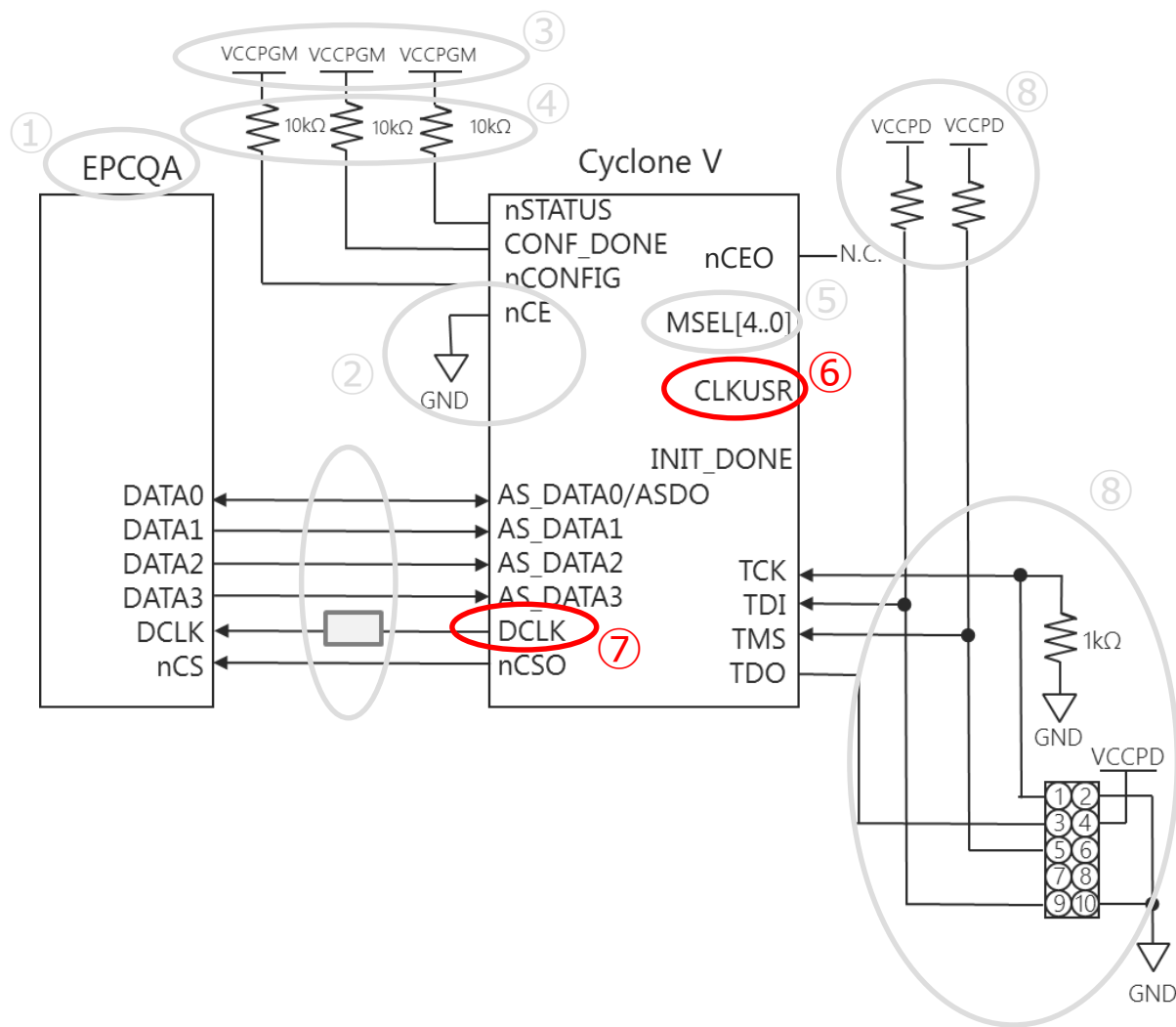
④ プルアップ抵抗値の確認

- プルアップの抵抗値が 10kΩ になっているか確認する
- LED を接続したい場合には FET (やバッファ) を使用して分離する

⑤ MSEL 設定の確認

- AS モードの MSEL 設定になっているか確認する
(Appendix : 「[MSEL ピン設定](#)」参照)
- MSEL 設定を変更できるように VCCPGM または GND へ 0Ω 抵抗で切り替えられるように設計する
- Quartus® Prime の設定で、AS モードに設定されているか確認する
(Appendix : 「[コンフィグレーション・モード設定](#)」参照)

AS コンフィグレーション設計ガイドライン 6/7



⑥ CLKUSR の使用の確認

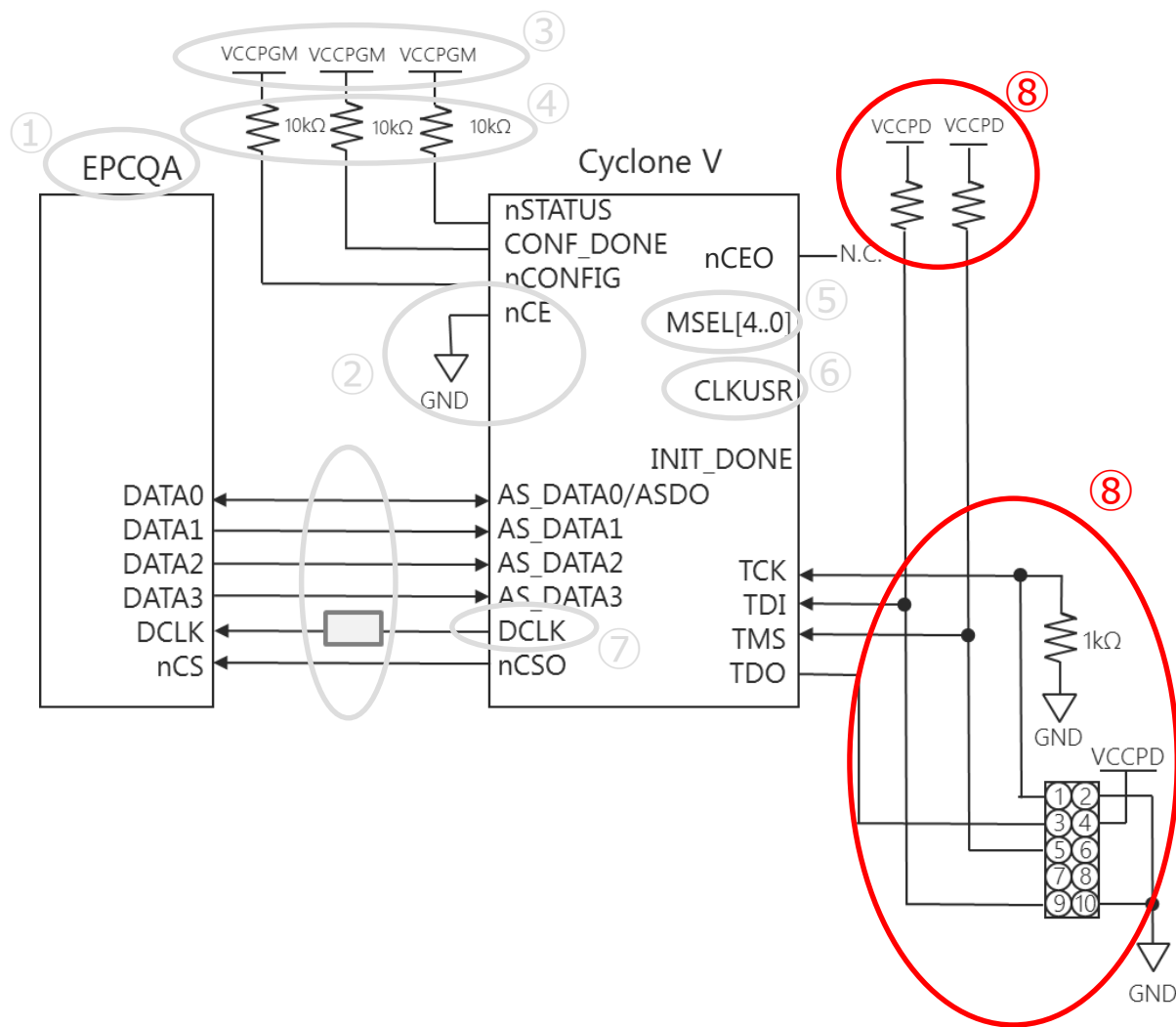
- DCLK は内部オシレーターまたは CLKUSR ピンから供給
- ユーザー側で DCLK に供給するクロックをコントロールする場合には CLKUSR を使用することも可能 (オプション機能)
- CLKUSR ピンを使用する際には、Quartus® Prime にて Device and Pin Options ダイアログ・ボックスの Configuration ページで機能を有効 (Appendix : 「[CLKUSR ピンの設定](#)」参照)

⑦ DCLK の周波数の確認

- 使用する ROM が該当の周波数をサポートしているか確認

注① : AS モードではデフォルト 100MHz 設定になっているが、50MHz 以下での使用を推奨 (Appendix : 「[DCLK 周波数の変更方法](#)」参照)

AS コンフィグレーション設計ガイドライン 7/7



⑧ JTAG ピンとの接続確認

- TDI, TMS が対応するバンクの VCCPD でプルアップされているか確認する
- 抵抗値は 1k~10kΩ
- TCK が 1kΩ でプルダウンされているか確認する
- TDO が 10 ピンコネクタに直結しているか確認する
- プルアップ、プルダウンは不要

書き込み用ケーブルはインテル® FPGA ダウンロード・ケーブル II を推奨

参考：

https://www.intel.co.jp/content/www/jp/ja/programmable/products/boards_and_kits/download_cables.html

対応 QSPI Flash



| Vendor | Parts Number | 容量 (ビット) | x1 / x4 | パッケージ | 動作実績 | その他 |
|--------|---------------|-----------|---------|------------|------|--------------------------------|
| インテル | EPCQ4ASI8N | 4 Mbits | x1 / x4 | SOIC 8pin | ○ | Quartus® Programmer v17.1 以降対応 |
| | EPCQ16ASI8N | 16 Mbits | x1 / x4 | SOIC 8pin | ○ | |
| | EPCQ32ASI8N | 32 Mbits | x1 / x4 | SOIC 8pin | ○ | |
| | EPCQ64ASI16N | 64 Mbits | x1 / x4 | SOIC 16pin | ○ | |
| | EPCQ128ASI16N | 128 Mbits | x1 / x4 | SOIC 16pin | ○ | |

対応 3rd Party QSPI Flash



| Vendor | Parts Number | 容量 (ビット) | x1 / x4 | パッケージ | 動作実績 | その他 |
|----------|-----------------------|-----------|---------|-----------|------|--|
| Micron | MT25QL128ABA8ESF-0SIT | 128 Mbits | x1 / x4 | SO16 Wide | ○ | Quartus® Programmer v17.1 以降対応 (17.1の場合は、ini 必要) ※1 |
| | MT25QL256ABA8ESF-0SIT | 256 Mbits | x1 / x4 | SO16 Wide | ○ | |
| | MT25QL512ABB8ESF-0SIT | 512 Mbits | x1 / x4 | SO16 Wide | ○ | |
| | MT25QL01GBBB8ESF-0SIT | 1 Gbits | x1 / x4 | SO16 Wide | ○ | |
| | MT25QL02G | 2 Gbits | x1 / x4 | SO16 Wide | - | |
| Macronix | MX25L12833FMI-10G | 128 Mbits | x1 / x4 | SO16 Wide | ○ | Quartus® Programmer v18.1 以降対応 |
| | MX25L25645GMI-08G | 256 Mbits | x1 / x4 | SO16 Wide | ○ | Quartus® Programmer v18.1+patch 以降対応 ※2 |
| | MX25L51245GMI-08G | 512 Mbits | x1 / x4 | SO16 Wide | ○ | |
| Cypress | S25FL128SAGMFI000 | 128 Mbits | x1 / x4 | SO16 Wide | ○ | Quartus® Programmer v18.1+patch 以降対応 ※3 |
| | S25FL256SAGMFI000 | 256 Mbits | x1 / x4 | SO16 Wide | ○ | |
| | S25FL512SAGMFI0I0 | 512 Mbits | x1 / x4 | SO16 Wide | ○ | |

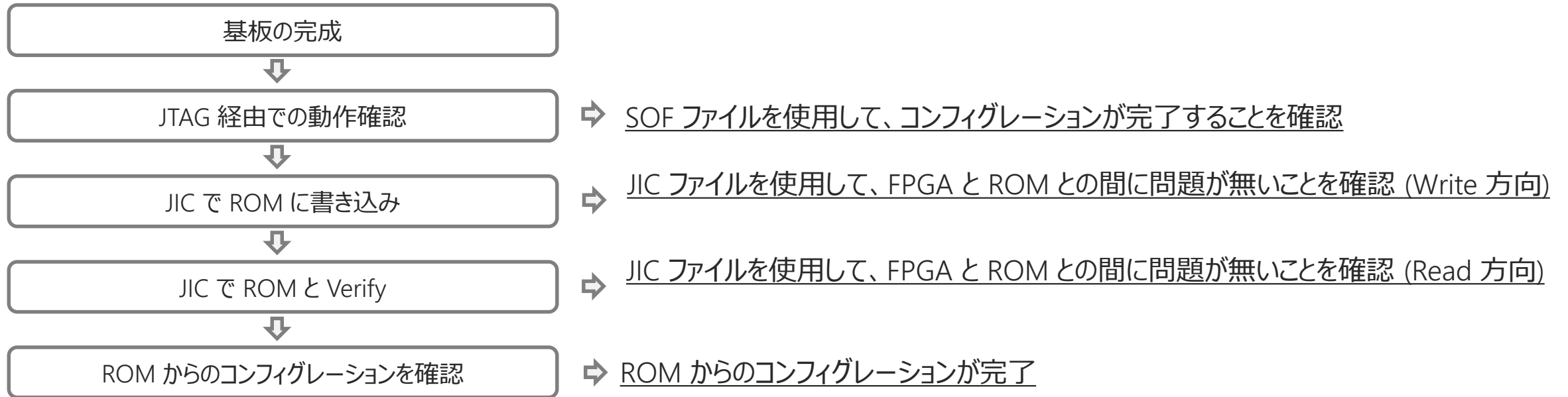
※1 <https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/component/2018/how-do-i-enable-micron-s-mt25q-support-for-eol-of-epcq---256mb--.html>

※2 https://www.intel.com/content/altera-www/global/en_us/index/support/support-resources/knowledge-base/component/2018/why-the-active-serial--as--configuration-fails-in-stratix-v--arr.html

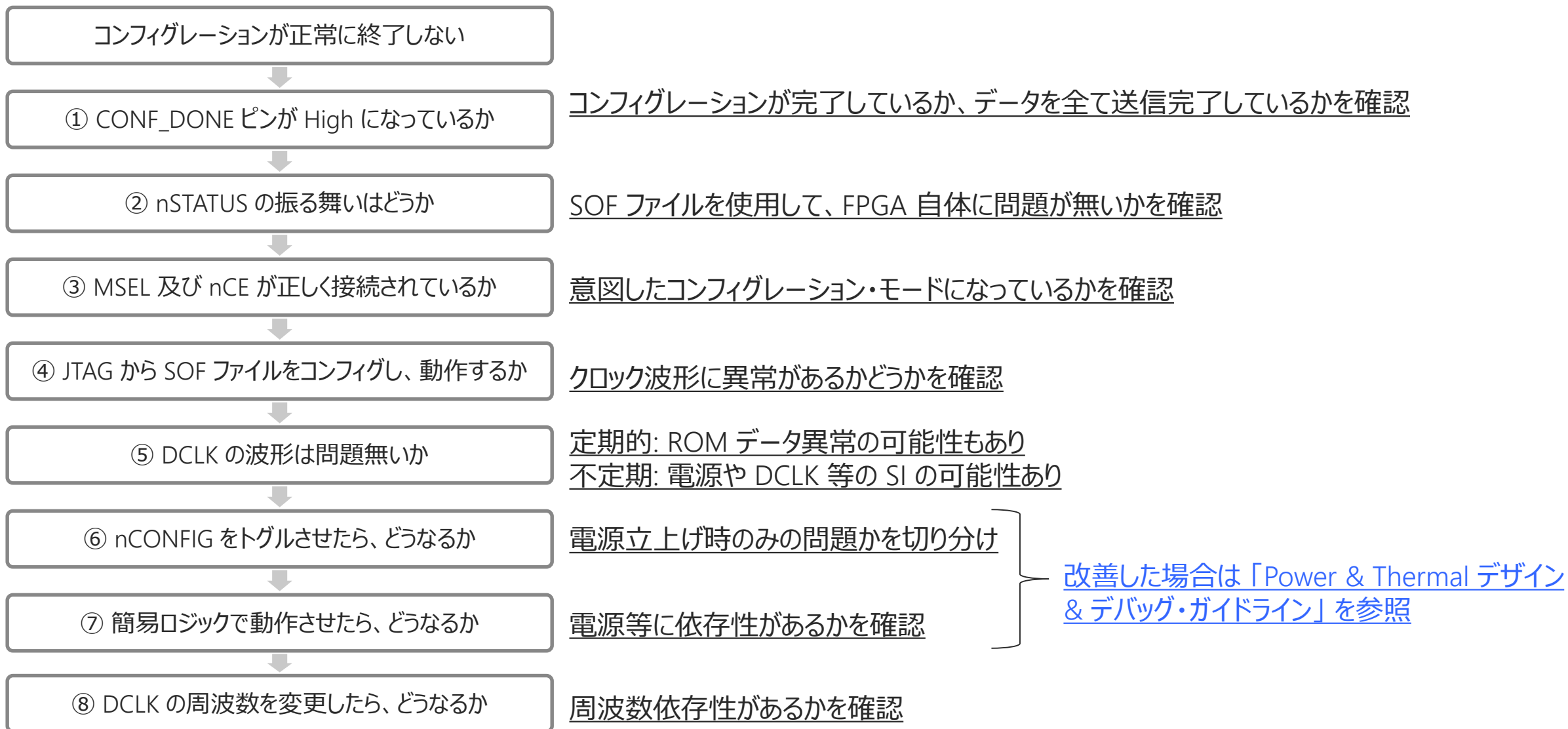
※3 https://www.intel.com/content/altera-www/global/en_us/index/support/support-resources/knowledge-base/component/2018/why-do-cypress-flash-devices-s25fl256-and-s25fl512-do-not-get-pr.html

デバッグ・ガイドライン
～アクティブ・シリアル・コンフィグレーション～

初期確認フロー



デバッグフロー



コンフィグレーション不具合事例

| | 現象 | 原因 | 対策 |
|-----|---|--|--|
| ①-1 | コンフィグレーションが完了しない | CONF_DONE 信号を LED にそのまま接続していたため、CONF_DONE 信号が High になりきっていなかった | FET を使用することで High にドライブされ正常にコンフィグレーションが完了するようになった |
| ①-2 | コンフィグレーションが完了しない。CONF_DONE 信号が High になりきる前に、再度 Low に落ちてしまう | CONF_DONE の立ち上がり時間の問題 負荷容量が大きく、CONF_DONE に接続されているデバイスの幾つかを外すとコンフィグレーションが正常に終了した | Disable CONF_DONE Check 設定を OFF にすることで正常にコンフィグレーションが完了するようになった |
| ②-1 | 電源投入後コンフィグレーションが完了しないが、しばらく経って、FPGA が温まるとコンフィグレーションが完了する | MSEL ピンを外部でプルアップしていたため。MSEL ピンは内部でプルダウンされているため、外部プルアップ定数によりレベルが正しく認識されなかった | プルアップ抵抗を 0Ω にすることで電源投入時から正常にコンフィグレーションが完了するようになった |
| ②-2 | コンフィグレーションが完了しない。nSTATUS 信号を観測すると、一定間隔で Low → High を繰り返している | Arria® 10 のプロダクション・デバイスに対して、ES デバイス用の POF を書き込んでいたため | プロダクション・デバイス用の POF を使用することで、正常にコンフィグレーションが完了するようになった |
| ③-1 | コンフィグレーションが完了しないボードがある。コンフィグレーションが完了しないボードでも、たまに成功する場合がある | nCE ピンをオープンにしていたため | nCE ピンを GND に処理することですべてのボードでコンフィグレーションが成功するようになった |
| ③-2 | JTAG で Auto Detect を実行したところ、異なる JTAG ID が見え、SOF を書き込めない | CPLD の Weak Pull-Up で MSEL の High を設定しており、FPGA の Power-Up 時に MSEL が中間電位になっており、データシート上のどの値にもなっていない。その結果、FPGA の JTAG ID が異なる値に見えていた | MSEL に 0Ω 抵抗を接続したところ、改善 |
| ③-3 | コンフィグレーションが実行されない。 電源を確認したところ、電源がノコギリ刃状になっていた。 | CPLD の Weak Pull-Up で MSEL の High を設定しており、FPGA の Power-Up 時に MSEL が中間電位になっており、データシート上のどの値にもなっていない。その結果、FPGA に予期せぬ Rush Current が発生し、電源 IC の Current Limit が働いて Power-Up が正常にできていなかった | MSEL の値をデータシートに記載のある値に変更したところ、改善 |

コンフィグレーション不具合事例

| | 現象 | 原因 | 対策 |
|-----|--|--|--|
| ⑤-1 | コンフィグレーションが完了しない。nSTATUS 信号を観測すると、不定期で Low → High を繰り返している | DCLK を観測すると、反射の影響をうけており、DCLK 信号が段差になっていた | ダンピング抵抗値を変更することで反射がなくなり、コンフィグレーションが成功するようになった |
| ⑤-2 | コンフィグレーションが完了しなかったため、DCLK の信号を観測するためプローブを充てたところ、正常にコンフィグレーションが完了した | DCLK が反射の影響をうけており、パッシブプローブを充てることで DCLK の反射が緩和されてコンフィグレーションが成功するようになった。アクティブプローブを充てると DCLK の反射が確認できた。 | ダンピング抵抗やコンデンサーを入れることで反射がなくなりコンフィグレーションが成功するようになった |
| ⑥-1 | コンフィグレーションが完了しないボードがある | Power-On 時にコア電源が単調増加していなかった | Power-On 時の電源のドロップを改善することで正常にコンフィグレーションが完了するようになった |
| ⑦-1 | コンフィギュレーションが完了しない | 電源の容量が足りなかったため、ユーザーモード移行時に電源が揺らいでしまっていた | 電源の容量を増やすことで正常にコンフィグレーションが完了するようになった |
| ⑧-1 | コンフィグレーションが完了しないボードがある | FPGA と ROM のボードレイアウト（配線長）が適切でなかったためセットアップ・タイミングを満たせていなかった | DCLK の周波数を落とすことでセットアップ・タイミングを満たすようになった |

プログラミング不具合事例

| | 現象 | 原因 | 対策 |
|---|--|---|---|
| 1 | JTAG 経由で JIC を使って ROM に書き込みができない | 空の ROM の場合、コンフィグレーションが繰り返し実行され、JTAG からの書き込みに影響を及ぼしてしまっていたため | 「Halt on-chip configuration controller」設定を無効にすることで書き込みができるようになった (設定方法は Appendix : 「プログラマー設定」参照) |
| 2 | インテル® ダウンロードケーブルではプログラムできていたが、インテル® ダウンロードケーブル II を使用するとプログラム時にエラーが発生してしまう | TCK の周波数が早いため、TCK の波形が乱れていたため | インテル® ダウンロードケーブル II の TCK 周波数を落とすことでプログラムが成功した |
| 3 | インテル® ダウンロードケーブル が認識されなくなった | ボードに電源が入ったままケーブルを抜き差ししたら壊れた | FPGA が搭載されているボードの電源を OFF にしてからケーブルの抜き差しをする |
| 4 | JTAG 経由で JIC を使って ROM に書き込みができないため、TCK の信号品質を確認しようとしてプローブを充てると書き込みができるようになった | パッシブプローブを充てることで TCK の反射などの乱れが緩和され書き込みができるようになった | TCK にダンピング抵抗を挿入することで書き込みができるようになった |

参考：トラブル・シューティング

- 「インテル® FPGA：アクティブ・シリアル・コンフィグレーションが成功しないときのチェックシート」を参照

<https://www.macnica.co.jp/business/semiconductor/articles/intel/120709/>

- デバイス・コンフィグレーション – サポートセンター

<https://www.intel.co.jp/content/www/jp/ja/programmable/support/support-resources/support-centers/configuration-support.html>

まとめ

コンフィグレーションは FPGA を使用する上で必須の工程であり、コンフィグレーションが失敗するとユーザーデザインの動作検証を行うことが全くできなくなってしまい、その後のお客様の開発工程に大きなインパクトを与えてしまいます。

そのため、インテルでは各 FPGA ファミリーに対応したコンフィグレーションの資料を用意しており、それらの資料に従って設計することが必要です。

本資料では、最もシンプルなコンフィグレーション手法である アクティブ・シリアル・コンフィグレーションに関して、基板設計上で注意すべき点、よくある不具合事例、およびその対処方法についてまとめました。

本資料がお客様の確実に動作する基板設計及び迅速なトラブル解決の一助となれば幸いです。



Thank you!



Appendix

Appendix : アジェンダ

- ピン・コネクション・ガイドライン
- 回路図レビュー・ワークシート
- MSEL ピン設定
- FPGA のデータ容量
- AS コンフィグレーション時間
- コンフィグレーション中の I/O 状態
- 推奨リセット回路構成
- Dummy Clock Cycles
- デバッグ波形
- AS Multi-Device コンフィグレーション
- Quartus[®] Prime 設定
 - コンフィグレーション・モード設定
 - CLKUSR ピンの設定
 - DCLK 周波数の変更方法
 - プログラマー設定

ピン・コネクション・ガイドライン

- Stratix® V E/GX
<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/dp/stratix-v/pcg-01011.pdf>
- Stratix® V GT
<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/dp/stratix-v/pcg-01015.pdf>
- Arria® V GX/GT
<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/dp/aria-v/pcg-01013.pdf>
- Arria® V GZ
<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/dp/aria-v/pcg-01016.pdf>
- Cyclone® V
<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/dp/cyclone-v/pcg-01014.pdf>

回路図レビュー・ワークシート

- Top Page

<https://www.intel.co.jp/content/www/jp/ja/programmable/support/support-resources/download/board-layout-test/schematic-review-ws.html>

- Stratix® V

https://www.altera.com/content/dam/altera-www/global/en_US/others/download/board-layout-test/schematic-review-ws/worksheets/Stratix V GX GS E Schematic Review Worksheet.doc

- Arria® V

https://www.intel.co.jp/content/dam/altera-www/global/en_US/others/download/board-layout-test/schematic-review-ws/worksheets/Arria V GX GT SX ST Schematic Review Worksheet.doc

https://www.intel.co.jp/content/dam/altera-www/global/en_US/others/download/board-layout-test/schematic-review-ws/worksheets/Arria V GZ Schematic Review Worksheet.doc

- Cyclone® V

https://www.altera.com/content/dam/altera-www/global/en_US/others/download/board-layout-test/schematic-review-ws/worksheets/Cyclone V Schematic Review Worksheet.doc



- MSEL ピン設定 (FPGA コンフィグレーション)

| Device Family | Configuration Mode | Compression | Design Security | VCCPGM | POR Delay | MSEL[4:0] |
|-------------------------------|--------------------|------------------|------------------|-----------------|-----------|-----------|
| Arria® V (GZ除く) Cyclone® V | FPP x8 | Disabled | Disabled | 1.8/2.5/3.0/3.3 | Fast | 10100 |
| | | | | | Standard | 11000 |
| | | Enabled | Enabled | 1.8/2.5/3.0/3.3 | Fast | 10101 |
| | | | | | Standard | 11001 |
| | | Enabled/Disabled | Enabled/Disabled | 1.8/2.5/3.0/3.3 | Fast | 10110 |
| | | | | | Standard | 11010 |
| | FPP x16 | Disabled | Disabled | 1.8/2.5/3.0/3.3 | Fast | 00000 |
| | | | | | Standard | 00100 |
| | | Enabled | Enabled | 1.8/2.5/3.0/3.3 | Fast | 00001 |
| | | | | | Standard | 00101 |
| | | Enabled/Disabled | Enabled/Disabled | 1.8/2.5/3.0/3.3 | Fast | 00010 |
| | | | | | Standard | 00110 |
| | PS | Enabled/Disabled | Enabled/Disabled | 1.8/2.5/3.0/3.3 | Fast | 10000 |
| | | | | | Standard | 10001 |
| AS (x1, x4) | Enabled/Disabled | Enabled/Disabled | 1.8/2.5/3.0/3.3 | Fast | 10010 | |
| | | | | Standard | 10011 | |

MSEL ピン設定 2/4



- MSEL ピン設定 (FPGA コンフィグレーション)

| Device Family | Configuration Mode | Compression | Design Security | VCCPGM | POR Delay | MSEL[4:0] |
|---------------------------|--------------------|------------------|------------------|-------------|-----------|-----------|
| Stratix® V Arria® V GZ | FPP x8 | Disabled | Disabled | 1.8/2.5/3.0 | Fast | 10100 |
| | | | | | Standard | 11000 |
| | | Disabled | Enabled | 1.8/2.5/3.0 | Fast | 10101 |
| | | | | | Standard | 11001 |
| | | Enabled | Enabled/Disabled | 1.8/2.5/3.0 | Fast | 10110 |
| | | | | | Standard | 11010 |
| | FPP x16 | Disabled | Disabled | 1.8/2.5/3.0 | Fast | 00000 |
| | | | | | Standard | 00100 |
| | | Disabled | Enabled | 1.8/2.5/3.0 | Fast | 00001 |
| | | | | | Standard | 00101 |
| | | Enabled | Enabled/Disabled | 1.8/2.5/3.0 | Fast | 00010 |
| | | | | | Standard | 00110 |
| | FPP x32 | Disabled | Disabled | 1.8/2.5/3.0 | Fast | 01000 |
| | | | | | Standard | 01100 |
| | | Disabled | Enabled | 1.8/2.5/3.0 | Fast | 01001 |
| | | | | | Standard | 01101 |
| | | Enabled | Enabled/Disabled | 1.8/2.5/3.0 | Fast | 01010 |
| | | | | | Standard | 01110 |
| | PS | Enabled/Disabled | Enabled/Disabled | 1.8/2.5/3.0 | Fast | 10000 |
| | | | | | Standard | 10001 |
| | AS (x1, x4) | Enabled/Disabled | Enabled/Disabled | 3.0 | Fast | 10010 |
| | | | | | Standard | 10011 |

MSEL ピン設定 3/4



- MSEL ピン設定 (HPS 経由のコンフィグレーション)

| Device Family | Configuration Mode | Compression | Design Security | POR Delay | MSEL[4:0] | cfgwidth | cdrratio | Partial Reconfiguration |
|----------------|--------------------|-------------|-----------------|-----------|-----------|----------|----------|-------------------------|
| Arria® V SoC | FPP x16 | Disabled | AES Disabled | Fast | 00000 | 0 | 1 | ○ |
| | | | | Standard | 00100 | 0 | 1 | ○ |
| | | Disabled | AES Enabled | Fast | 00001 | 0 | 2 | ○ |
| | | | | Standard | 00101 | 0 | 2 | ○ |
| | | Enabled | Optional | Fast | 00010 | 0 | 4 | ○ |
| | | | | Standard | 00110 | 0 | 4 | ○ |
| | FPP x32 | Disabled | AES Disabled | Fast | 01000 | 1 | 1 | × |
| | | | | Standard | 01100 | 1 | 1 | × |
| | | Disabled | AES Enabled | Fast | 01001 | 1 | 4 | × |
| | | | | Standard | 01101 | 1 | 4 | × |
| | | Enabled | Optional | Fast | 01010 | 1 | 8 | × |
| | | | | Standard | 01110 | 1 | 8 | × |
| Cyclone® V SoC | FPP x16 | Disabled | AES Disabled | Fast | 00000 | 0 | 1 | ○ |
| | | | | Standard | 00100 | 0 | 1 | ○ |
| | | Disabled | AES Enabled | Fast | 00001 | 0 | 2 | ○ |
| | | | | Standard | 00101 | 0 | 2 | ○ |
| | | Enabled | Optional | Fast | 00010 | 0 | 4 | ○ |
| | | | | Standard | 00110 | 0 | 4 | ○ |
| | FPP x32 | Disabled | AES Disabled | Fast | 01000 | 1 | 1 | × |
| | | | | Standard | 01100 | 1 | 1 | × |
| | | Disabled | AES Enabled | Fast | 01001 | 1 | 4 | × |
| | | | | Standard | 01101 | 1 | 4 | × |
| | | Enabled | Optional | Fast | 01010 | 1 | 8 | × |
| | | | | Standard | 01110 | 1 | 8 | × |



- MSEL ピン設定 (ハンドブックのリンク先)

- Stratix® V

- https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/stratix-v/stx5_core.pdf#page=241

- Arria® V

- https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/arriv/av_5v2.pdf#page=276

- Arria® V SoC (HPS 経由)

- https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/arriv/av_5v4.pdf#page=169

- Cyclone® V

- https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/cyclone-v/cv_5v2.pdf#page=242

- Cyclone® V SoC (HPS 経由)

- https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/cyclone-v/cv_5v4.pdf#page=172

FPGA のデータ容量

- FPGA のデータ容量 (Raw Binary File Size)

- Stratix® V

- https://www.intel.com/content/dam/altera-www/global/en_US/pdfs/literature/hb/stratix-v/stx5_53001.pdf#page=53

- Arria® V

- https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/arria-v/av_51002.pdf#page=83

- Cyclone® V

- https://www.intel.com/content/dam/altera-www/global/en_US/pdfs/literature/hb/cyclone-v/cv_51002.pdf#page=76

AS コンフィグレーション時間

- AS コンフィグレーション時間の大部分は EPCQ-A から FPGA にコンフィグレーション・データを転送する時間となる
- AS コンフィグレーション時のデータ転送時間
 - AS x1 モード
 - $\text{.rbf サイズ} \times (50\text{MHz 最小の DCLK 周期} / \text{DCLK サイクルあたり 1 ビット})$
= 推定最小コンフィグレーション時間
 - AS x4 モード
 - $\text{.rbf サイズ} \times (\text{最小の DCLK 周期} / \text{DCLK サイクルあたり 4 ビット})$
= 推定最小コンフィグレーション時間
 - コンフィグレーション・データを圧縮した場合にも同様の計算方法となる
 - 圧縮された分、データ転送は早くなる
 - 通常 30%~55% ぶん圧縮される (デザインに依存)
- 実際に FPGA の電源投入からユーザーモードまでの時間は
 - (電源の立ち上がり時間) + パワーオンリセット時間 + データ転送時間 + イニシャライゼーション時間

コンフィグレーション中の I/O 状態



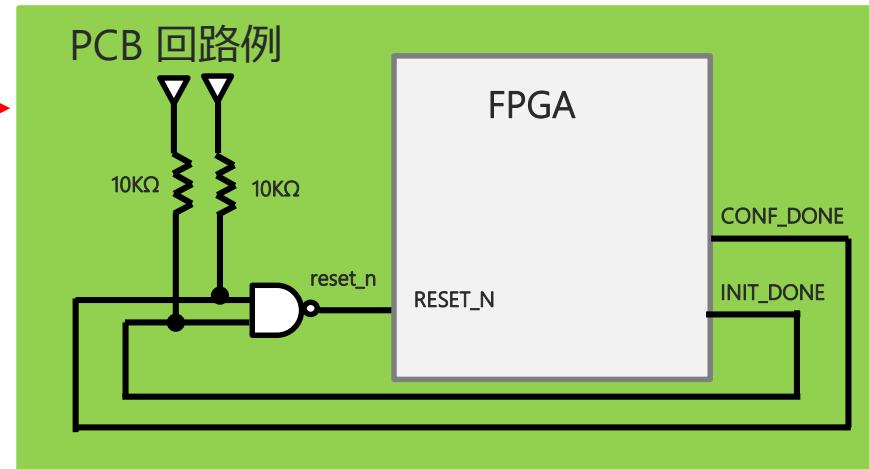
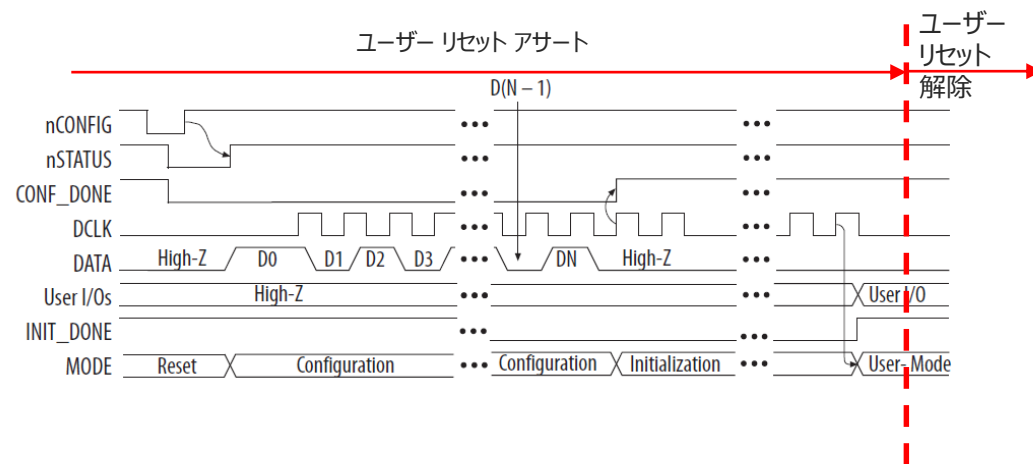
| デバイス | nIO_PULLUP | Weak Pull-Up |
|-------------|------------|--------------|
| Cyclone® V | - | 有効 |
| Arria® V GX | - | 有効 |
| Arria® V GZ | High | 無効 |
| | Low | 有効 |
| Stratix® V | High | 無効 |
| | Low | 有効 |

- Stratix® V, Arria® V GZ は nIO_PULLUP ピンによって制御可能
 - Cyclone® V, Arria® V に nIO_PULLUP ピンはなし
- Cyclone® V、Arria® V は Weak Pull-Up を無効にする機能はない

推奨リセット回路構成



- CONF_DONE 信号と INIT_DONE 信号を使用した推奨リセット回路構成
 - ユーザーモードに入るまでリセットを供給
 - https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd06112009_450.html
 - CONF_DONE と INIT_DONE の AND したものをリセット信号として使用



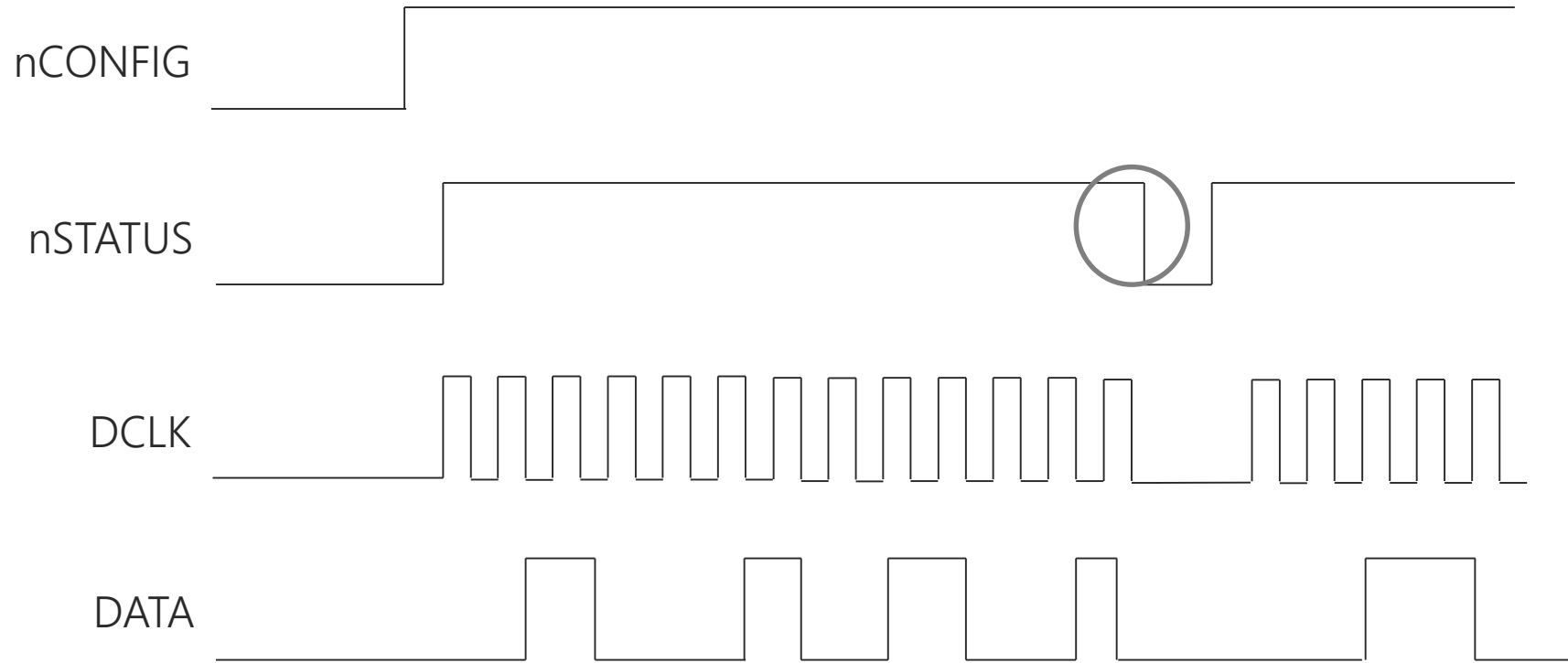
Dummy Clock Cycles

| Devices | Address Bytes | EPCQ/L Dummy Clock Cycles | |
|--|-------------------|---------------------------|------|
| | | ASx1 | ASx4 |
| Legacy, Cyclone [®] IV, Cyclone [®] 10 LP | 3-byte addressing | 8 | N/A |
| Cyclone [®] V, Arria [®] V, Stratix [®] V | 3-byte addressing | 12 | 12 |
| | 4-byte addressing | 4 | 10 |
| Arria [®] 10, Cyclone [®] 10 GX | 4-byte addressing | 10 | 10 |
| Stratix [®] 10 | 3-byte addressing | N/A | 10 |

参考：

<https://www.intel.co.jp/content/www/jp/ja/programmable/support/support-resources/knowledge-base/component/2018/how-do-i-enable-micron-s-mt25q-support-for-eol-of-epcq---256mb--.html>

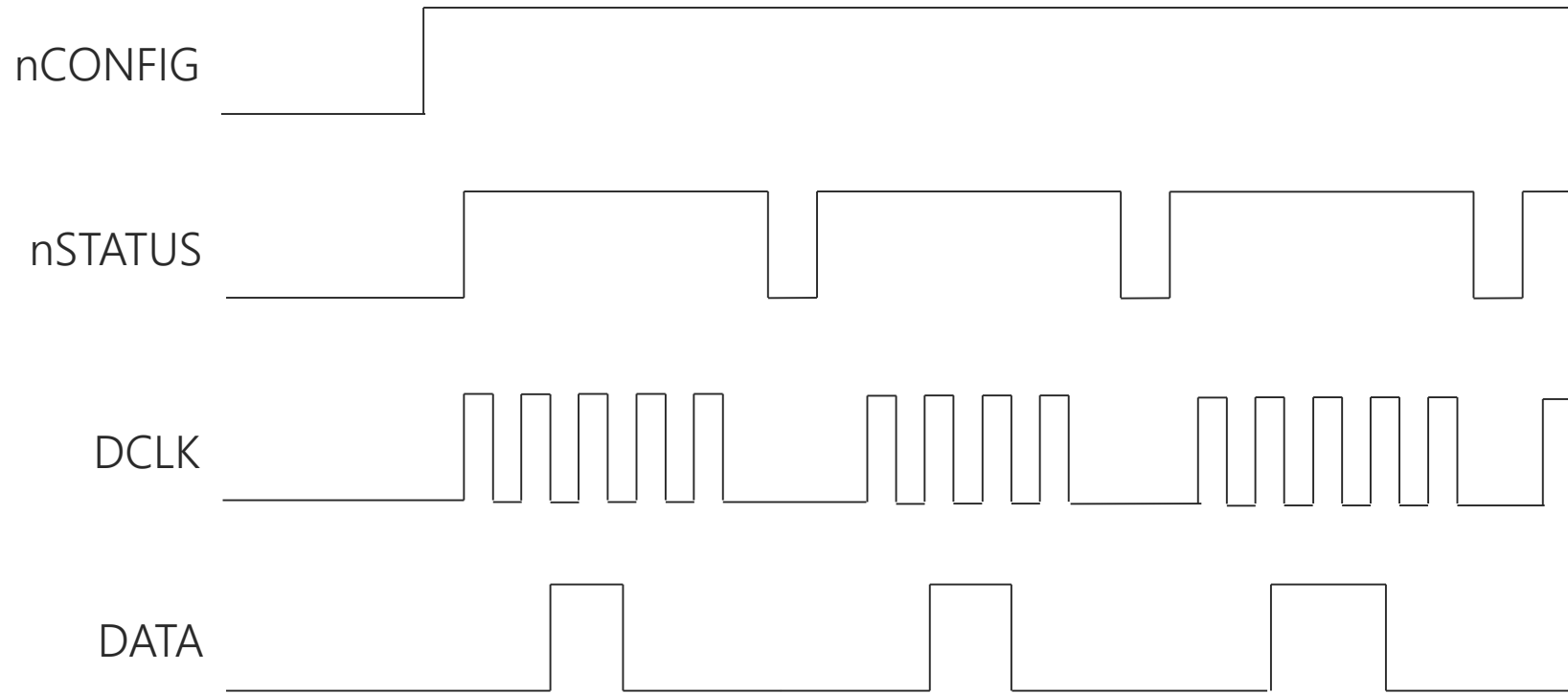
デバッグ波形①



nCONFIG の立ち上がりから、
nSTATUS の立ち下がりまでの時間

DCLK/DATA は出力されているか
- 未出力の場合は、nCE をチェック。
あるいは、基板の接続確認

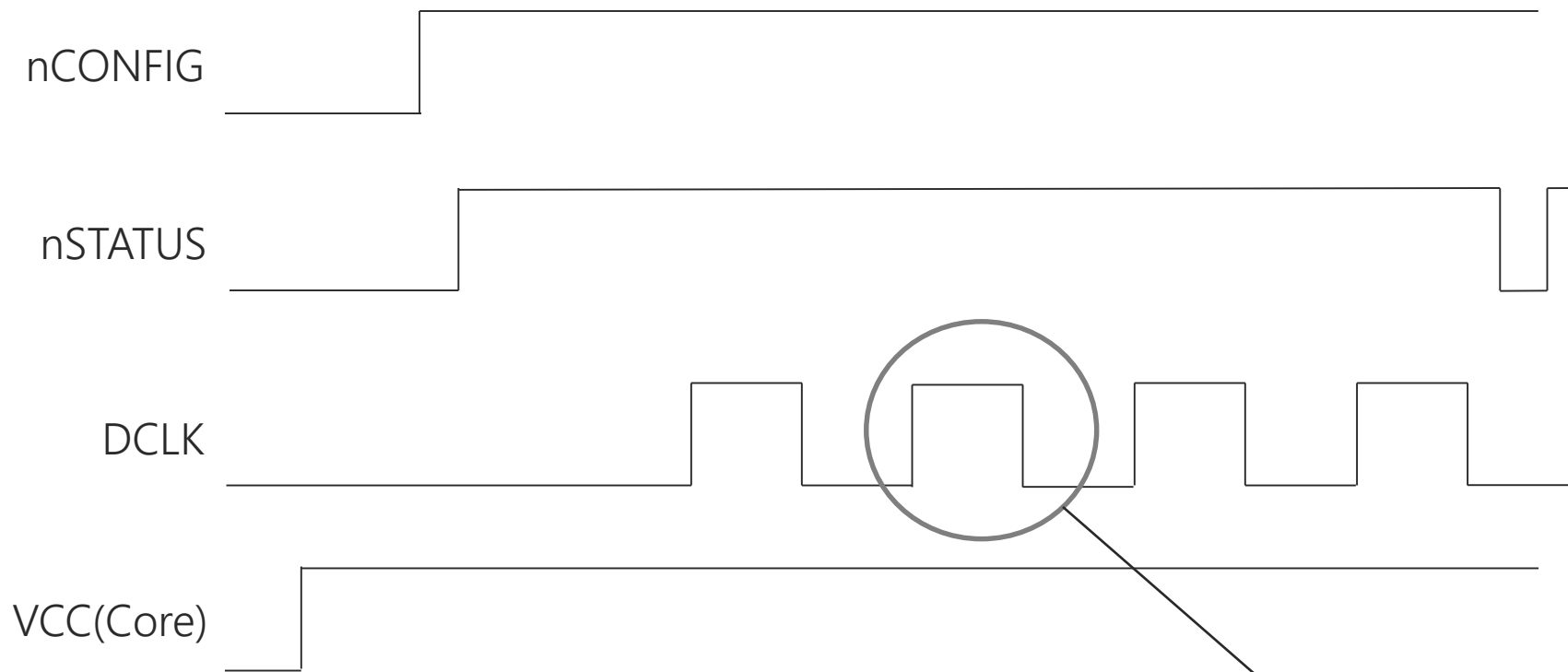
デバッグ波形②



nSTATUS の間隔は一定か？
不定期か？

- 一定間隔の場合、電源ドロップ、FPGA違い、ES/CS 違いを再確認
- 不定期の場合、信号品質の問題

デバッグ取得③



アクティブプローブで測定

DCLK を拡大

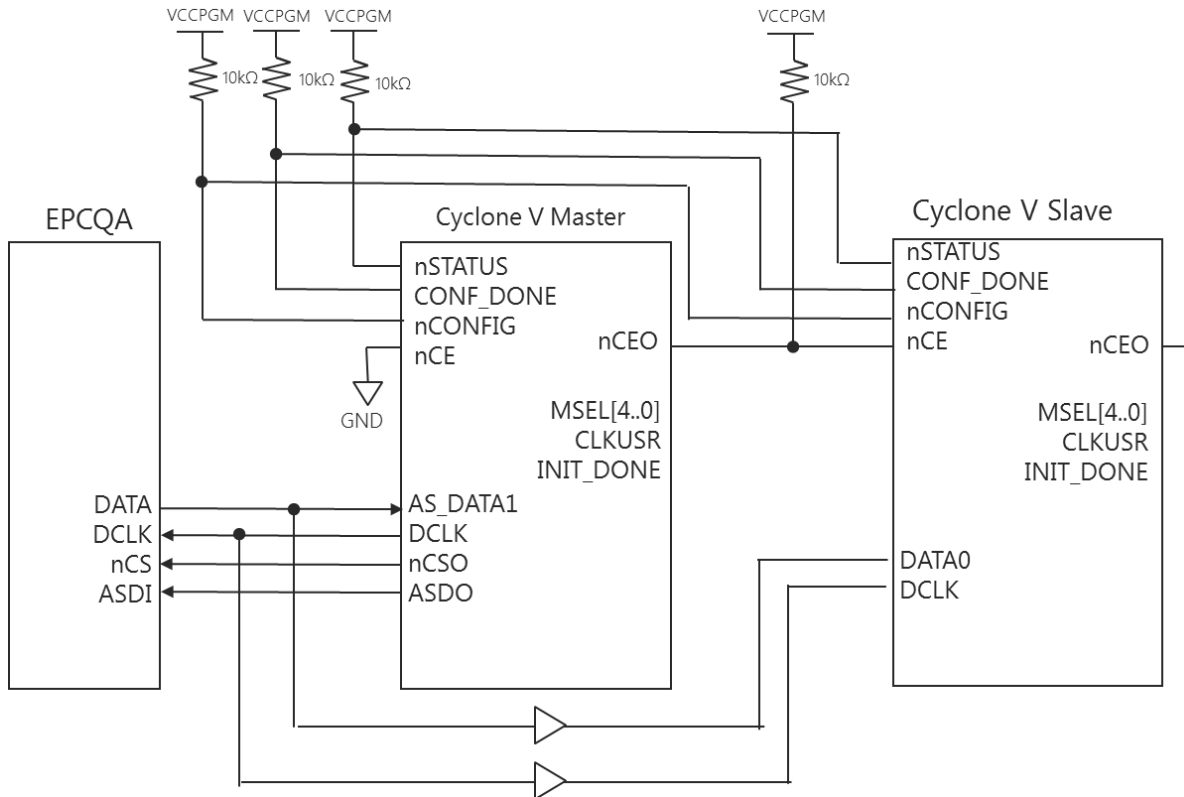
スレッシュホールド付近（立ち上がり、立下り）で、ドロップがないか確認

パッシブプローブを付けることで、コンフィグレーションが成功する場合は、信号品質の問題の可能性大。

悪い例



AS Multi-Device コンフィグレーション



- ① AS x1 Mode のみ、AS マルチ・デバイス・コンフィグレーションをサポート
・同じファミリーでの構成を推奨（すべての組み合わせで検証がされていないため）
- ② MSEL 設定の確認
マスターデバイス (初段) AS モード設定、スレーブデバイス (後段) PS モード設定
- ③ 接続の確認
下記信号がマスター/スレーブで共有になっているか確認
nCONFIG
nSTATUS
DCLK
DATA[]
CONF_DONE
- ④ マスターデバイス : nCEO、スレーブデバイス nCE の接続の確認
・初段デバイスの nCEO が後段の nCE に接続されているか確認
- ⑤ DCLK、DATA ラインのバッファについて
・4デバイス毎にバッファを使用

Quartus® Prime : コンフィグレーション・モード設定



- Assignments メニュー => Device.. を選択

Device and Pin Options - IOT_sample

Configuration

Specify the device configuration scheme and the configuration device.

Configuration scheme: Active Serial x4 (can use Configuration Device)

Configuration mode: Active Serial x1 (can use Configuration Device)

Configuration device: Passive Parallel x8

Passive Serial

Device and Pin Options.. ボタンをクリック

“Configuration scheme : ” より、下記の何れかを選択
「Active Serial x1 (can use Configuration Device)」
「Active Serial x4 (can use Configuration Device)」

| Name | Package | Pin count | Core speed grade | Name filter | Show advanced devices | GXB Channel |
|-------------|---------|-----------|------------------|-------------|-----------------------|-------------|
| 5CEBA9F31C8 | | | | | | |
| 5CEBA9U19C | | | | | | |
| 5CEBA9U19C | | | | | | |
| 5CEFA2F23C6 | 1.1V | 9430 | 224 | 224 | 0 | |

Quartus® Prime : CLKUSR ピンの設定



- Assignments メニュー => Device.. を選択

Device and Pin Options.. ボタンをクリック

Device initialization clock source : "より「CLKUSR pin」を選択

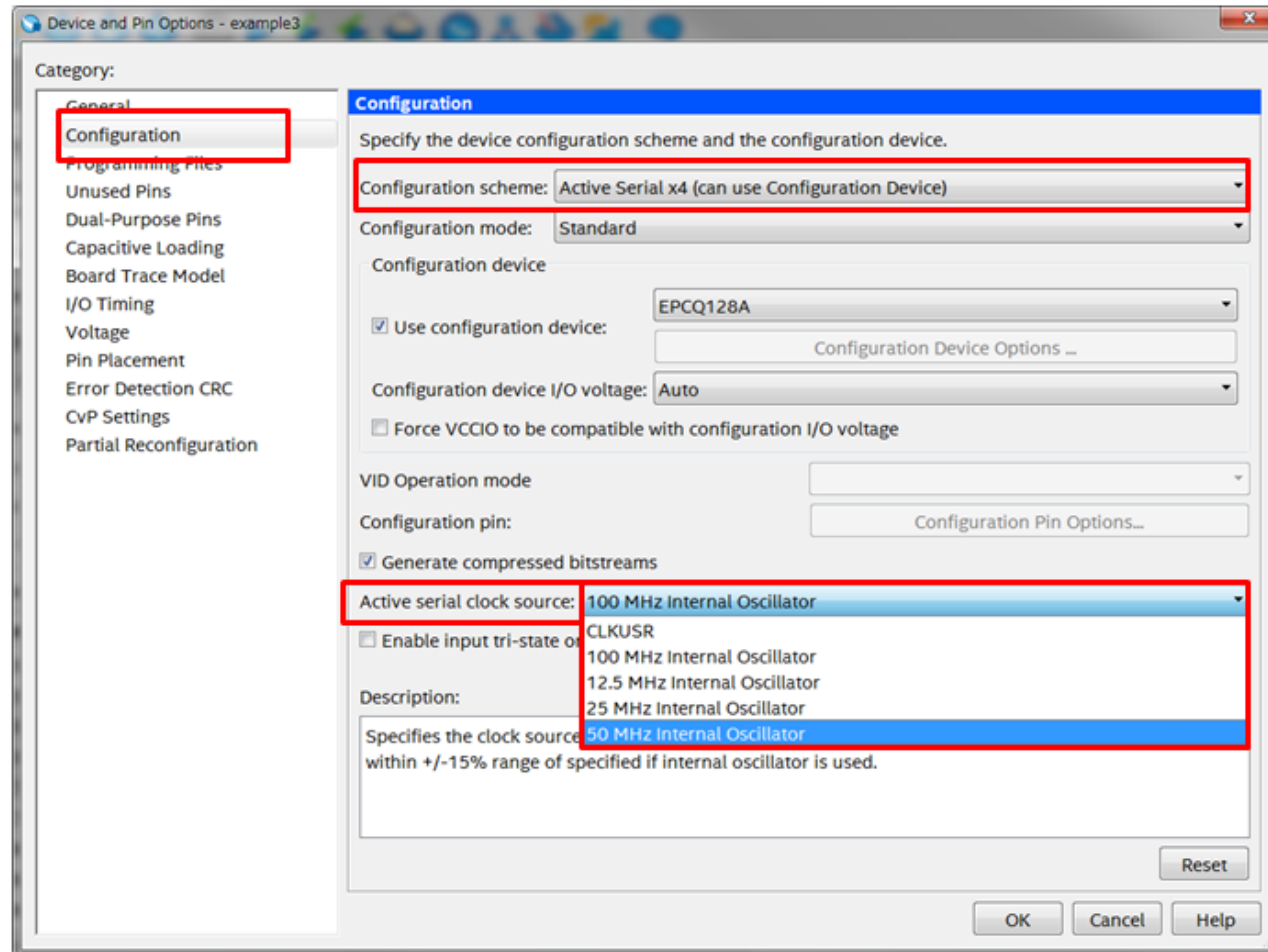
| Name | Voltage | IO Pins | IO Pins | IO Pins | GXB Channel |
|-------------|---------|---------|---------|---------|-------------|
| 5CEBA9F31C8 | | | | | |
| 5CEBA9U19C8 | | | | | |
| 5CEBA9U19C8 | | | | | |
| 5CEFA2F23C6 | 1.1V | 9430 | 224 | 224 | 0 |
| 5CEFA2F23C7 | 1.1V | 9430 | 224 | 224 | 0 |
| 5CEFA2F23C8 | 1.1V | 9430 | 224 | 224 | 0 |
| 5CEFA2F23I7 | 1.1V | 9430 | 224 | 224 | 0 |

Quartus® Prime : DCLK 周波数の変更方法



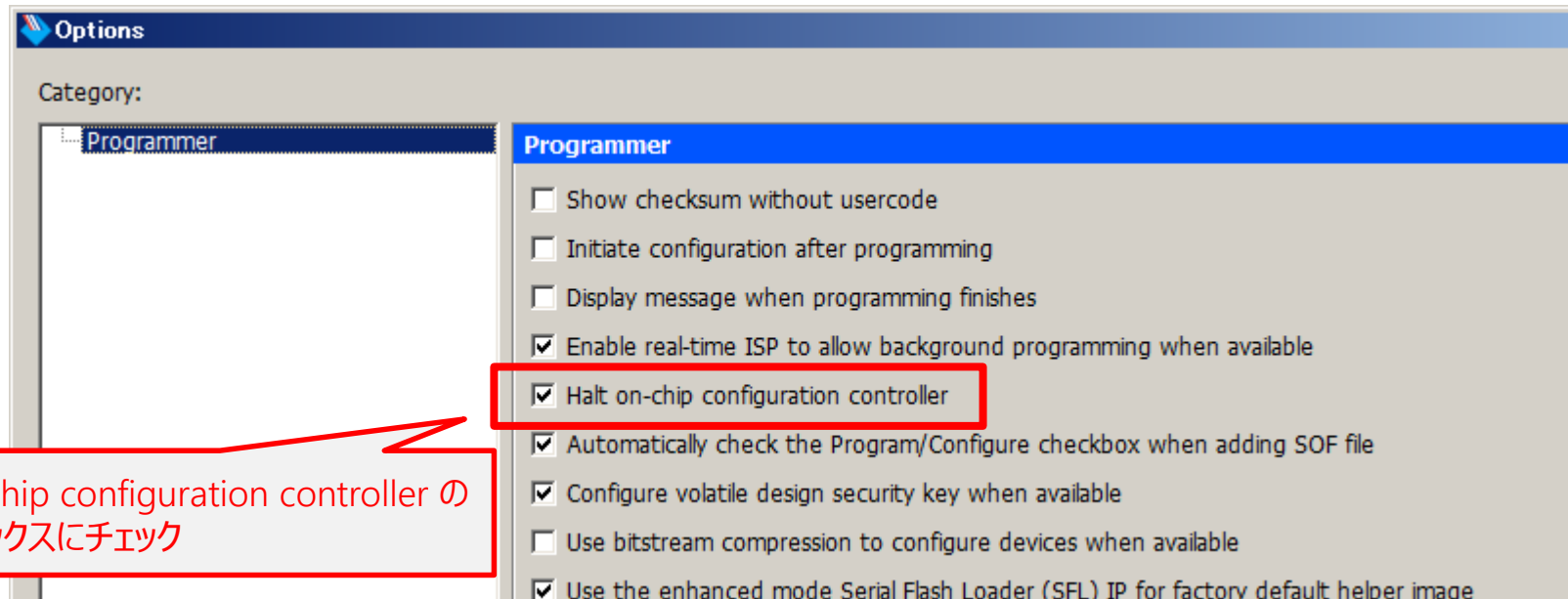
- 詳しくは、以下の URL を参照

<https://service.macnica.co.jp/support/faq/129941>





- Programmer を起動し、Tools メニュー => Options.. を選択





Thank you!

改版履歴

| Revision | 年月 | 概要 |
|----------|---------|---------------------------------|
| 1 | 2019年5月 | 初版作成 |
| 2 | 2019年9月 | MACNICA Web リニューアルに伴い、資料のリンクを修正 |

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。