Intel Agilex[®] 7 FPGA & SoC FPGA-to-HPS Bridge から DDR4 への アクセス事例 (SDRAM direct モード)

MACNICA

株式会社マクニカ アルティマカンパニー

Rev.1.1 2023/03

© Macnica, Inc.



- 本資料は、Intel Agilex[®] 7 FPGA & SoC の FPGA-to-HPS Bridge から DDR4メ モリーに SDRAM direct モードでアクセスする事例について紹介しています
- 使用 Tool:
 - インテル[®] Quartus[®] Prime プロ・エディション Version 22.1.0
- 本資料で使用している用語の正式名称は以下の通りです
 - HPS : Hard Processor System
 - HPS EMIF IP : External Memory Interface for HPS Intel Agilex[®] 7 FPGA IP



使用基板

- 動作確認は以下の開発キットにておこないました
 - Intel Agilex[®] 7 F-Series FPGA Development Kit
 - 実装デバイス: AGFB014R24B2E2V



HPS 用の DDR4 メモリー は ch1 となります

Agenda

デザイン構成
 デザイン準備
 実機測定

4. まとめ



デザイン構成

デザイン構成、動作速度

● 以下の構成で動作確認をおこないました



MPFE : Multi-port front end CCU : Cache Coherency Unit

#	l/F	Data width	動作速度	DDR	帯域	備考
1	FPGA-to-HPS bridge	512 bit	300 MHz		153.6 Gbps (19.2 GB/s)	AXI-4
2	DDR4	64 bit	1200 MHz	\bigcirc	153.6 Gbps (19.2 GB/s)	ECC OFF

デザイン準備

ハードウェア・リファレンス・デザイン (GHRD) の入手

- まず、使用する開発キット用のハードウェア・リファレンス・デザイン (GHRD) を入手します
 - 。 入手方法の詳細は以下の記事をご参照ください
 - <u>インテル® SoC FPGA ハードウェア・リファレンス・デザイン(GHRD)の入手&生成方法</u>
 - 今回使用する開発キット用の GHRD 生成には、make 実行時のオプション設定を以下のよう にします
 - BOARD_TYPE = "pcie_devkit"
 - BOOTS_FIRST = "fpga"

● 生成されたデザインを、使用する開発キットに合わせて修正します

- 。 上記設定では ES 品のデザインが生成されます
 - Production 品の開発キットを使用する場合は、型番修正その他の変更が必要です
 - Fpga_clk_100の I/O standardの設定は "TRUE DIFFERENTIAL SIGNALING" と修正します
- 。 今回は HPS が起動しない状態で動作するように、リセット論理の変更などもおこないました

FPGA-to-HPS Bridge の設定

● FPGA to HPS slave interface 設定は以下のとおりです

Hard Processor Sys	tem Intel A	gilex F	PGA IP							
FPGA Interfaces HPS Clock	is and resets	IO delays	Pin Mux and							
General										
Enable MPU standby and event signals										
Enable general purpose	signals									
Enable Debug APB interf	ace									
🗾 Enable System Trace Ma	crocell hardware	e events								
Enable FPGA Cross Trig	ger Interface									
Enable DDR ARM Trace	Bus (ATB)									
📃 Load IP-XACT Register D	Details									
HPS FPGA AXI Bridges										
FPGA to HPS slave inte	rface									
Interface specification::	AXI-4	-		Interface spe						
Enable/Data width:	512-bit	-		Enable/Data						
Interface address width:	32-bit 4GB	-		Interface add						
Interface destination:	SDRAM direct			Interface des						

Interface specification : AXI-4 Enable/Data width : 512-bit Interface address width : 32-bit 4GB Interface destination : SDRAM direct

• 詳細は下記資料をご参照ください

Intel Agilex[®] 7 Hard Processor System Technical Reference Manual - 7.3. FPGA-to-HPS Bridge

HPS EMIF IP 設定画面

● HPS EMIF IP は以下の設定としました (DQ width: 64bit、ECC OFF)

General Memory Mem I/O	FPGA I/O Mem Timing Boa									
▼ FPGA										
Speed grade:	E2∨ (ES3) - change device under									
Interface										
Configuration:	Hard PHY and Hard Controller									
Use clamshell layout										
Clocks										
Memory clock frequency:	1200.0									
Use recommended PLL refer	ence clock frequency									
PLL reference clock frequency:	33.333									
PLL reference clock jitter:	10.0									
Clock rate of user logic:	Half Half									

Memory Clock 周波数 1200 MHz の場合 Clock rate of user logic は Half 設定が可能 です

General Memory Mem I/O FPC	A I/O Mem Timing Board Controlle	
	· · ·	General Memory Mem I/O FPGA I/O
Memory format	RDIMM	Tow Power Mode
DQ width:	64 DQ = 64 bit	Enable Auto Power-Down
DQ pins per DQS group:	8	Auto Power-Down Cycles:
Number of DQS groups:	8	Efficiency
Number of clocks:	1	Enable User Refresh Control
Number of DIMMs:	1	Enable Auto-Precharge Control
Chip ID width:	0 (Non-3DS)	Address Ordering:
Number of physical ranks per DIMM:	1	Enable Reordering
Number of chip selects per DIMM:	1	Starvation limit for each command:
Row address width:	16 💌	Enable Command Priority Control
Column address width:	10 🗸	Enable controller major mode
Bank address width:	2	Enable controller post-pay refresh
Bank group width:	2	Enable controller pre-pay refresh
🗾 Data mask		Configuration, Status and Error Handlin
Write DBI		Enable Memory-Mapped Configuration a
✓ Read DBI		Enable Error Detection and Correction Lo
ALERT# pin placement:	Automatically select a location	Export error-correction code (ECC) state

CS-CID-Row-Bank-Col-BG 10 ndling ion and Status Register (MMR) Interface ECC OFF ion Logic with ECC status ports

MACN

Board Controller

Mem Timing

FPGA-to-HPS Bridge からアクセスするブロックの作成、実装

- FPGA-to-HPS Bridge からアクセスをおこなうモジュールは新規作成しました
- FPGA-to-HPS Bridge から SDRAM direct モードでアクセスする設定は以下のと おりです
 - AxUSER[7:0] = 0xE0
 - AxDOMAIN[1:0] must be 'b00 (Non-shareable) (今回は使用しない)
 - AxBURST[1:0] = 2'b01 (INCR)
 - 。 詳細は下記資料をご参照ください

Intel Agilex[®] 7 Hard Processor System Technical Reference Manual - 7.3. FPGA-to-HPS Bridge



プラットフォーム・デザイナー画面

				-				1
		🖃 💷 agilex_hps	Hard Processor System Intel Agilex FPGA IP					
		⊢ −■ h2f_watchdog_rst	Reset Output	wd_reset				
		f2h_stm_hw_events	Conduit	agilex_hps_f2h_stm_hw				
		≻ ► h2f_cs	Conduit	agilex_hps_h2f_cs				
		► hps_emif	Conduit	Double-click to export				
		≻ ▶ hps_io	Conduit	hps_io				
		⊢ In h2f_reset	Reset Output	h2f_reset				
		→ h2f_axi_clock	Clock Input	Double-click to export	clk_100_ou			
		→ h2f_axi_reset	Reset Input	Double-click to export	[h2f_axi_clo			
		<pre>< = h2f_axi_master</pre>	AXI4 Manager	Double-click to export	[h2f_axi_clo			
		→ h2f_lw_axi_clock	Clock Input	Double-click to export	clk_100_ou			
		→ h2f_lw_axi_reset	Reset Input	Double-click to export	[h2f_lw_axi			
		Interpretation of the second secon	AXI4 Manager	Double-click to export	[h2f_lw_axi			
		→ f2h_axi_clock	Clock Input	Double-click to export	iopll_0_out			
		→ f2h_axi_reset	Reset Input	Double-click to export	[f2h_axi_clo			
		→ f2h_axi_slave	AXI4 Subordinate	Double-click to export	[f2h_axi_clo			9
		→ f2h_irq0	Interrupt Receiver	Double-click to export			IRQ O	
rl		⊢	Interrupt Receiver	f2h_irq1			IRQ O	J
		⊟ =D≢ emif_hps	External Memory Interfaces for HPS Intel A					
		 pll_ref_clk 	Clock Input	emif_hps_pll_ref_clk	exported			
		≻ ► oct	Conduit	emif_hps_oct				
		≻ ► mem	Conduit	emif_hps_mem				
		hps_emif	Conduit	Double-click to export				
		emif_calbus	Conduit	Double-click to export	[emif_calbus			
	↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓	emif_calbus_clk	Clock Input	Double-click to export	emif_calbu			
~		🖃 💷 emif_calbus_0	External Memory Interfaces Intel Calibratio					
		emif_calbus_0	Conduit	Double-click to export	emif_calbus			
			Clock Output	Double click to export	emif_celbus			
		⊟ = ioplI_0	IOPLL Intel FPGA IP					IOPLI Intel FPGA IP
		→ reset	Reset Input	Double-click to export				
	◆ 	refclk	Clock Input	Double-click to export	clk_100_ou			(300 MHZ
		Iocked	Conduit	iopll_0_locked				
		< - outclk0	Clock Output	Double-click to export	iopll_0_outclk0			
~		□ = axi4_effi_blk_0	axi4_effi_blk					
	Ŷ Ĭ	→ clk_axi4	Clock Input	Double-click to export	iopll_0_out			HDS_to_EDGA Bride
		→ nRST_axi4	Reset Input	Double-click to export	[clk_axi4]			TIF 5-10-1 FOA DITU
	Ŷ <u></u> <u></u> <u></u>	clk_avs	Clock Input	Double-click to export	iopll_0_out			(新規作成)
		nRST_avs	Reset Input	Double-click to export	[clk_axi4]			(1112011200)
		 axi4_master 	AXI4 Manager	Double-click to export	[clk_axi4]			
		→ ■ avs	Avalon Memory Mapped Agent	Double-click to export	[clk_avs]	in 0x0000_0000		
	ò- ⊙	≻ ■ err_det	Conduit	err_det	[clk_axi4]			ITAG to Avalon Mag
		□ =□= master_0	JTAG to Avalon Master Bridge Intel FPGA IP					
	◇ ◆ ◆ ↓ → → → → → → → → → → → → → → → → →	Clk	Clock Input	Double-click to export	iopll_0_out			FPGA IP
	• • • • • • • • • • • • • • • • • • • •	Clk_reset	Reset Input	Double-click to export				
		master_reset	Reset Output	Double-click to export				(System Console 用
		< master	Avalon Memory Mapped Host	Double-click to export	[clk]			

je 接続モジュール

ster Bridge Intel

MACNICA



© Macnica, Inc.

コンパイル後に生成される .sof ファイルの編集

- コンパイル後、.sof に HPS を起動するための .hex ファイルを追加します
 - 。 quartus_pfg コマンドで実行します
 - 。 実行コマンド例:

quartus_pfg.exe -c ghrd_agfb014r24a3e3vr0.sof sample_hps.sof -o hps_path=u-boot-spl-dtb.hex

。 詳細は下記資料をご参照ください

Intel Agilex[®] 7 SoC FPGA Boot User Guide - 4.5. Configuration over JTAG



実機測定

FPGA-to-HPS Bridge 開通設定

- .sof を プログラミング後、FPGA-to-HPS Bridge の開通設定をおこないます
- 開通設定は、以下の手順でおこないます
 - ① ターミナル・ソフトを起動して、シリアル・ポートの設定をおこないます
 - ② インテル[®] Quartus Prime の Programmer を用いて、生成した sof をプログラミングします
 - ③ ターミナル・ソフトにて、u-boot コマンドで "bridge enable" と入力します

これにより、開通設定されました

Loading Environment from FAT... Unable to read "uboot.env" from mmc0:1... In: serial0@ffc02000 Out: serial0@ffc02000 Err: serial0@ffc02000 Net: Warning: ethernet@ff800000 (eth0) using random MAC address - 9e:fe:dc:ee:13:6f eth0: ethernet@ff800000 Hit any key to stop autoboot: 0 SOCFPGA_AGILEX # bridge enable SOCFPGA_AGILEX #

• 弊社コンテンツ資料もご参考ください

<u>SoC FPGA の FPGA-to-SDRAM インターフェースの開通設定(U-Boot 2019.04)</u>



アクセスする SDRAM アドレスについて

● アクセスする DDR4 SDRAM のアドレスは、HPS 側でブート・ローダーが使用 する領域を避けるようにしました

。 ブート完了後は使用しても問題ないと思われますが、念のため回避してアクセスしています



Write 動作測定結果 (バースト長: 32)

- FPGA-to-HPS Bridge から Write 連続動作の波形です
 - 。 これ以外に DDR4 へのアクセスは無い状態での測定です
 - アドレス値はインクリメントとし、実行効率が最大となるようにしています
- AWVALID = Hi のタイミングで WREADY = Lo となりますが、その後は WREADY = Hi が継続することが確認できました

Name		-512	-256	Q.	256	. 512	768	1024	. 1280	1536	1792	2048	2304	2560	2816	30,72	. :
soc instlagilex hps/f2h AWLOCK																	
soc instlagilex hps/f2h AWREADY	AWREADY																
soc instlagilex hps/f2h AWVALID	AWVALID	ШЦ		ЦШ													
• soc inst agilex hps f2h AWADDR[310]																	
										1h							
										2h							
						111	n I I I I I I I I								1	3h	
										1Fh							
										Oh							
										Oh							
										6h							
■ soc inst agilex hps f2h AWUSER[220]										0000E0h							
soc inst agilex hps f2h WREADY	WREADY	ПП	1							┭┮┮┮┮┮┮							
soc inst agilex hps f2h WVALID	WVALID	ППП	1				╷┌╻┌╴┎╷										
soc inst agilex hps f2h WLAST									ШЦЦ								
									soc	instlagilex hnslf2h AV	Name	2640	2656	2672	2688	2704	2720 2736
									oc	instlagilex hps/f2h AV	VREADY AW	VREADY			Π	Π	
soc inst agilex hps f2h BREADY										oc instlagilex hps/f2h	AWADDR[310]			000000000000000000000000000000000000000			
soc inst agilex hps f2h BVALID		ШЦ							± s € s	oc instlagilex hps/f2h oc instlagilex hps/f2h	AWBURST[10] AWCACHE[30]				Ň	2h	
						OEh				oc inst agilex hps f2h oc inst agilex hps f2h	AWID[40] AWLEN[70]		<u>)h X</u>	OEh	χς	DFh X 1Fh	10h
soc inst agilex hps f2h BRESP[10]									± s € s	oc instlagilex hpslf2h oc instlagilex hpslf2h	AWPROT[20] AWOOS[30]					Oh Oh	
		-								oc instlagilex hps/f2h	AWSIZE[20]					6h 0000E0h	
						≜			soc	instlagilex hps/f2h Wi	READY WR	EADY					
									SOC	inst[agilex hps]f2h W		ALID					
					11-	71.00	ミノフ田	問	±-s €-s	oc inst]agilex hps]f2h oc inst]agilex hps]f2h	WDATA[5110] WSTRB[630]				FFF	FFFFFFFFFFFFFF	
						マンツ	ノユ州	IFI	soc	instlagilex hps/f2h BR instlagilex hps/f2h BV	EADY					л	
•									±-s ∓-e	oc instlagilex hps/f2h	BID[40]		OBh	_X	OCh	X 00	<u>h χ</u>
ACNICA							© Mac	nica In	- Ë	se instrugues upsji211	Site of Lind						

Read 動作測定結果 (バースト長:32)

- FPGA-to-HPS Bridge から Read 連続動作の波形です
 - 。 これ以外に DDR4 へのアクセスは無い状態での測定です
 - アドレス値はインクリメントとし、実行効率が最大となるようにしています
- リフレッシュ期間を除き、RVALID がほぼ連続して Hi になっていることが確認 できました

Shiri (0.0.0.2 ctapsed)							cheren	moeream	C Dui						
Name	-512 -25	6 <u> </u>	256	. 512	768	1024	1280	1536	1792	2048	2304	25,60	28,16	30,72	332
soc inst agilex hps f2h ARLOCK															
soc instjagilex hpsjf2h ARREADY ARREADY															
soc instjagilex hpsjf2h ARVALID ARVALID															
■ soc inst agilex hps f2h ARADDR[310]															
soc inst agilex hps f2h ARBURST[10]								1h							
soc inst agilex hps f2h ARCACHE[30]								2h							
soc inst agilex hps f2h ARID[40] soc inst agilex hps f2h ARID[40]				01	h								07	7h	
soc inst agilex hps f2h ARLEN[70]								1Fh							
soc inst agilex hps f2h ARPROT[20]								Oh							
soc inst agilex hps f2h ARQOS[30]								Oh							
■ soc inst]agilex hps f2h ARSIZE[20]								6h							
■ soc inst agilex hps f2h ARUSER[220]								0000E0h							
soc instJagilex hpsJf2h RREADY RREADY	_														
soc instjagilex hpsjf2h RVALID															
soc inst agilex hps f2h RLAST															
[™] soc inst agilex hps f2h RID[40]				0	1h								06	ih	
[™] soc inst agilex hps f2h RRESP[10]								Oh							
[™] soc inst]agilex hps f2h RDATA[5110]															
														A	



リフレッシュ期間

リフレッシュ期間

バースト長を変更時の測定結果

- バースト長を変更して測定した結果は以下のようになりました
- Write 動作では、バースト長を小さくすると効率が低下しますが、これは AWVALID を Hi とする回数が増加するためと考えられます
- Read 動作では、バースト長に依存しない結果となりました

#	項目	Address	バースト長	効率測定結果 *1
1	Write 連続	increment	8	77.1 %
2	Write 連続	increment	16	85.4 %
3	Write 連続	increment	32	90.1 %
4	Read 連続	increment	8	94.6 %
5	Read 連続	increment	16	94.6 %
6	Read 連続	increment	32	94.9 %

*1 効率計算方法: Write : Write コマンドを連続して発行した際の WVALID が有効となる比率 Read : Read コマンドを連続して発行した際の RVALID = Hi となる比率

まとめ MACNICA

まとめ

- Intel Agilex[®] 7 FPGA & SoC の FPGA-to-HPS Bridge から SDRAM direct モードで DDR4 メモリーへの Write 動作、Read 動作をおこないました
- Write 連続動作では、AWVALID = Hi のタイミングで WREADY = Lo となります が、その後は WREADY = Hi が継続することが確認できました
- Read 連続動作では、リフレッシュ期間を除き、ほぼ連続して RVALID = Hi となることが確認できました



MACNICA

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
- 4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。