

# Intel Agilex<sup>®</sup> 7 FPGA の DDR4 ランダム・アドレス・アクセス 効率測定事例

# macnica

株式会社マクニカ アルティマカンパニー

# 概要

- **本資料では、Intel Agilex<sup>®</sup> 7 FPGA から外部メモリー・インターフェース IP (以後 EMIF IP ) を使用して DDR4 にランダム・アドレス・アクセスをおこなった際の効率測定結果についてまとめています**
  - 使用 EMIF IP : External Memory Interface Intel Agilex<sup>®</sup> 7 FPGA IP
- **EMIF IP の設定を変更して、結果を比較しています**
- **注意事項 :**
  - 本資料の内容は一つの測定事例であり、この効率を保証するものではありません

# Agenda

1. EMIF IP の効率向上オプション
2. 実機テスト内容
3. 実機テスト結果
4. まとめ

# 1. EMIF IP の効率向上 オプション

**macnica**

# EMIF IP のコントローラーの効率向上に有効なオプション(1)

- EMIF IP の以下設定はコントローラーの効率向上に関連します

項目	内容	デフォルト設定
Address Ordering	ユーザー側アドレスについて Row、Col、BA、BG の割り当てを設定します。 <a href="#">バンク・インターリービング</a> 動作となるように、アドレスの変化の多いビットをBA、BG にアサインすると有効です。	CS-CID-Row- Col-Bank-BG
Enable Reordering	以下の 2 つの機能が有効となります	ON
<a href="#">Data Reordering</a>	異なるバンク、ロウアドレスへのアクセスについて、順序を入れ替え、切り替え回数を減らす	
<a href="#">Command Reordering</a>	アクセスするバンクについて効率的に実行できるようにコマンドの順序を入れ替える機能	
Starvation Limit	コマンド順序を入れ替える際に、各コマンドの遅延許容数です。 (参考： <a href="#">Starvation Control</a> )	10
Enable controller major mode	コマンド・アービターのフロー・コントロールを有効にし、ターン・アラウンド・タイムを削減します	OFF

以下もご参照ください

[External Memory Interfaces Intel Agilex® 7 FPGA IP User Guide](#)

[- 6.1.6. Intel Agilex EMIF IP DDR4 Parameters: Controller](#)

# EMIF IP のコントローラーの効率向上に有効なオプション(2)

項目	内容	デフォルト設定
Enable controller post-pay refresh	リフレッシュ・コマンド発行を状況により遅延させる、またアイドルの際に複数のリフレッシュ・コマンドを発行する。アイドル状態になる周期に合わせるなど、実際のアクセスに合わせてると有効	OFF
Post-pay refresh lower limit	連続リフレッシュを停止する最小値	0
Post-pay refresh upper limit	連続リフレッシュを必ず開始する値	2
Enable controller pre-pay refresh	リフレッシュ・コマンド発行を状況により先に実行させる、またアイドルの際に複数のリフレッシュ・コマンドを発行する。アイドル状態になる周期に合わせるなど、実際のアクセスに合わせてると有効	OFF
Pre-pay refresh upper limit	連続リフレッシュを停止する最大値	1

以下もご参照ください

[External Memory Interfaces Intel Agilex® 7 FPGA IP User Guide](#)

[- 6.1.6. Intel Agilex EMIF IP DDR4 Parameters: Controller](#)

[- 10.4.13. Controller Pre-pay and Post-pay Refresh \(DDR4 Only\)](#)

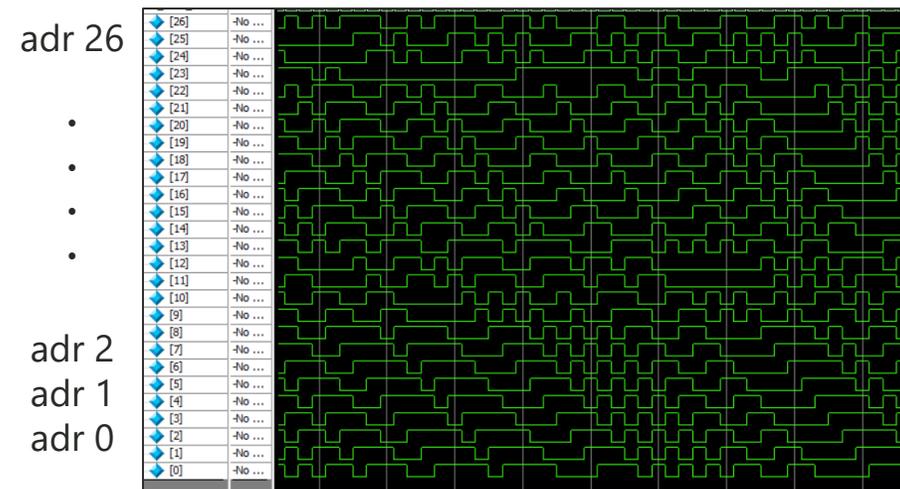
## 2. 実機テスト内容

**macnica**

# 実機テスト内容

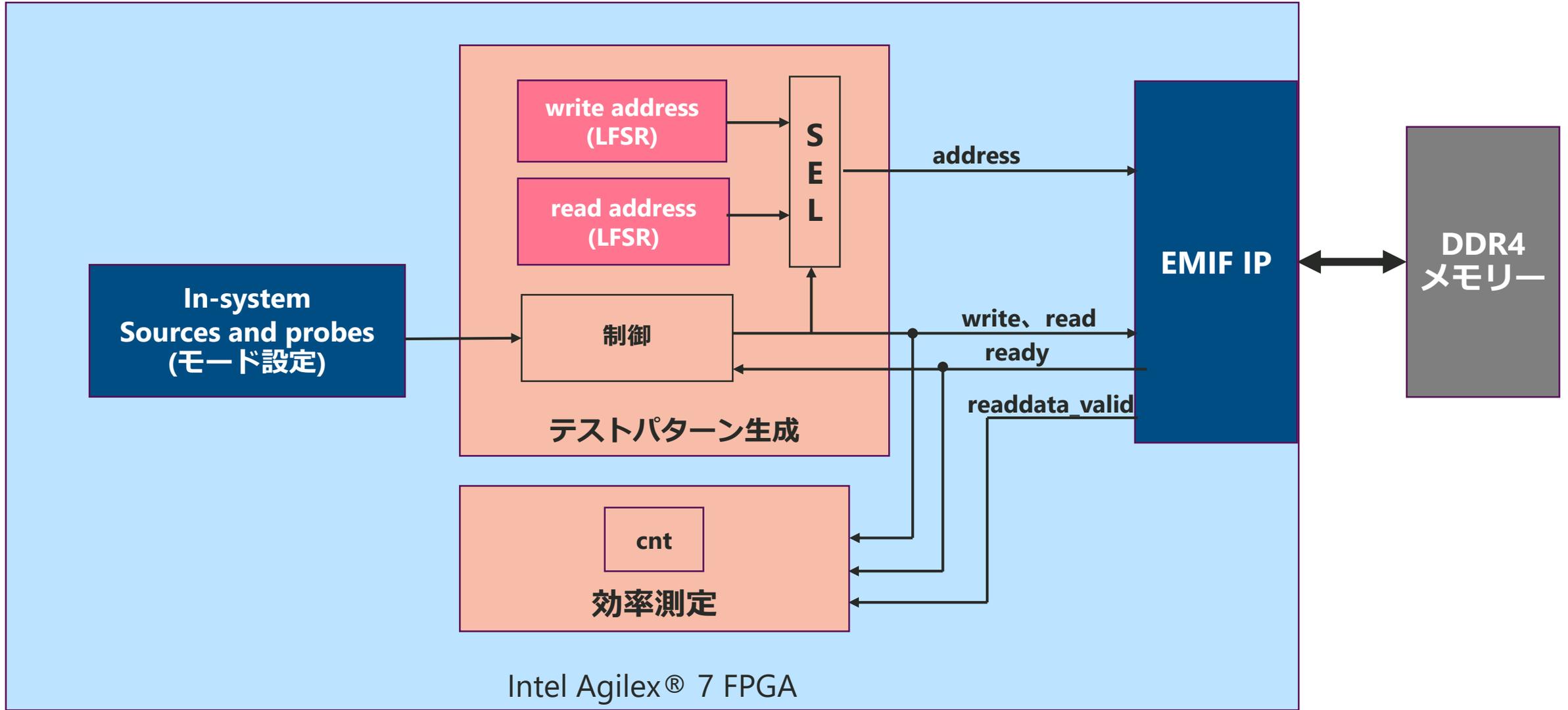
## ● 実機テストは以下の設定でおこないました

項目	内容
アドレス・パターン	ランダム・アドレス (LFSR : Linear Feedback Shift Register)
バースト長	ユーザー側 : 1 (シングル・アクセス) DDR4 メモリー : 8 バースト
write/read 切替	① write only
	② read only
	③ write / read 切替、1 コマンド毎 (write 1 回 → read 1 回 → write 1 回 → read 1 回 → )
	④ write / read 切替、16 コマンド毎 (write 16 回 → read 16 回 → write 16 回 → read 16 回 → )
write/read data	all '0' 固定 (データ判定無し)



ランダム・アドレス・パターン

# デザインのブロック図



■ インテル<sup>®</sup> IP

■ インテル<sup>®</sup> example design のモジュールを流用

■ マクニカ作成

# 効率の計算方法

## ● 以下の式で効率を測定：

- write : (一定時間内<sup>\*1</sup>に有効な write の個数) ÷ (一定時間<sup>\*1</sup>のクロック数)
- read : (一定時間内<sup>\*1</sup>に有効な readdata\_valid の個数) ÷ (一定時間<sup>\*1</sup>のクロック数)

\*1 : 一定時間 : 16384 clk (@300 MHz) ⇒ 54.6 us としている。

refresh cycle : 7.8 us に対して、十分大きい (7倍)

### 3. 実機テスト結果

**macnica**

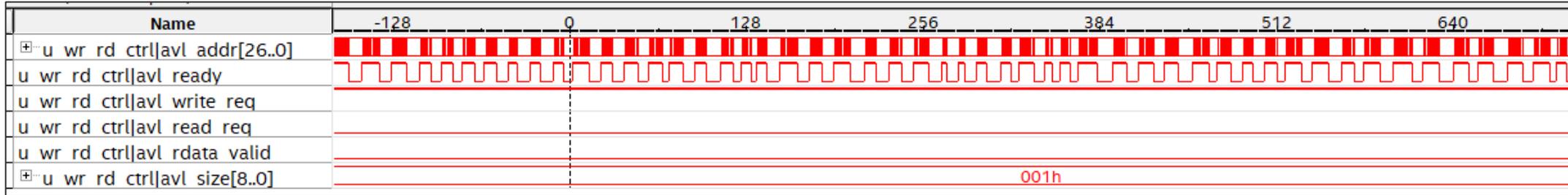
# 実機測定結果

#	設定項目					効率測定結果 (%)			
	Address Ordering	Starvation Limit	Enable controller major mode	Enable controller post-pay refresh	Enable controller pre-pay refresh	wr_only	rd_only	wr/rd 1:1 ( )内は合計値	wr/rd 16:16 ( )内は合計値
1 (default)	CS-CID-Row-Col-Bank-BG	10	OFF	OFF	OFF	35.6	45.9	16.5/16.5 (33.0)	17.1/17.2 (34.3)
2	CS-BG-Bank-CID-Row-Col	10	OFF	OFF	OFF	36.4	46.5	16.6/16.6 (33.2)	18.7/18.5 (37.2)
3	CS-CID-Row-Col-Bank-BG	20	OFF	OFF	OFF	43.3	48.6	18.7/18.7 (37.4)	18.6/18.6 (37.2)
4	CS-CID-Row-Col-Bank-BG	10	ON	OFF	OFF	51.0	48.8	18.4/18.3 (36.7)	19.8/19.8 (39.6)
5	CS-CID-Row-Col-Bank-BG	10	OFF	ON	ON	36.3	46.4	16.6/16.5 (33.1)	18.8/18.8 (37.6)
6	CS-CID-Row-Col-Bank-BG	10	ON	ON	ON	51.3	48.9	18.5/18.4 (36.9)	21.0/21.0 (42.0)

# 動作波形例 (1)

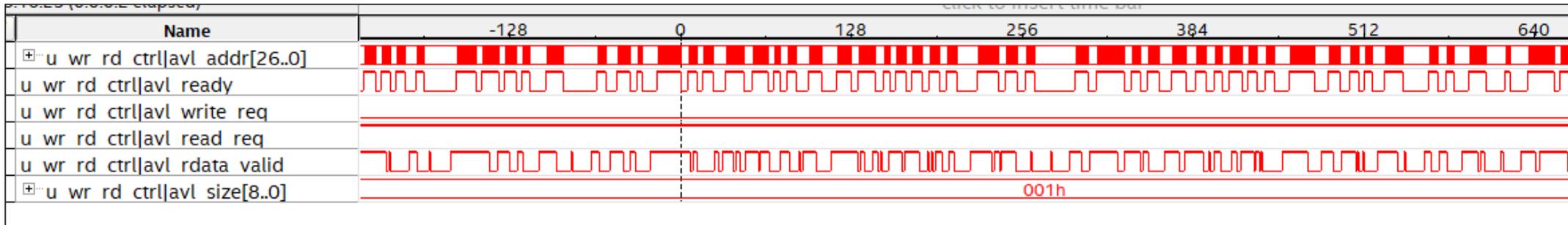
## ● write only

- avl\_write\_req は Hi 固定となり、avl\_ready = Hi のタイミングが有効です
- 効率は avl\_ready = Hi の比率です



## ● read only

- avl\_read\_req は Hi 固定となり、avl\_ready = Hi のタイミングが有効です
- 効率は avl\_rdata\_valid = Hi の比率です



# 動作波形例 (2)

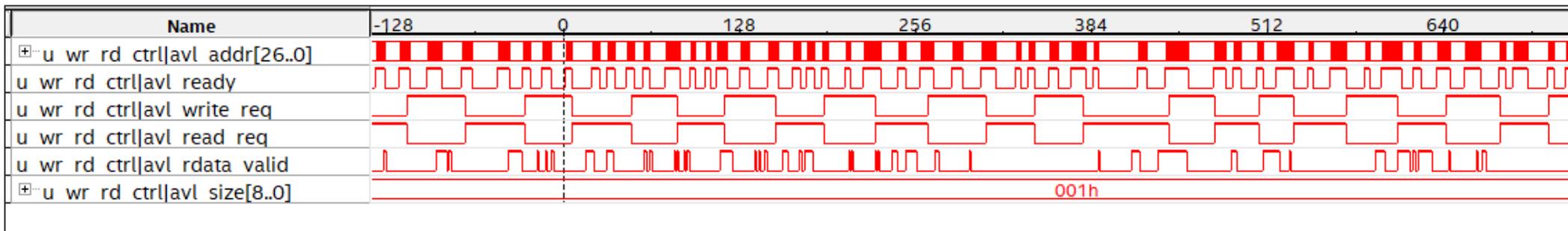
## ● write/read 1:1

- avl\_write\_req / avl\_read\_req は有効なタイミング (avl\_ready = Hi) 1 回ずつ切り替わります
- write 効率 : avl\_write\_req、avl\_ready がともに Hi の比率、read 効率 : avl\_rdata\_valid = Hi の比率



## ● write/read 16:16

- avl\_write\_req / avl\_read\_req は有効なタイミング (avl\_ready = Hi) 16 回ずつ切り替わります
- write 効率 : avl\_write\_req、avl\_ready がともに Hi の比率、read 効率 : avl\_rdata\_valid = Hi の比率



## 4. まとめ

# macnica

# まとめ

- 今回の事例により、EMIF IP のオプションには効率の向上に寄与する設定があることを確認できました
  - 設定内容は一意には決定されません
- ユーザー側からのアクセスに対応したオプションを設定し、効率向上の可能性をご検討いただければと思います

# macnica

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万が一不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。