

第 5 章 論理合成プロセス

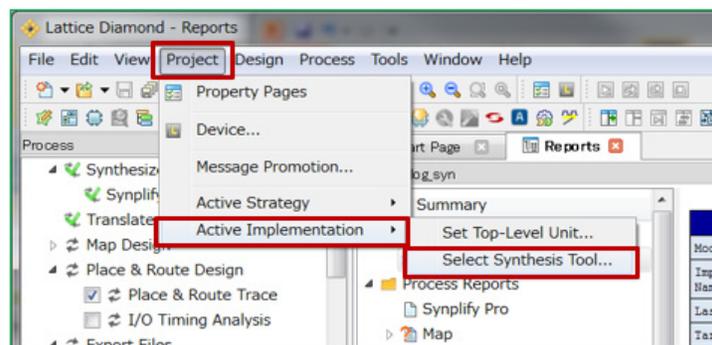
5.1 論理合成ツール

Lattice Diamond の論理合成ツールには Synplify Pro for Lattice (以下 Synplify Pro) と Lattice Synthesis Engine (以下 LSE) があります。LSE が新規プロジェクト作成時のデフォルトですが、指定を変えることができます。LSE を選択した場合は、論理合成と一緒に ”Translate Design” プロセス相当の処理も実行されますので、プロセスビューには表示されません。

5.1.1 使用する論理合成ツールの選択

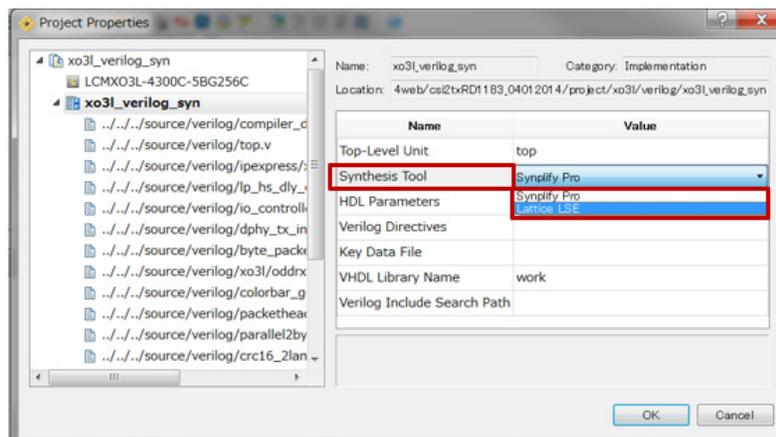
プロジェクト作業中に論理合成ツールを選択・変更する方法は複数あります。最初の方法は Lattice Diamond のメニューバーから [Project] → [Active Implementation] → [Select Synthesis Tool...] を選択します (図 5-1)。

図 5-1. 論理合成ツールの選択



表示される図 5-2 のような ”Project Properties” ウィンドウで、左枠でアクティブなインプリメンテーションが選択されている状態で、右枠表内 Name カラムの ”Synthesis Tool” 行に、選択されている論理合成ツールが表示されます。[Value] セルのどこかをクリックすると、プルダウン形式で選択可能なツール名が表示されます (この例では Synplify Pro と LSE)。所望のツールを選択後、『OK』ボタンをクリックします。

図 5-2. 論理合成ツールの選択 (プロジェクト・プロパティ・ウィンドウ)

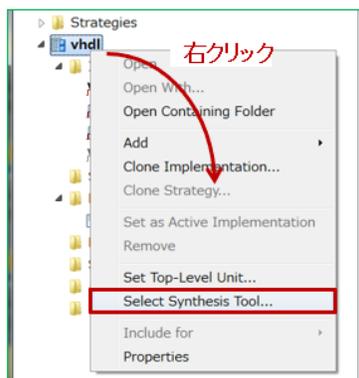


註: 本 Lattice Diamond 日本語マニュアルは、日本語による理解のため一助として提供しています。作成にあたっては各トピックについて可能な限り正確を期しておりますが、必ずしも網羅的あるいは最新でない可能性や、オリジナル英語版オンラインヘルプや各種ドキュメントと不一致がある可能性があります。疑義が生じた場合は技術サポート担当者にお問い合わせ頂くか、または最新の英語オリジナル・ソースを参照するようお願い致します。

論理合成ツールはインプリメンテーションごとに指定できます。

メニューバーからではない操作方法は、アクティブなインプリメンテーション名を選択後右クリックし、[Select Synthesis Tool...]を選びます (図 5-3)。あるいは同様にアクティブ・インプリメンテーションを右クリック後 [Properties] を選択します。いずれも図 5-2 と同じプロパティ・ウィンドウが表示されますので、指定を変更できます。

図 5-3. 論理合成ツールの指定を変更する方法 2



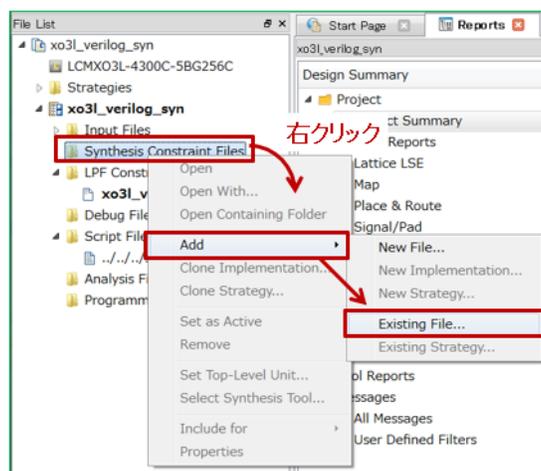
5.1.2 論理合成制約ファイルのプロジェクトへの取り込み

通常の Lattice Diamond フローでは、論理合成用ストラテジーの各オプション設定をデザイン全体 (グローバル) に適用します。例えば、デザインに 25MHz と 125MHz の二系統のクロックがある場合、ストラテジーでは両方に 125MHz を制約として与えることが基本になります。

一方、論理合成制約ファイル (Synthesis Preference File) を用いることで、より詳細なコントロールが可能になります。この例で言えば 25MHz のクロックには 25MHz を、125MHz のクロックには 125MHz の制約を与えるなど、クロックネットごとに個別に周波数制約を与えることが可能になります。制約ファイルがなくても Diamond フローの処理自体には支障ありませんが、論理合成結果としての EDIF の質は異なります。

プロジェクト作成時には、論理合成制約ファイルはありません。作成済み論理合成制約ファイルをインポートするには、メニューバーから [File] → [Add] → [Existing File...] と選択するか、"File List" ウィンドウ内 [Synthesis Constraint Files] 行を右クリックし (図 5-4) [Add] → [Existing File...] を選択します。

図 5-4. 既存の論理合成制約のインポート

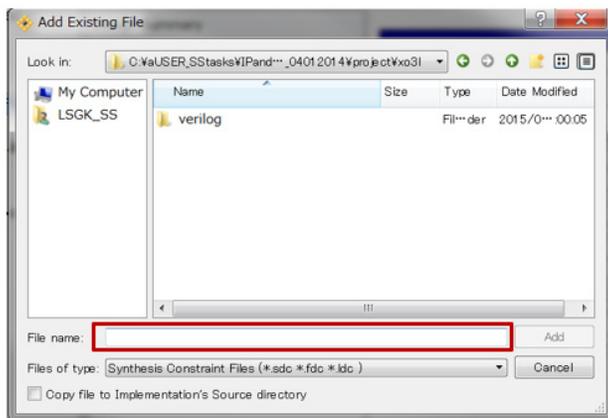


インポートするファイルの選択ウィンドウ (図 5-5) が立ち上がり ("File of Type" は [Synthesis Constraint Files])、フォルダー内にある制約ファイル候補が表示されますので、ブラウズして適当なファイルを選択後、

『Add』ボタンをクリックします。LSE 用は拡張子が ”*.ldc”、Synplify Pro 用は拡張子が ”*.fdc” (旧版は ”*.sdc”) です。

このとき、ウィンドウ下部の「Copy file to Implementation's Source directory」にチェックが入っていると、インプリメンテーション下の ”Source” サブフォルダーにコピーが作成され、それがインポートされます。チェックが入っていない場合は、選択したファイルがリンクされてインポートされます。

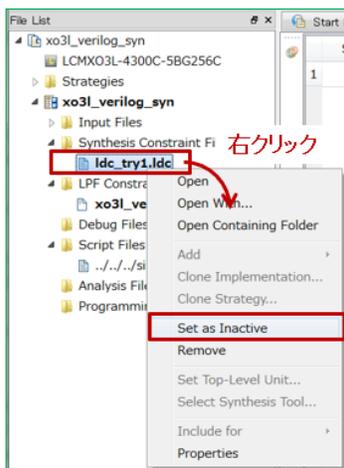
図 5-5. インポートする制約ファイルの選択



インプリメンテーションには複数の論理合成制約ファイルをインポートすることができます。アクティブな (有効) 制約ファイルは太字で、非アクティブな制約ファイルはグレーで表示されます。

アクティブ化と非アクティブ化の操作は、対象の論理合成制約ファイルををクリックして選択し、右クリックすると表示されるプルダウンから [Set as Active] または [Set as Inactive] を選択します (図 5-6)。

図 5-6. 論理合成制約の非アクティブ化



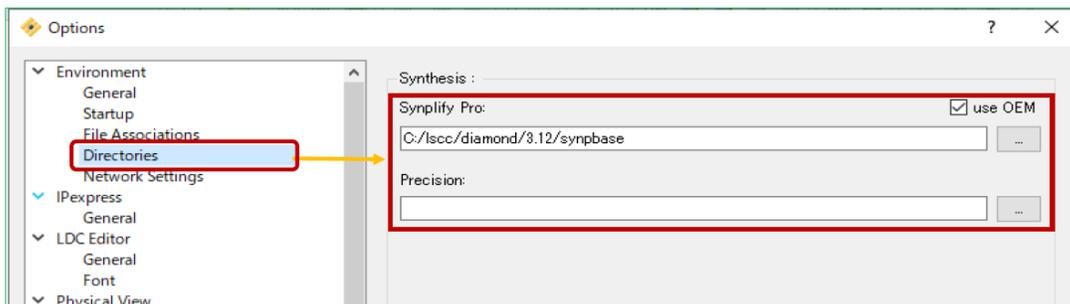
非アクティブな論理合成制約ファイルは削除できます。図 5-6 と同様に右クリックし [Remove] を選択するか、選択した状態でキーボードの『Delete』キーを押します。”プロジェクトから削除”とはインポート情報の削除で、ファイル自体の削除ではありません。

5.1.3 OEM 版以外のツールを使用する場合の設定

論理合成ツールの実行パス設定を行うことで、Lattice Diamond 用に提供されている OEM 版論理合成ツールではないツール や正規バージョンの Synplify Pro などが使用できます。Lattice Diamond のメニューバーから [Tools] → [Options...] を選択すると環境オプション設定ウィンドウが起動します (図 5-7)。ウィンドウ左

側の枠 [Environment] → [Directories] を選択すると、右側はパス設定入力表示になります。ウィンドウ上部に Synplify Pro と Precision のパス設定セルが用意されています。

図 5-7. Lattice Diamond の環境オプション設定ウィンドウ (一部) ~ ツールパスの設定



デフォルトのパスは Synplify Pro は OEM 版が設定され、Precision はブランクになっています。必要に応じてこれらを変更します。Lattice Diamond にバンドルされている Synplify Pro for Lattice を選択した場合、ウィンドウ右上の「use OEM」のチェックは外さないようにし、これ以外の Synplify Pro の場合は、「use OEM」のチェックを外します。

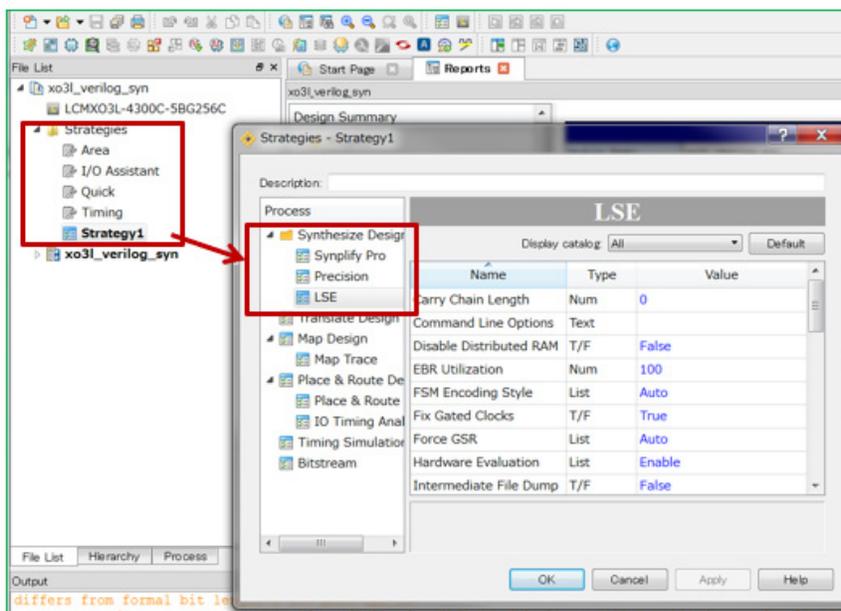
5.2 LSE

5.2.1 ストラテジー・オプション設定

ファイルリスト・ビューには、プロジェクトにインポートされているストラテジーの一覧が表示されています。複数ある中の太字表示が、インプリメンテーションに適用されます。ストラテジー名をダブルクリックすると、ストラテジー設定ウィンドウが開きます。

論理合成ツールとして LSE を指定している状態でストラテジー設定ウィンドウを立ち上げると、図 5-8 のように「LSE」が選択されて表示されます。

図 5-8. LSE のストラテジー設定ウィンドウ



以降に LSE のストラテジー・オプションについて記述します。オリジナルの記述はオンラインヘルプで

[Strategy Reference Guide] → [LSE Options] を選択してご参照頂けます。

Allow Duplicate Modules

パラメータ : True / False デフォルト : False

[True] にするとモジュールの複製を許可します。

Carry Chain Length

パラメータ : 数値 デフォルト値 : 0 (制限なし)

カウンターや演算回路で使用されるキャリー (桁上がり/下がり) プリミティブ CCU (Carry Chain Cells) の使用数に関するオプションで、単一キャリー・チェーンの最大数を指定します。

この設定は [Use Carry Chain] オプションが [True] の場合のみ有効です。

Command Line Options

パラメータ : 文字列 デフォルト : ブランク

GUI のリストに表示されていない特別なオプションを使用する場合に、直接引数等を記述します。

DSP Style

パラメータ : DSP/ Logic デフォルト : DSP

DSP モジュールをどのように実装するかを指定します。デフォルトは DSP マクロを使用し、[Logic] では汎用ロジック (LUT) を使用します。

DSP Utilization

パラメータ : 数値 デフォルト値 : 100

DSP マクロ使用率 [%] の上限値を指定します。

Decode Unreachable States

パラメータ : True / False デフォルト : False

[True] にすると、FSM (ステートマシン) が未定義ステートに遷移した場合の動作記述 ("default" ステート) を残します。

Disable Distributed RAM

パラメータ : True / False デフォルト : False

[True] にすると、RTL 記述のメモリー推論で分散メモリー (Distributed Memory) を使用した回路を生成せずに、EBR を用います。

EBR Utilization

パラメータ : 数値 デフォルト値 : 100

EBR 使用率 [%] の上限値を設定します。設定した値を超える場合、残りは分散メモリー (Distributed Memory) で実現されます。

FSM Encoding Style

パラメータ : Auto / Binary / Gray / One-Hot デフォルト : Auto

FSM のステート・エンコード方式に関する設定です。Auto (デフォルト) の場合は、RTL 記述ステート数から、LSE が決定します。その場合、Gray は 4 ステート未満でのみ指定可能です。

Auto 以外では、それに従ったエンコードの FSM が生成されます。

Fix Gated Clocks

パラメータ : True / False デフォルト : True

デフォルトでは、RTL 記述でゲーティングしているクロック信号を、FPGA 実装に適する構成に変換します。対象クロックは .ldc ファイルに "create_clock" 制約で明記されている必要があります。また、変換するためには全てのゲーティング論理が分解できること、など一定の条件があります。変換でき

ない場合は、スキューの大きいクロックネットとして実装されますので、注意が必要です（基本的にクロック・ゲーティングはしないことが重要です）。

変換されたクロックと関連情報はログファイル”synthesis.log”に書き出されます。

Force GSR

パラメータ：Auto / Yes / No デフォルト：Auto

論理合成時の GSR (Global Set/Reset) 使用に関する設定です。[Yes] では GSR バッファを使用し、[No] では使用しません。[Auto] では LSE が自動的に判断します。

GSR はマッピング・プロセスでより適切な条件で挿入することができます。意図するマッピング結果にならない場合は、このオプションを [No] にすることを推奨します。

Hardware Evaluation

パラメータ：Enable / Disable デフォルト：Enable

デフォルト (Enable) ではライセンスの無い IP コアを評価可能にするために時限タイマー (約 4 時間) を埋め込みます。IP ライセンスが無い状態で [Disable] にすると、書き込みファイル (.bit/.jed) は生成できません。ライセンス入手後の設定はどちらでもかまいません。

Intermediate File Dump

パラメータ：True / False デフォルト：False

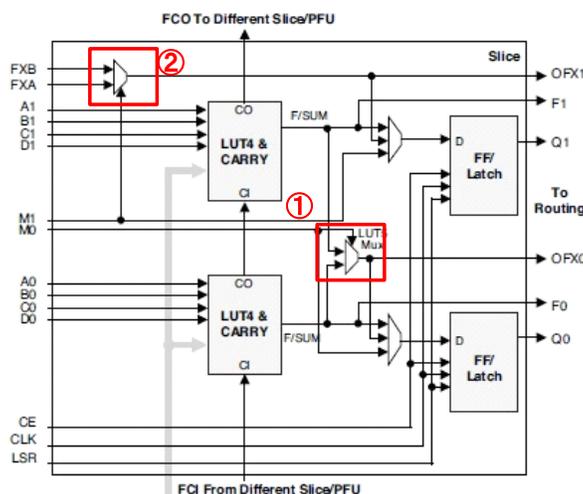
[True] にすると (EDIF の他に) 暗号化 Verilog HDL ファイルを出力します (拡張子 *.ve)。デフォルト (False) では出力されません。何らかの問題が生じた際などに、固有のデザインをブラックボックスとして FAE から技術支援を受けることができるようになります。

Loop Limit

パラメータ：数値 デフォルト値：1950

RTL ソース記述内の ”for” や ”while” ループ回数の最大値を設定します。ループ・インデックスが定数ではなく変数として定義されている場合にのみ適用されます。小さすぎる値は無視されます。大きすぎると、スタック・オーバーフローを生じる可能性がありますので、ご注意ください。

図 5-9. MUX Style オプション対象のスライス内マルチプレクサー



MUX Style

パラメータ：Auto / L6Mux Multiple / L6Mux Single / PFU Mux デフォルト：Auto

マルチプレクサーに関する設定です。デフォルト (Auto) では LSE が判断します。[PFU Mux] はスライス内の ”PFU Mux” (図 5-9 ②) と LUT を使用します。[L6Mux Single] はスライス内の ”L6Mux” (図 5-9 ①) を優先的に使用してマルチプレクサーを生成します。L6Mux は 4 つの LUT と 2 つの PFUMux

がドライブする場合にのみ使われます。[L6Mux Multiple] は複数の "L6Mux" を優先的に使用してマルチプレクサーを生成します。

Macro Search Path

パラメータ：フォルダーパス デフォルト：ブランク

デザインで IP コア（ネットリスト提供）やネットリストファイル (*.ngo) のあるマクロを使用している場合、そのフォルダーパスを指定します。プロジェクト・フォルダーに当該ファイルがある場合や、これらを使用しないデザインではブランクで構いません。複数のフォルダーを指定する場合は、";" で区切ります（間にスペースは入れない）。パスの記述は相対パスでも有効です。

Max Fanout Limit

パラメータ：最大ファンアウト数 デフォルト値：1000

ファンアウト上限数を制約します。ファンアウトがこの値を超えた場合は、ドライバをコピーしてファンアウトを減らします。

Memory Initial Value File Search Path

パラメータ：フォルダーパス デフォルト：ブランク

EBR（ブロックメモリー）の初期値設定を行う際に、初期値を記述したファイル (*.mem) が保存されているフォルダーパスを指定します。何も指定しない場合は、インプリメンテーション・フォルダーが参照されます。EBR の初期値設定を行わない場合は、記述する必要はありません。また、モジュール生成ツールで生成する際に初期化ファイルを指定している場合は、ここで再度指定する必要はありません。

Number of Critical Paths

パラメータ：パス数 デフォルト値：3

論理合成結果のタイミング・レポート (<top_module>_lse.twr) に出力するクリティカルパス数を指定します。

Optimization Goal

パラメータ：Area / Balanced / Timing デフォルト：Balanced

[Area] は使用リソース数が最適になるように、[Timing] は動作速度が最適（ロジック段数が最小）になるように論理合成を行います。デフォルト（Balanced）は LDC 制約に従って、使用リソース数と速度のバランスを考慮して最適化されます。

Propagate Constant

パラメータ：True / False デフォルト：True

デフォルト（True）では、固定値が（論理やモジュールの入力に）接続されている回路を最適化（削除）します。[False] を選択すると、回路は最適化されずに残ります。

RAM Style

パラメータ：Auto / Block_RAM / Distributed / Registers デフォルト値：Auto

RAM を推定する場合の実現方法（リソース）を設定します。[Block RAM] では EBR が、[Distributed] は分散 RAM が、[Registers] ではレジスタがそれぞれ使用されます。デフォルト（Auto）は LSE が最適なものを選択します。

ROM Style

パラメータ：Auto / EBR / Logic デフォルト：Auto

ROM を推定する場合の実現方法（リソース）を設定します。[EBR] では EBR を使用し、[Logic] では分散メモリかスライス内のロジックリソースで構成します。デフォルト（Auto）は LSE が最適なものを選択します。

Remove Duplicate Registers

パラメータ : True / False デフォルト : True

全く同じ機能（論理）のフリップフロップが複数ある場合、デフォルト（True）では冗長な分を最適化（削除）してリソース数を削減します。[False]では削除せずに残します。

Remove LOC Properties

パラメータ : On / Off デフォルト : Off

RTL ソース内記述のポート配置制約（LOC）に関して、デフォルト（Off）では以降のプロセスに引き継がれます。[On]にすると、RTL ソース内の指定は除かれます。

Resolve Mixed Drivers

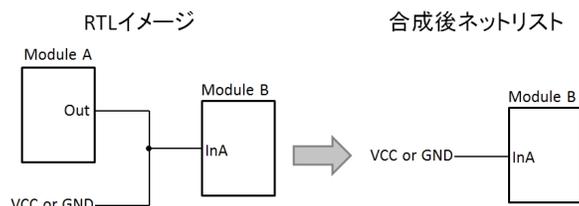
パラメータ : True / False デフォルト : False

アクティブな信号および VCC（または GND）が同時にドライブしている場合、[True]を選択すると VCC（または GND）に固定します。

例えば RTL 記述で図 5-10 のように 1つのネットが複数のドライバに接続されており、その一方が "1=VCC" または "0=GND" 固定の場合、[True]では固定値（0か1）として処理されます。メッセージ（複数ドライバによる信号衝突がある趣旨）は出力されますが、エラーにはなりません。デフォルト（False）では、エラーとなって処理が中断されます。

なお、[True]でも [False]でも、衝突している全てのドライバが固定値でない場合は、エラーとして処理は中断されます。

図 5-10. Resolve Mixed Drivers 処理の例

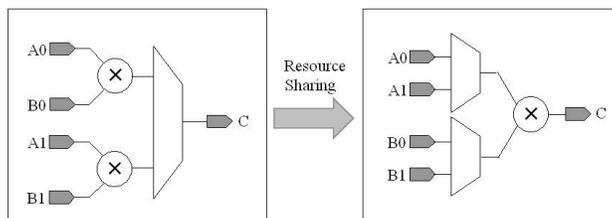


Resource Sharing

パラメータ : True / False デフォルト : True

デフォルト（True）で、使用するリソースを減らすために、複数ある同一機能の回路を共有させる処理（リソース・シェアリング）を行います（図 5-11）。[False]ではこの処理は行いません。

図 5-11. リソース・シェアリング処理の例



Target Frequency (MHz)

パラメータ : 数値（周波数） デフォルト値 : 200

クロック周波数（MHz）ターゲットの設定です。デザイン内に複数のクロックがある場合、全てが対象となりますが、LDC 制約でクロック個別に設定している場合は当該クロックは除外されます。

Use Carry Chain

パラメータ : True / False デフォルト : True

デフォルト (True) では、カウンターや演算回路に含まれる加算器で、キャリー（桁上がり／下がり）プリミティブ CCU (Carry Chain Cells) の使用をイネーブルします。[False] では使用しません。

Use IO Insertion

パラメータ : True / False デフォルト : True

デフォルト (True) では論理合成時に IO バッファを挿入します。[False] では挿入しません。

Use IO Registers

パラメータ : Auto / False / True デフォルト : Auto

[True] では論理合成時に、タイミング制約を踏まえて、I/O パッドセル内の I/O レジスタを使用することを強制します。[False] では I/O レジスタは使用しません。デフォルト (Auto) では、[Optimization Goal] オプションが [Area] の場合に I/O レジスタを使用しますが、[Timing] や [Balanced] では使用しません。

Use LPF Created from SDC in Project

パラメータ : True / False デフォルト : True

デフォルト (True) で LDC 制約に基づいた LPF 制約ファイルを生成します。

VHDL 2008

パラメータ : True / False デフォルト : False

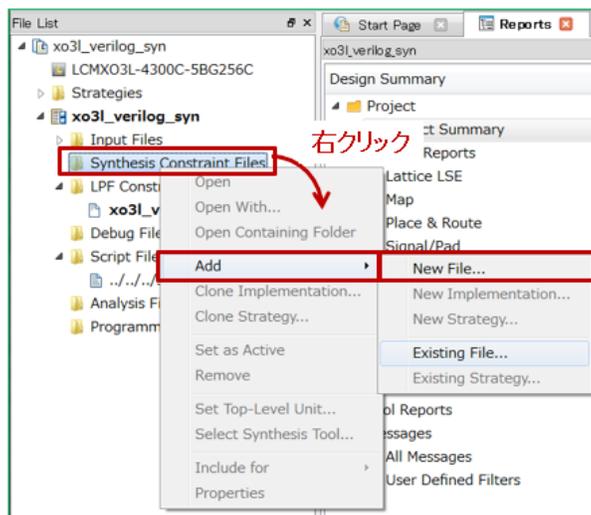
[True] にすると、プロジェクトの VHDL 言語仕様として VHDL 2008 を適用します。

5.2.2 LDC エディターによる LSE 制約ファイルの生成

5.2.2.1 LDC エディターの起動

”LDC エディター” は、LSE 用の論理合成制約ファイルを作成する GUI ツールです。メニューバーから [File] → [New] → [File...] の順に選択するか、ファイルリスト・ビュー内で [Synthesis Constraint Files] 行を右クリックし、[Add] → [New File...] を選択します。New File Wizard が起動します (図 5-13)。

図 5-12. 新規 LDC 論理合成制約ファイルの作成



Categories 枠で ”Source Files” を、”Source Files” 枠で [LDC Files] を選択し、「Name」セルに生成する LDC ファイル名を拡張子なしで入力します。適切なフォルダーを指定後に『New』ボタンをクリックすると、LDC エディターが立ち上がります。作成される制約ファイルの拡張子は ”ldc” です。

”Source Files” 枠で [SDC Files] を選択すると、「Name」セル右側にある拡張子指定用 ”Ext.” ボタンでは ”fdc” か ”sdc” が選択できます。この場合、『New』ボタンをクリックすると LDC エディターではなく、テキスト

エディタが立ち上がりますので、手編集して作成します。文法に精通している場合は、この方法で作成することができますが、LSE 用には適用できません。

図 5-13. New File ウィザード (新規 LDC ファイルの追加)

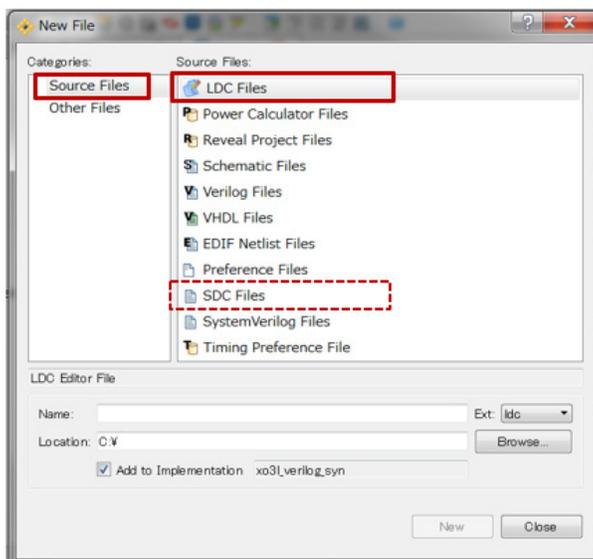
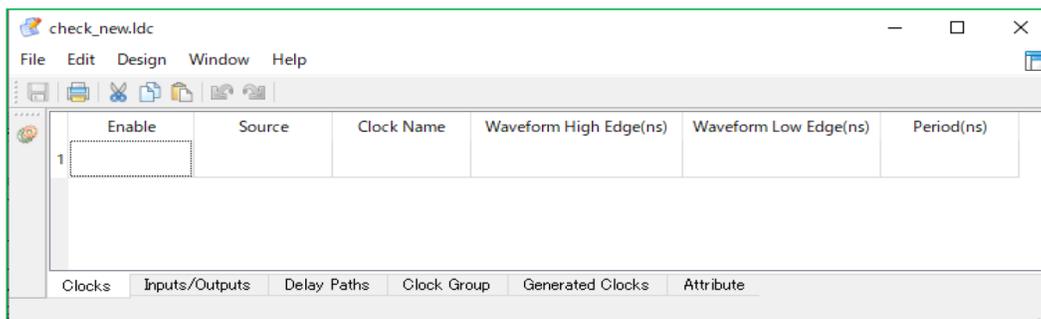


図 5-14. LDC エディタの初期ウィンドウ



LDC エディターでは、該当するタブを選択して以下の制約設定を行うことができます。

- ・ [Clocks] タブ： クロック周期 / 周波数
- ・ [Inputs/Outputs] タブ： 入出力ポートの最大遅延
- ・ [Delay Paths] タブ： 特定パスのフォルスパス / マルチサイクルパス / 最大遅延
- ・ [Clock Group] タブ： 任意のクロック相互関係が非同期、或いは非依存であることの指定
- ・ [Generated Clocks] タブ： ユーザロジックで生成された (分周) クロックの指定
- ・ [Attribute] タブ： LSE のサポートする Synplify Lattice Attribute 指定

5.2.2.2 クロック周期指定

クロック周期指定は [Clocks] タブで行います。空の "Source" カラムをクリックすると、pin/clock port/clock net 種別がプルダウンで表示されますので、意図するものをダブルクリックします (図 5-15)。するとデザイン内のクロック候補が表示されますので、ダブルクリックで選択します。"Clock Name" セルに任意のクロック名 (LSE 内でのみ使用するエイリアス名) を、"Period(ns)" セルにクロック周期をそれぞれ入力します (図 5-16)。

図 5-15. クロックの選択

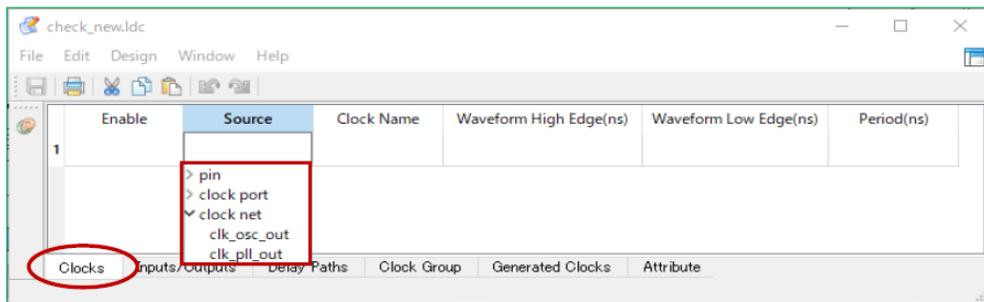
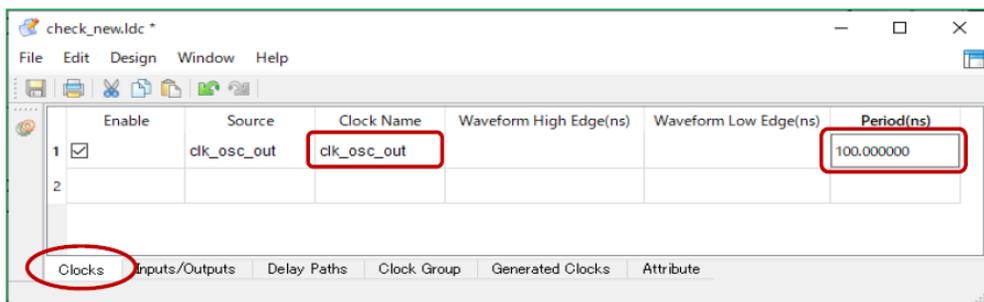


図 5-16. クロック名と周期の指定



すべてのタブで共通ですが、「Enable」セルに✓印があることを確認します。無効にする場合は、印をはずします。

5.2.2.3 入出力ポートの遅延指定

入出力ポートのタイミング制約として最小・最大遅延値（図 5-17）を指定できます。

図 5-17. 入出力遅延

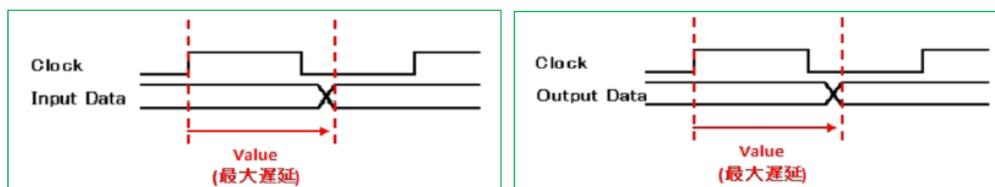
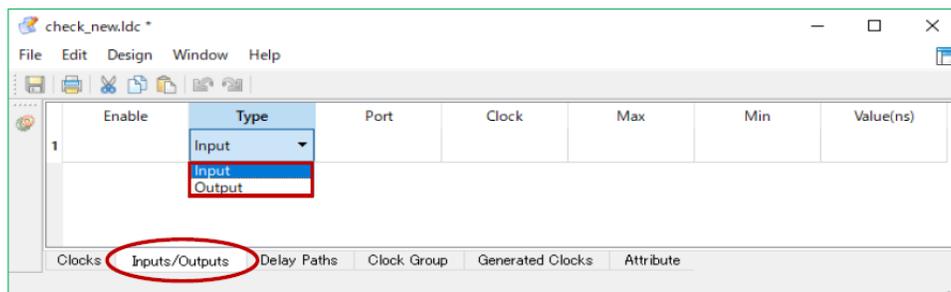


図 5-18. ポートタイプの選択



まず空の「Type」セルで方向 (Input/Output) を選択します (図 5-18)。次に「Port」セルをクリックすると入力ポートの候補がプルダウン表示されますので (図 5-19)、ダブルクリックして意図するポートを選択します。

図 5-19. ポートの選択

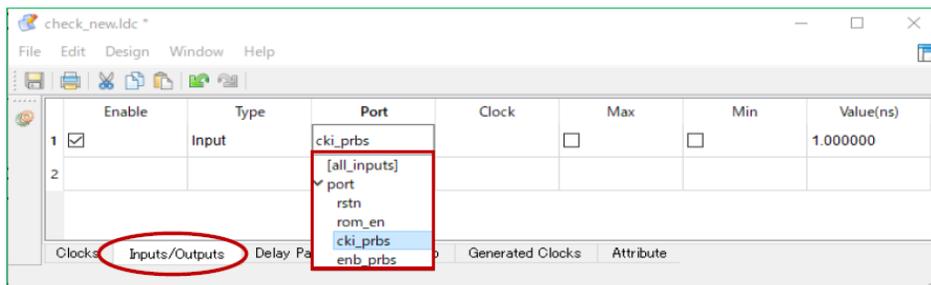
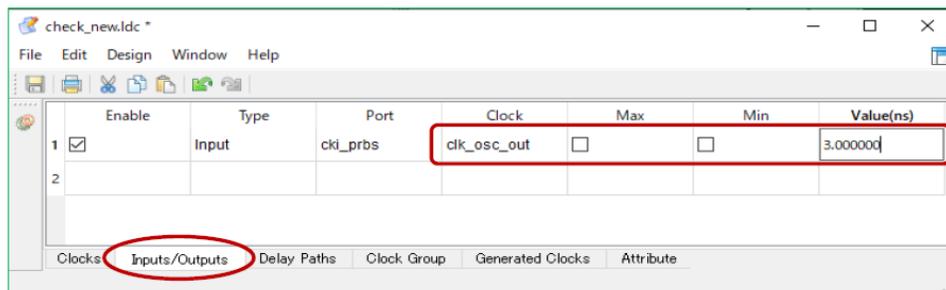


図 5-20. 最大・最小遅延指定

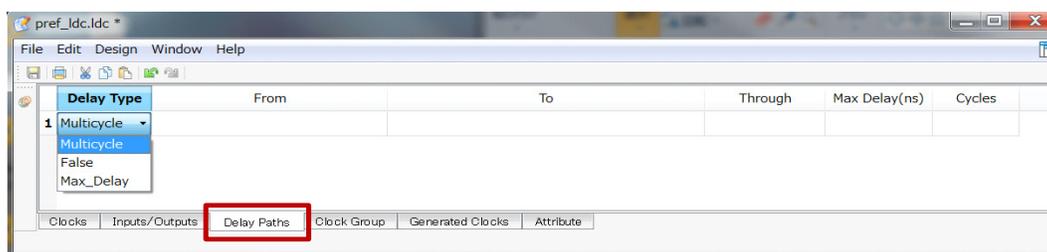


同様に”Clock”セルをクリックして、クロックの候補が表示されますので、タイミング制約の対象となるものを選択して、”Value”セルに遅延値を入力します（図 5-20）。”Max/Min”セルで最小か最大か、どちらか一方を指定します。両方を指定するとエラーになります。

5.2.2.4 パス遅延指定

特定パスのタイミング制約として、[Delay Paths] タブでマルチサイクルパス、フォールスパス、最大パス遅延をそれぞれ指定と与えることができます（図 5-21）。”Delay Type”セルでこれらの中からパス遅延のタイプを選択します。

図 5-21. Delay Paths でタイプを選択



マルチサイクルパス（複数クロック周期のデータ転送）指定には、”Delay Type”として”Multicycle”を選択します。空の”From”セルや”To”セルをクリックすると、制約対象として pin/port/user clock/instance の種別がリストされます。意図するパスの始点（From）と終点（To）として種別のいずれかをダブルクリックすると、さらに対象の候補が展開されて表示されますので（図 5-22）、ダブルクリックして選択します。これを始点と終点の両方について、或いは一方のみについて行います。

”Cycles”セルに制約値（クロック数）を整数値で入力します（図 5-23）。少数値は許容されていません。また、指定したパスに複数の経路がある場合は、”Through”セルでネット名を選択することで、経路を限定することもできます。”Max Delay”の入力は不要です。

図 5-22. マルチサイクル指定の方法

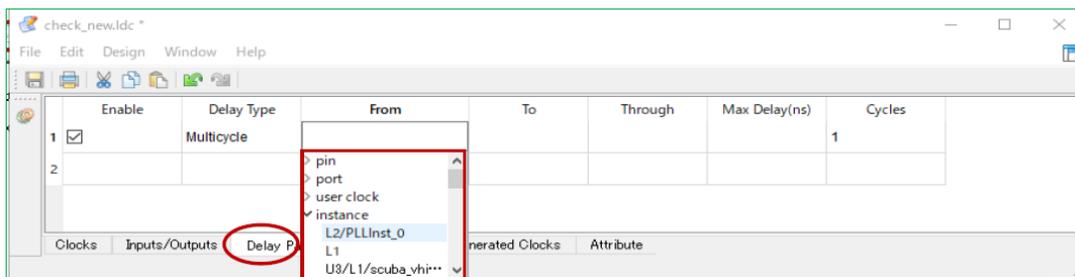
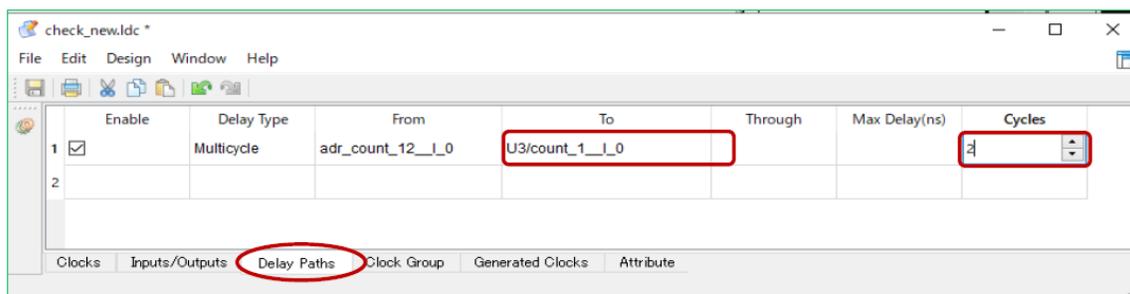
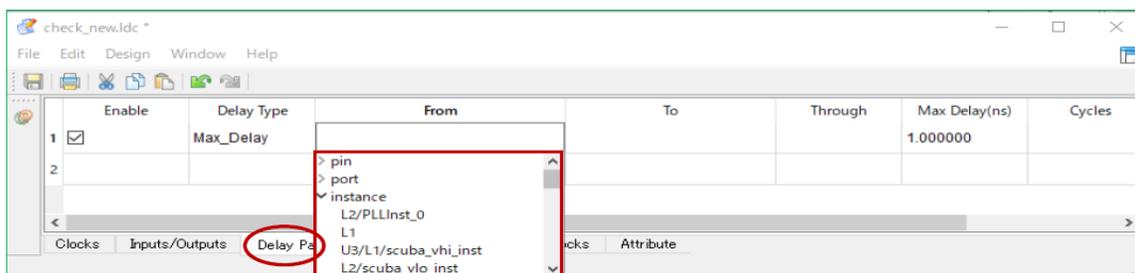


図 5-23. マルチサイクル指定後の例



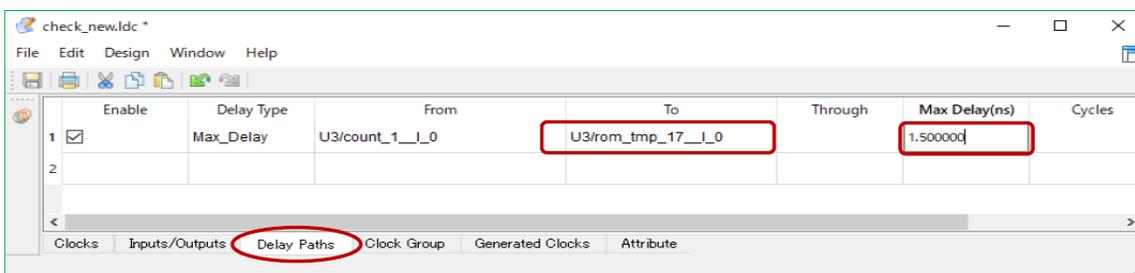
次に、フォルスパスとして指定されたパスについてはタイミング解析の対象から除外します。”Delay Type”として”False”を選択します。空の”From”セルや”To”セルをクリックして選択する方法は、マルチサイクル指定と全く同じです。ただし、”Cycles”セルの入力は不要です。

図 5-24. 最大パス遅延設定の方法



最後に最大・最小パス遅延指定です。”Delay Type”として”Max_Delay”/”Min_Delay”を選択します。空の”From”セルや”To”セルをクリックすると、制約対象として pin/port/instance の種別がリストされます。

図 5-25. 最大パス遅延の入力後の例



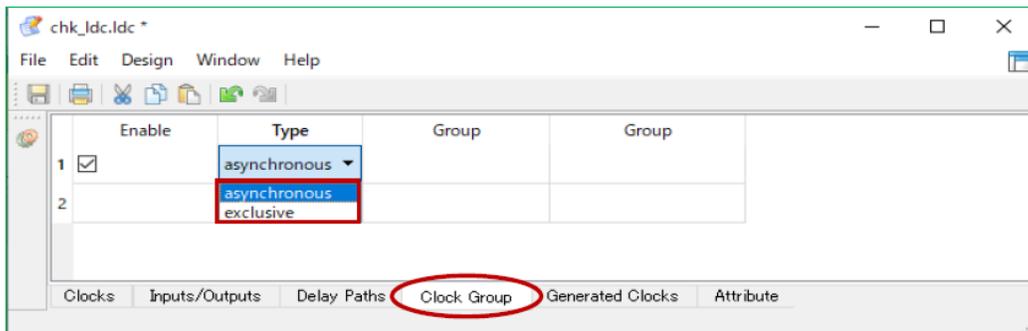
意図するパスの始点 (From) と終点 (To) として種別のいずれかをダブルクリックすると、さらに

対象の候補が展開されて表示されますので (図 5-24)、ダブルクリックして選択します。これを始点と終点の両方について、或いは一方のみについて行います。"Max Delay"/"Min Delay" セルには制約値 (単位は ns) を入力します (図 5-25 は Max Delay の例)。Cycle カラムの入力は不要です。

5.2.2.5 クロック相互関係の指定

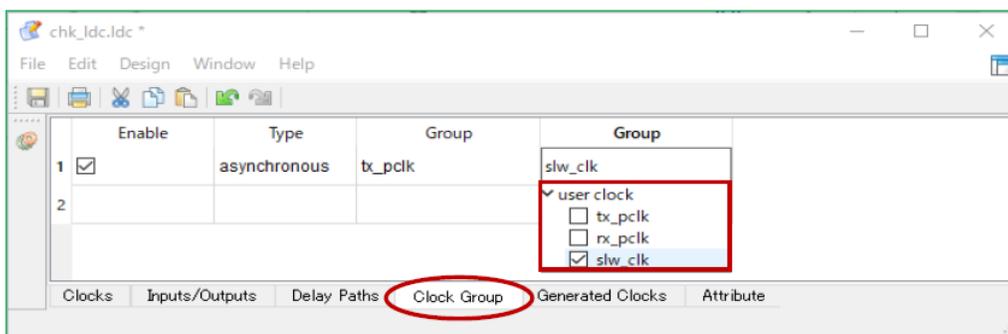
特定の 2 クロックが非同期関係や非依存の関係にある場合、[Clock Group] タブで明示的に指定することで、タイミング解析が不要なことをツールに指示します。"Type" セルで非同期 (asynchronous) か非依存 (exclusive) かの種別を選択します (図 5-26)。

図 5-26. 2 クロック間の関係の選択



次に二つある "Group" セルで、クロック (グループ) をダブルクリックすると表示される種別 (図 5-27 の use_clock など) をダブルクリックして展開し、リストされる候補を一度クリックします。チェック・ボックスに印があるものが選択されている対象です。なお、候補に表示されるのは、[Clocks] タブでクロックを定義しているネットです。

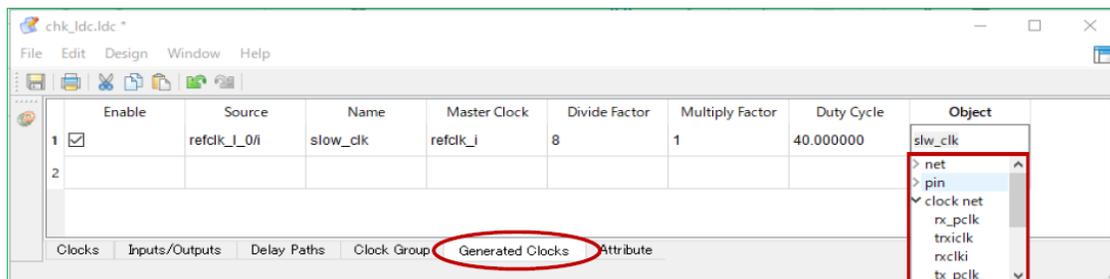
図 5-27. 対象クロックの指定例



5.2.2.6 ユーザ生成のクロック指定

ユーザー回路で生成する分周クロック ("generated clock") などの指定を行います。

図 5-28. ユーザ生成クロックの指定



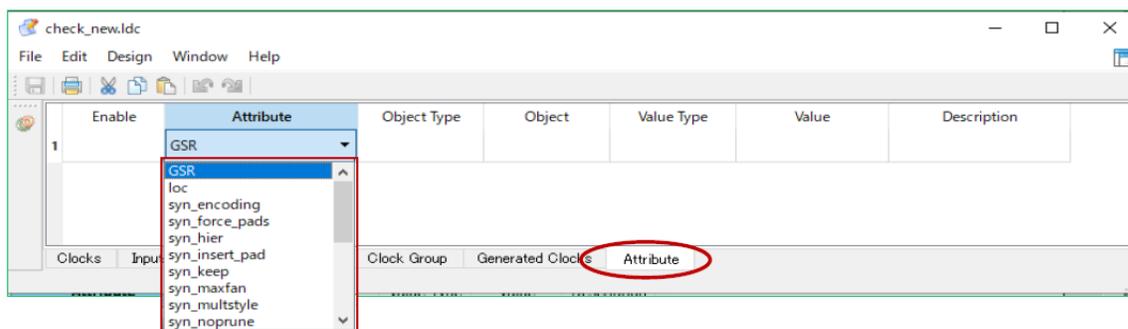
まず "Source" セルをクリックすると表示されるクロック種別から、意図する信号を生成するための大元になるピン名をダブルクリックして選択します。"Name" セルはエイリアス名であり、入力は任意です。"Master Clock" は生成クロックの元になる信号です。

次いで "Divide Factor" や "Multiply Factor" 値を整数値で入力します。そして "Object" セルをクリックすると表示される net/pin/clock net 種別のいずれかをダブルクリックして展開し、さらに意図する生成クロックをダブルクリックして指定します。

5.2.2.7 論理合成の属性指定

論理合成の属性（アトリビュート）を指定します。表記は Synplify Pro 相当です。

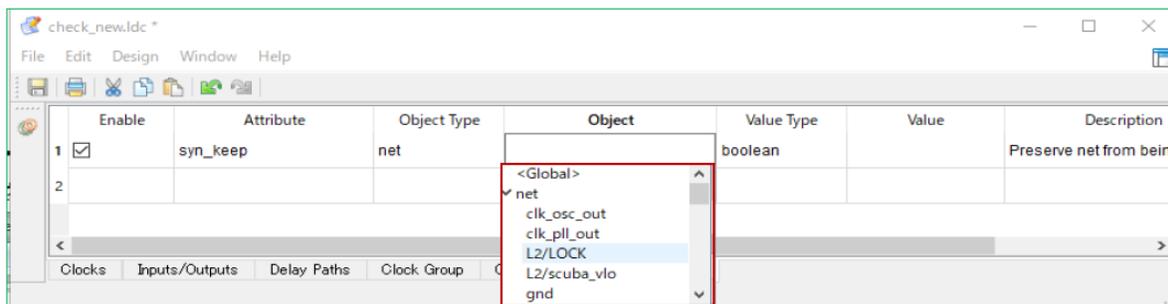
図 5-29. アトリビュートの選択



まず "Attribute" セルをクリックすると表示される候補から、意図するアトリビュートを選択します (図 5-29)。次いで "Object Type" でプルダウン <any>/port/net/register などから対象オブジェクトのタイプを選択します。このプルダウン表示されるタイプはアトリビュートやデザインに依存して変わります。

次にアトリビュートを適用するオブジェクトを、"Object" セルをクリックするとプルダウン表示されるタイプのいずれかをダブルクリックし、表示される候補からさらにダブルクリックして選択します (図 5-30)。候補に表示されないアトリビュートは未サポートです。

図 5-30. アトリビュート適用対象オブジェクトの指定



"Value Type" と "Value" セルは、選択されたアトリビュートに準じて自動的に表示されます。該当する場合には、選択可能な候補が表れますので、それぞれ適宜選択します。"Description" セルにはアトリビュートについての説明が表示されます。

なお、いずれのタブでの設定も、逐次保存アイコンをクリックして保存することを推奨します。その際に、DRC (ルールチェック) が行われ、問題があれば "Output" ウィンドウにメッセージが出力されますので、解消するようにします。

エラーなく保存されると、新規作成で LDC エディターを起動した場合は、自動的にインプリメンテーションのファイルリスト・ビュー内 "Synthesis Constraint Files" セクションにインポートされてアクティブ化されます。再度編集する場合は、ファイル行をダブルクリックします。

階層構造のデザインの場合、モジュール階層の上下移動のアイコンをクリックしてから、スキマティック表示内の（サブ）モジュールの箱の上にアイコンを移動すると、下位階層がある場合はアイコンが下向き青矢印表示になります。クリックすると下位階層のスキマティック表示になります。上位階層への移動は何も回路素子がない位置にアイコンを移動する事で、上向き緑矢印が表示されますのでクリックします。

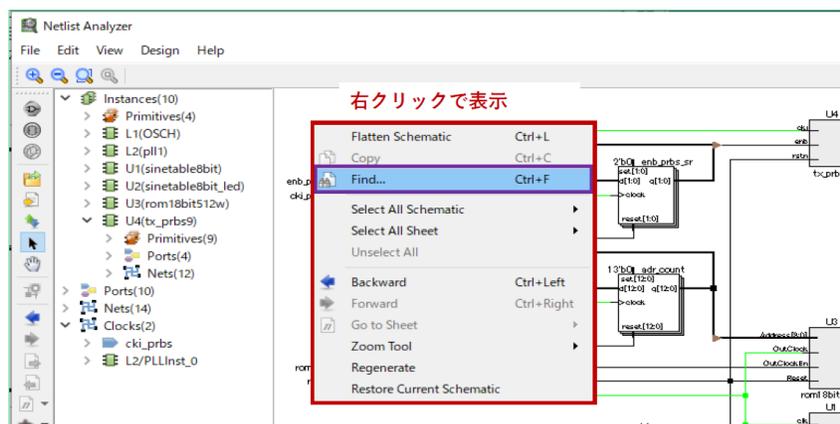
アイコン列下部にはページやシートの移動用の左右向き矢印アイコンがあります。アイコン列の右枠はリソース表示ウィンドウで、インスタンス、ポート、ネット、クロックに分類されています。

図 5-33 左のようにリソース種別の行頭 ”>” マークをクリックすると、その下位や内容に展開してアルファベット順に表示します。特定のポートやネット / クロックをクリックして選択すると、スキマティックの該当リソースが赤色でハイライトされます。

5.2.3.1 オブジェクトのサーチ

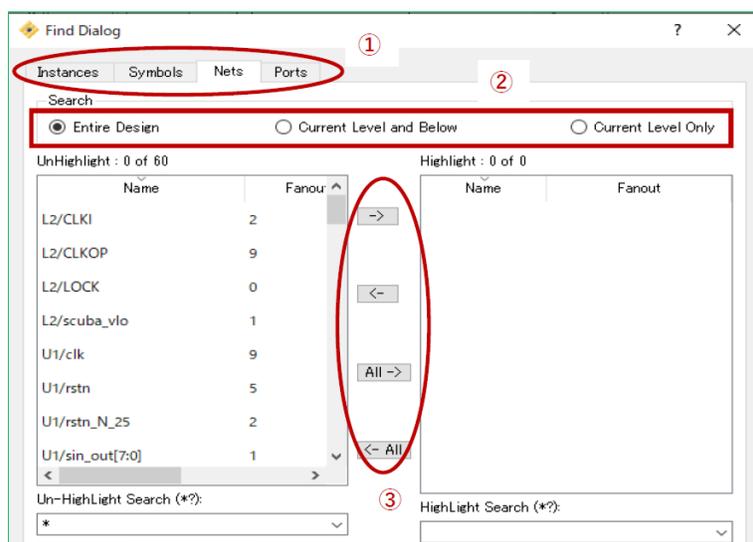
特定のリソースやネットを探すときには ”find” 機能があります。スキマティック内で回路記号がブランクの領域にマウスを移動して、右クリックし、表示メニューから [Find...] を選択します。

図 5-34. Find ダイアログの起動



表示される図 5-34 のダイアログで、①上部タブの [instances] / [Symbols] / [Nets] / [Ports] から意図する対象リソースを選択します。次に② ”Search” セクションでサーチ対象の階層を指定します。デフォルトは ”Current Level Only”（ダイアログを立ち上げた際にマウスクリックした階層）です。

図 5-35. Find ダイアログ・ウィンドウ



その後、③左側に表示される対象候補を選択して矢印『->』などを操作して "Highlight" 枠に移動させて『Close』をクリックします。各矢印で選択指定と解除を適切に行います。

5.3 Synplify Pro

5.3.1 ストラテジー・オプション設定

起動と操作方法は LSE と同じです (図 5-8 参照)。以降にストラテジー・オプション各設定の詳細を記述します。

Allow Duplicate Modules

パラメータ : True / False デフォルト : False

[True] にするとモジュールの複製を許可します。

Area

パラメータ : True / False デフォルト : False

[True] にすると [Frequency] オプションの設定値を無効にし、使用リソースが最少となるように最適化します。SDC/FDC 制約ファイルでクロック周波数 (周期) を制約している場合は、その設定が優先されます。

Arrange VHDL Files

パラメータ : True / False デフォルト : True (VHDL エントリー時)

デフォルトはデザイン・エントリーが VHDL の場合 [True] で、それ以外では [False] です。[True] では VHDL ファイルをコンパイルする際に、自動的にコンパイル順を操作します。[False] ではファイルリスト・ビューで表示されている順に、上からコンパイルされます。

Clock Conversion

パラメータ : True / False デフォルト : True

デフォルト (True) の場合、ゲートド・クロックや分周クロックに対して CE (Clock Enable) ベースの回路に変換します。[False] では変換しません。

図 5-36. クロック・ゲーティングの変換例

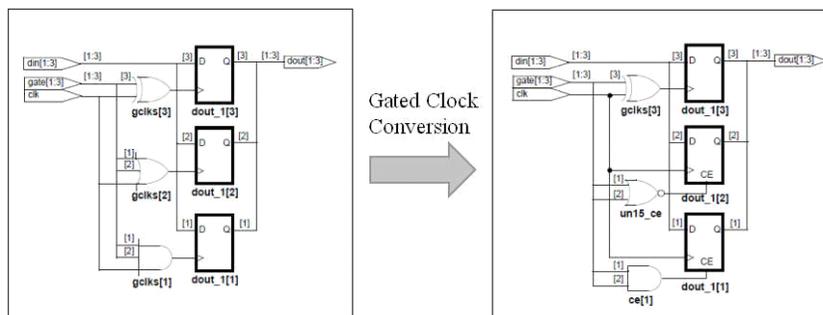
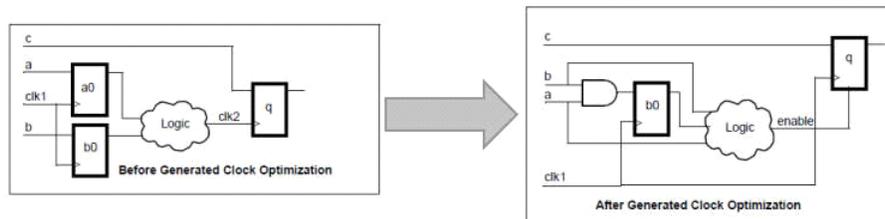


図 5-37. 分周クロックなどの変換例



Command Line Options

パラメータ：文字列 デフォルト：ブランク

GUI のリストに表示されていない特別なオプションを使用する場合に、記述します。

Default Enum Encoding

パラメータ：Default / Gray / Onehot / Sequential デフォルト：Default

VHDL の列挙 (enum) 型変数が定義されている場合、その実装形式に関する設定です。

デフォルト (Default) では、型のメンバ数に応じて自動的に割り振られます。4 以下では "Sequential"、40 以上では "Gray"、それ以外は "Onehot" になります。

[Gray] では各メンバーに一度の変化で 1 ビットのみが変化するような値が割り当てられ (例 :000, 001, 011, 111, 110, 010)、[Sequential] では一度に複数 bit が変化するような値 (基本的にはバイナリー・カウンタ) が割り当てられます。[Onehot] では各メンバに全ビット中 1 ビットのみが '1' となる値が割り当てられます (例 :0001, 0010, 0100, 1000)。

Disable IO Insertion

パラメータ：True / False デフォルト：False

デフォルト (False) では論理合成時に IO バッファを挿入します。[True] では挿入しません。

I/O バッファの無いネットリストは配置配線ができませんので、IP コアを生成するなどの特殊な場合を除いて [True] を選択しないようにします。

Disable Register Replication during S/R Optimization

パラメータ：True / False デフォルト：False

シフトレジスタの推論で RAM を生成した場合に、デフォルト (False) ではアドレスポインターを複製しません。

Export Diamond Settings to Synplify Pro GUI

パラメータ：No / Only on First Launch / Yes デフォルト：No

Synplify Pro GUI を Tools メニューから立ち上げて論理合成処理を行う場合に、ストラテジー設定各オプションをエクスポートする (渡す) かどうかを指定するオプションです。

[Yes] の場合、Synplify Pro GUI が起動されるごとにストラテジー設定を取り込み、それ以前のセッションで保存された設定は無効になります。[Only on First Launch] では、初回起動時のみにストラテジー設定を取り込んで起動し、それ以後はそのセッションでの設定やデフォルトを用いて起動します。デフォルト (No) はオプションを渡しません。

FSM Compiler

パラメータ：True / False デフォルト：True

デフォルト (True) ではステートマシン用のエンジンである FSM (Finite State Machine) コンパイラが使用され、[False] を選択すると使用されません。後者では最適な FSM の論理合成結果が得られない可能性があります。

Fanout Guide

パラメータ：最大ファンアウト数 デフォルト値：1000

ファンアウト上限数を制約します。ファンアウトがこの値を超えた場合は、ドライバをコピーしてファンアウトを減らします。デザイン全体に適用されます。一方、Synplify Pro では特定のネット (信号) に限定してファンアウトを制限するために、RTL ソースコードに以下の記述をしても有効です。"100" が意図する上限値の場合の例です。

```
Verilog      wire <object_name> /* synthesis syn_maxfan = 100 */ ; // wire can be reg
```

```
VHDL      signal <object_name>: std_logic;
          attribute syn_maxfan: integer;
          attribute syn_maxfan of <object_name>: signal is "100" ;
```

Force GSR

パラメータ : Auto / False / True デフォルト : False

論理合成時の GSR (Global Set/Reset) 使用に関する設定です。[True] では GSR バッファを使用し、[False] では使用しません。[Auto] では Synplify Pro が自動的に判断します。

GSR はマッピング・プロセスでより適切な条件で挿入することができます。意図するマッピング結果にならない場合は、このオプションを [False] にすることを推奨します。

Frequency (MHz)

パラメータ : 周波数 デフォルト値 : なし

クロック周波数 (MHz) ターゲットの設定で、[Area] オプションが [False] の場合のみ有効です。デザイン内に複数のクロックがある場合、全てが対象となりますが、SDC/FDC 制約でクロック個別に設定している場合は当該クロックは除外されます。

ブランク時はクロック周波数が最大になるように振る舞います。

Library Directories

パラメータ : ディレクトリー デフォルト : ブランク

デザインに含まれる Verilog ライブラリーのディレクトリー・パスを指定します。ファイル名はモジュール名と一致している必要があります。

Number of Critical Paths

パラメータ : パス数 デフォルト値 : なし

論理合成結果のタイミング・レポートに出力するクリティカルパス数を指定します。

Number of Start/End points

パラメータ : 数値 デフォルト値 : なし

論理合成結果のタイミング・レポートに出力するパス数の設定です。この値が 1 以上の場合にのみ [Number of Critical Paths] が有効です。

Output Netlist Format

パラメータ : None / VHDL / Verilog デフォルト : None

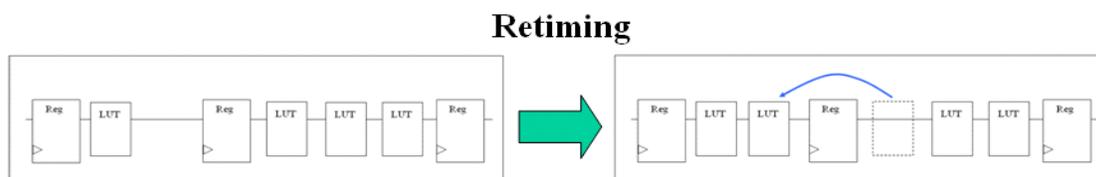
論理合成後シミュレーション用のネットリスト出力設定です。デフォルト (None) では EDIF のみが出力されます。[VHDL] では EDIF と VHDL ネットリスト (*.vhm) が出力され、[Verilog] では EDIF と Verilog HDL ネットリスト (*.vm) が出力されます。

Pipelining and Retiming

パラメータ : None / Pipelining Only / Pipelining and Retiming デフォルト : Pipelining Only

論理合成中に行うタイミングの最適化処理 ”Retiming (リタイミング)” と ”Pipelining (パイプライン化)” に関する設定です。

図 5-38. リタイミング処理の例



リタイミングは組み合わせ回路を移動してレジスタ間同士の遅延量のバランスをとるようにする処理です (図 5-38)。回路全体に対してこの処理が行われます。他方、パイプライン化は主に演算回路に対して行う処理で、回路の中間にレジスタ (パイプライン・レジスタ) を挿入するものです。後者では入力から出力が得られるまでのサイクル数が、RTL 記述とは異なる可能性があります。

デフォルト (Pipelining Only) はパイプライン化のみ、[Pipelining and Retiming] は両方を行います。
[None] ではどちらも行いません。

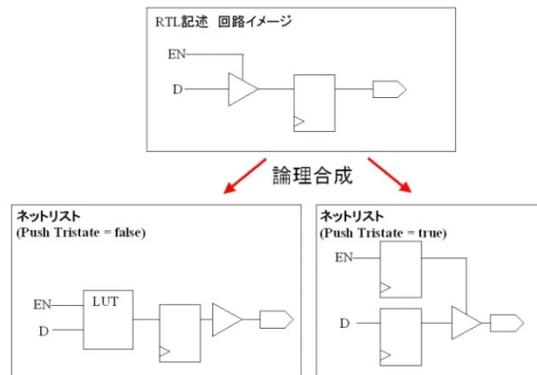
Push Tristates

パラメータ : True / False デフォルト : True

デフォルト (True) では、ハイインピーダンス 'Z' がレジスタを介してポートに出力されるような記述に対して、トリステート制御用レジスタを追加し、IO バッファでトリステート制御を行うように回路を論理合成します (図 5-39)。

[False] では、FPGA 内部で 'Z' が生成されないような回路が論理合成されます。

図 5-39. Push Tristate オプションの効果



Resolve Mixed Drivers

パラメータ : True / False デフォルト : False

アクティブな信号および VCC (または GND) が同時にドライブしている場合、[True] を選択すると VCC (または GND) に固定します (図 5-10 参照)。

Resource Sharing

パラメータ : True / False デフォルト : True

デフォルト (True) で、使用するリソースを減らすために、複数ある同一機能の回路を共有させる処理 (リソース・シェアリング) を行います (図 5-11 参照)。[False] ではこの処理は行いません。

Update Compile Point Timing Data

パラメータ : True / False デフォルト : False

コンパイルポイント (compile point) はインクリメンタル・デザインフローに関する機構です。

階層構造の下位モジュールが変更された場合に、デフォルト (False) ではその上位モジュールは再合成されませんが、[True] を選択した場合は、上位モジュールが再び論理合成されます。下位モジュールの変更に伴い、タイミング・データとタイムスタンプが更新されます。

Use Clock Period for Unconstrained I/O

パラメータ : True / False デフォルト : False

デフォルト (False) では SDC/FDC ファイルでタイミング制約が与えられている I/O についてのみ制約を適用します。[True] にすると未制約の I/O にも同じ制約が与えられます。

Use LPF Created from SDC in Project

パラメータ : True / False デフォルト : True

デフォルト (True) では SDC/FDC 制約ファイルの記述を LPF 制約に変換して出力します (コメントアウトされている)。ファイル名は <project-name>_<implementation-name>_synplify.lpf で、インプリメンテーション・フォルダー下に生成されます。

VHDL 2008

パラメータ : True / False デフォルト : False

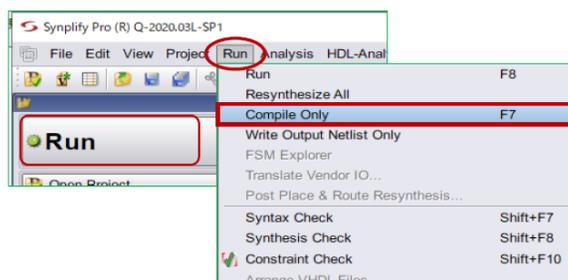
[True] にすると、プロジェクトの VHDL 言語仕様として VHDL 2008 を適用します。

5.3.2 SCOPE エディターによる制約ファイル fdc の生成

Synplify Pro が備える制約エディタ GUI である ”SCOPE エディター” を用いて ”Synopsis Design Constraint” としての fdc (FPGA Design Constraints) ファイルが容易に生成できます。以下に論理合成時に適用する制約ファイル ”*.fdc” を新規に生成する方法を記述します。RTL の文法エラー等はすべて解消されているものとします(詳細は Synplify Pro ドキュメント fpga_user_guide.pdf の ”Specifying Constraints” 章)をご参照ください。

なお、バージョン G-2012L.09 以降 (Diamond 3.0 以降) は、”sdc” ファイルによる制約設定が ”fdc” を用いる構成に更新されました (Diamond 3.12 のバージョンは Q-2020L.03-SP1)。従来のレガシー sdc (Synplify Design Constraint) を用いることも可能ですが、新規デザインには推奨されません。Synplify Pro には sdc から fdc への変換コマンド ”sdc2fdc” がサポートされていますので、合わせてドキュメントをご参照ください。

図 5-40. 『Run』 またはコンパイルのみを実行

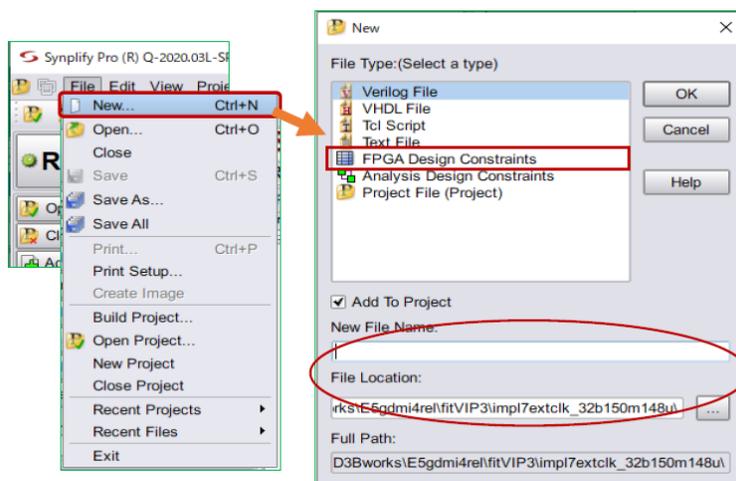


5.3.2.1 SCOPE エディターの起動

まず Lattice Diamond から Synplify Pro を単独で立ち上げます。トップで左上の大きなボタン 『Run』 をクリックするか、[Run] メニューから [Compile Only] を選択してコンパイルします (図 5-40)。RTL エラーで処理が完了しないと次のステップができませんので、ご注意ください。

次にメニューから [File] → [New...] を選択して ”New” ウィンドウを立ち上げます (図 5-41)。

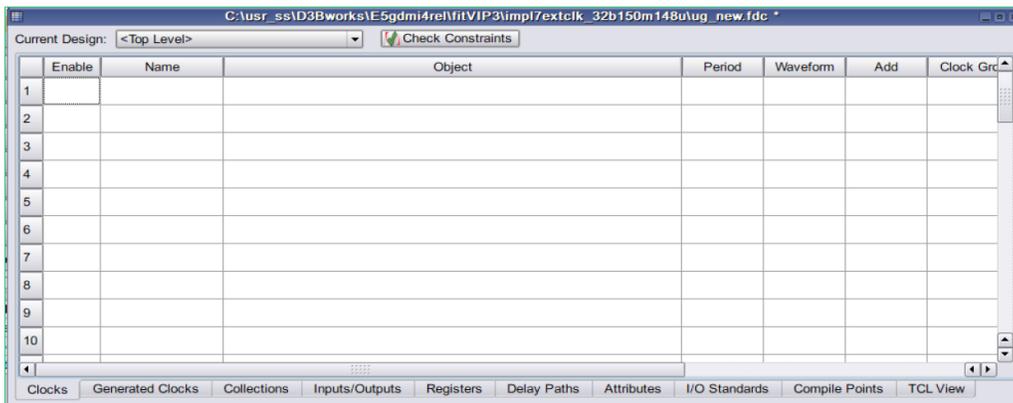
図 5-41. SCOPE エディタの起動



fdc ファイルの生成のため ”FPGA Design Constraints” を選択し、丸印内の 「New File Name」 セルにファイル名を入力し、「File Location」をブラウザして指定した後、『OK』をクリックします。これにより、図 5-42

に示すような制約設定用ワークシート ”SCOPE エディター” が立ち上がります。

図 5-42. “FPGA Design Constraints” 入力用ワークシート GUI

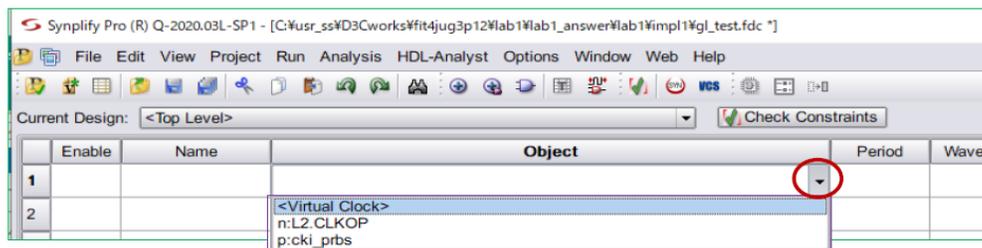


ウィンドウの下部には複数のタブがあります。クロック制約を与える [Clocks] タブや I/O ポートに対する制約の [Inputs/Outputs] タブなどを選択した後に、それぞれを入力していきます。

5.3.2.2 クロック制約の設定

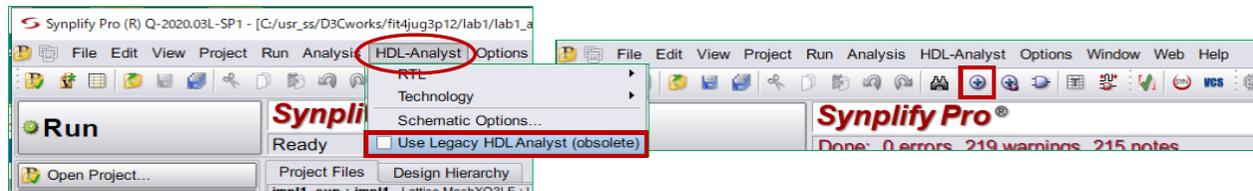
クロックについては、タブを選択後、空白の ”Object” セルをクリックするとその右端に▼印が表示されますので、これをクリックして現れるプルダウンの候補から選択します。その後最低限 ”Name” に適切な名称を、”Period” セルの周期 [ns] を与えます。 ”Enable” セル表示に✓印が付いていることを確認します。無効にする場合はこの印を消します。

図 5-43. クロック・オブジェクトの選択



プルダウンに意図する候補が表示されない場合などは、クロックネットやポートのオブジェクトを RTL スケマティック・ビュー GUI からドラッグ&ドロップする入力方法があります。その場合は、まず上部メニューバー内の RTL ビューアイコン (図 5-44 右図の赤枠) をクリックして、RTL スケマティック・ビューを表示させます。なお、ビューの表示形式を旧バージョン相当にしたい場合は、メニューから [HDL Analyst] → [Use Legacy HDL Analyst (obsolete)] を選択しておきます (図 5-44 左図)。

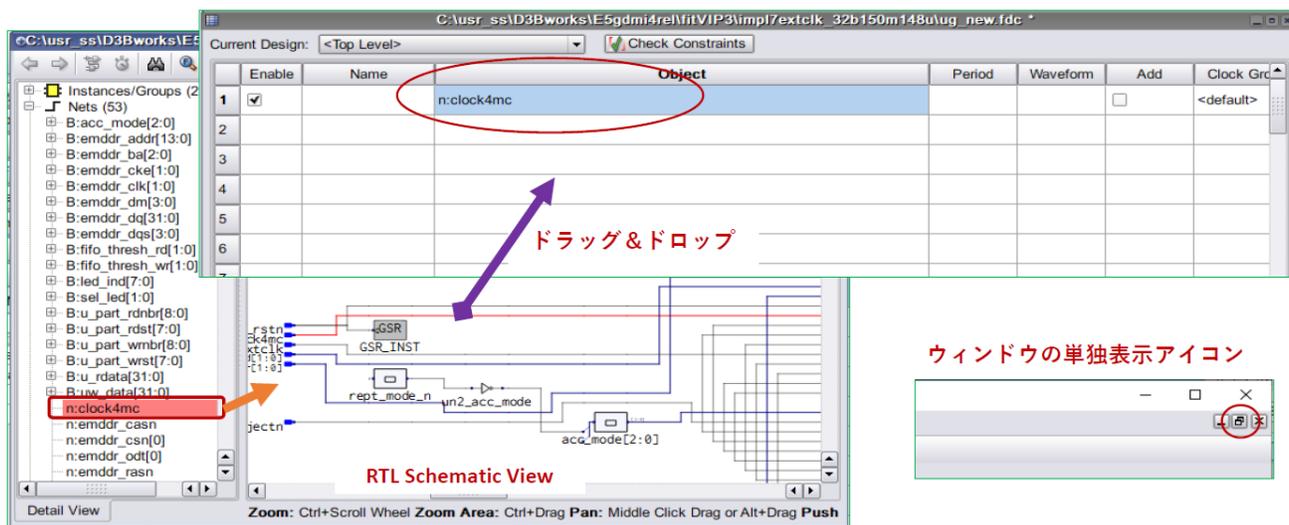
図 5-44. RTL ビューの起動 (右) と ”レガシー” 表示の選択 (左)



次に図 5-45 右下の丸印で示す、ビューの右上端にある ”Restore Down” アイコン (どの表示でも構わない) をクリックして、複数のウィンドウ間でマウス移動ができるようにします。

FPGA Design Constraints で [Clocks] タブを選択し、適切な表示位置に移動しておきます。

図 5-45. オブジェクトのドラッグ&ドロップとウィンドウの個別表示アイコン (右下)



- ・ RTL ビューの左枠で Instances や Nets 項をエクスパンドして意図するクロックネットを選択します (図 5-45 左の赤印が選択された状態)
- ・ RTL ビューで赤線の当該クロックネットをクリックして選択した状態で、マウスをドラッグして ”Object” セルにドロップします (図 5-45、中央上)

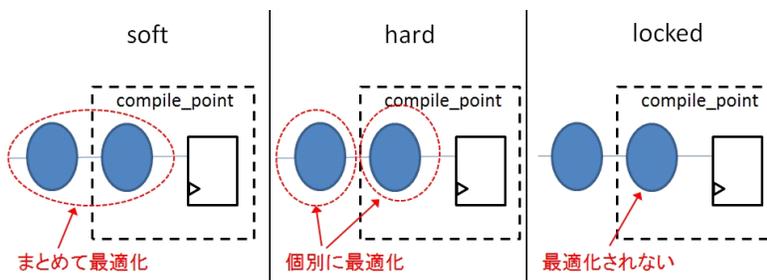
前と同様に ”Name” と ”Period” などを入力します。これを必要なクロックネット分だけ繰り返します。以上がクロック制約の設定手順です。

I/O タイミングについても同様に入力します。

5.3.2.3 コンパイルポイントの設定

モジュールにコンパイルポイント (Compile point) を設定して論理合成すると、特に規模の大きなデザインでは論理合成時間を短縮できます。論理合成の実行時にコンパイルポイントごとに作成されるデータベースを参照して、変更されているソースファイルのみの論理合成を行います。

図 5-46. コンパイルポイントタイプによる最適化の違い



”soft” はモジュール間の接続分の回路をまとめて最適化します。 ”hard” の場合は接続部分の回路をコンパイルポイントごとに個別に最適化します。 ”locked” では接続部分の最適化は行われません。

fdc ファイルを直接編集してコンパイルポイントを設定する場合の文法は、以下ようになります。

```
define_compile_point {v:work.<モジュール名>} -type {<コンパイルポイント・タイプ>}
```

”work” はライブラリー名 (デフォルト) です。コンパイルポイントタイプは、モジュール間の接続部分の

論理合成に関する設定で、soft / hard / locked から 1 つを選択します。

図 5-47. SCOPE によるコンパイルポイントの設定 1

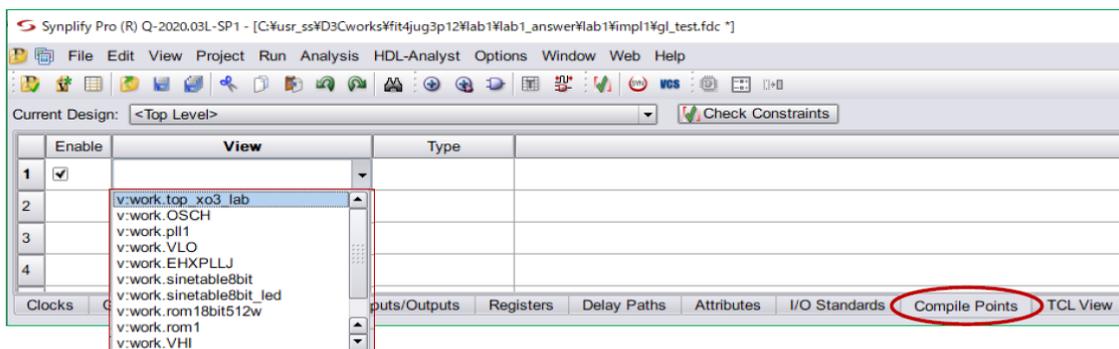
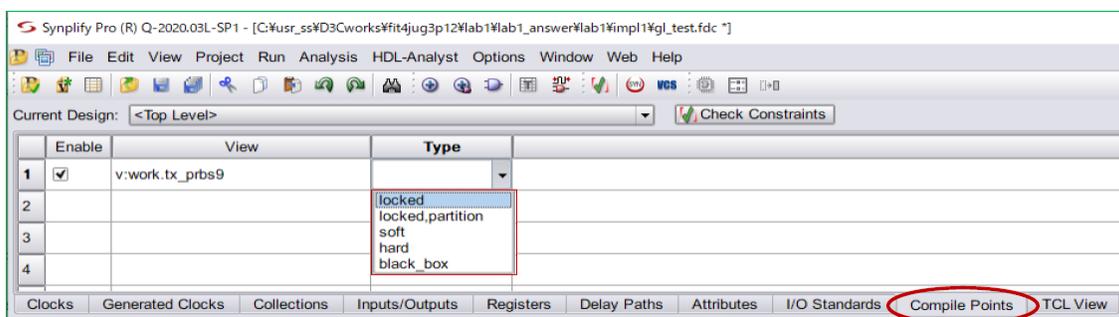


図 5-48. SCOPE によるコンパイルポイントの設定 2

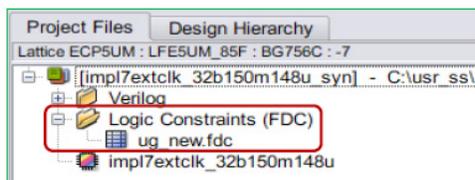


SCOPE ワークシートで設定する場合、[Compile Point] タブを選択後、空白の "View" セルをクリックするとその右端に▼印が表示されますので (図 5-47)、これをクリックして現れるプルダウンの候補から選択します。次に "Type" セルをクリックし、同様にプルダウンから意図するタイプを指定します (図 5-48)。”Enable”セル表示に✓印が付いていることを確認します。無効にする場合はこの印を消します。

5.3.2.4 fdc 制約ファイルのプロジェクトへの取り込み

制約ファイル保存時に作業プロジェクトに含めるかどうかを問われます。生成が完了した後、プロジェクト表示ウィンドウ ([Project Files] タブ) で図 5-49 のように "Logic Constraints (FDC)" 部にファイル名が表示されていれば、意図するとおりの動作です。

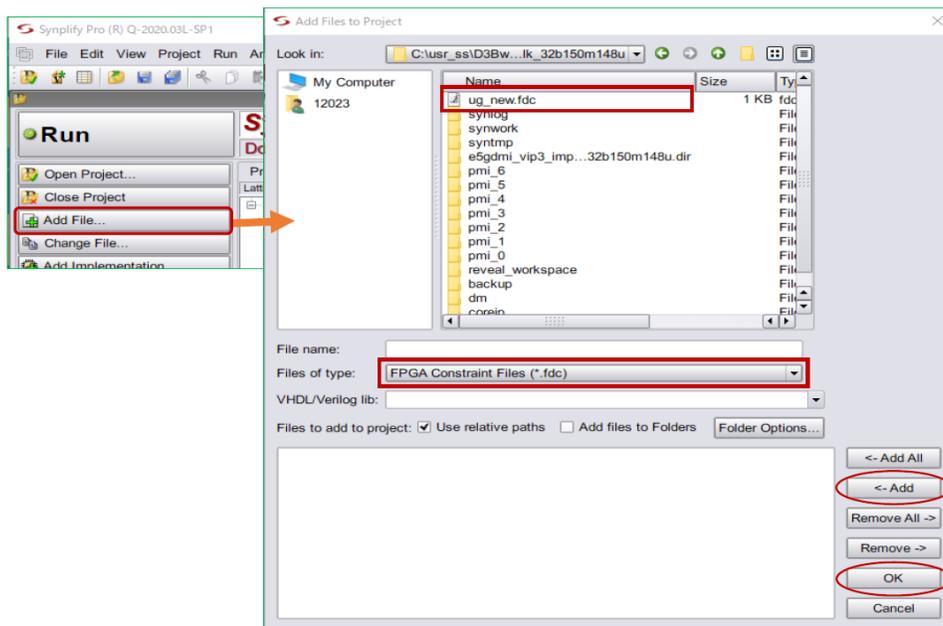
図 5-49. 制約ファイル fdc のリスト表示



オフラインで fdc を作成した場合など、ファイル名がリストされていない場合は、GUI トップ左枠内 [Add File...] をクリックすると表れるウィンドウで指定します。この際、"File of types" で拡張子 "*.fdc" を指定した後上部枠内でブラウズします (図 5-50)。対象ファイルを選択後、右下の『Add』をクリックし、『OK』をクリックして抜けます。以上によって図 5-49 と同様にプロジェクトに取り込まれたリスト表示にすることができます。

これは GUI 起動して作業する論理合成プロジェクトのみに対してであることに留意する必要があります。

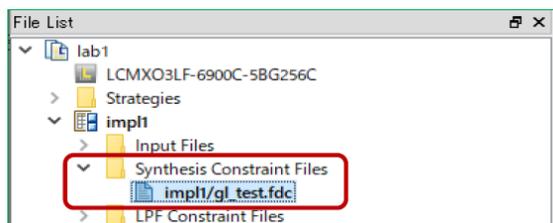
図 5-50. fdc ファイルの取り込み方法 2 : 指定後 Add して OK



5.3.2.5 fdc 制約ファイルの Diamond への反映

作成した fdc ファイルを、Synplify Pro GUI を起動しない、通常の Diamond フローにも適用されるようにするためには、Diamond のファイルリスト・ビュー内のインプリメンテーション下”Synthesis Constraint File”セクションに取り込み、アクティブ化する必要があります (図 5-51)。アクティブ (太字表示) でないと、有効になりませんのでご注意ください。また、これはインプリメンテーションごとに行う必要があります。

図 5-51. 制約ファイル fdc の Diamond フローへの反映



5.3.3 Synplify Pro ドキュメント

Synplify Pro の使用方法やオプション設定に関する各種のガイドライン・ドキュメントは、以下のフォルダーにインストールされています (Diamond 3.12 をデフォルト設定でインストールした場合)。これらは、Synplify Pro GUI のメニューから [Help] → [PDF Documents] でも呼び出すことができます。

C:\%lsc%\diamond\3.12\synpbase\doc

- fpga_user_guide.pdf : 主に GUI 操作を含むデザインフロー全般についての記述
- fpga_hdl_reference.pdf : HDL 言語サポート機能についての詳細記述 (Verilog/VHDL/System Verilog)
- fpga_attribute_reference.pdf : 論理合成アトリビュート (属性) についての記述

5.4 論理合成 HDL アトリビュート記述例

LSE と Synplify Pro でサポートする HDL アトリビュートの参考を、いくつかの例を示します。

VHDL 例

(定義した信号・ノードを論理圧縮で削除しないで残す)

```
attribute syn_keep      : boolean; -- ワイヤ (ノード) の保持
attribute syn_keep of <signal_name>: signal is true; -- “signal_name” は signal 定義した信号名

attribute syn_preserve  : boolean; -- FF の保持
attribute syn_preserve of <signal_name>: signal is true; -- “signal_name” は signal 定義した信号名

attribute syn_noprune  : boolean; -- 出力がないリソース削除の禁止
attribute syn_noprune of <signal_name>: signal is true; -- “signal_name” は signal 定義した信号名
```

(FSM のコーディング方式)

```
attribute syn_encoding  : boolean; -- [sequential, binary, onehot], 他に safe (“default” 記述有効化)
attribute syn_encoding of <fsm_nodes>: signal is “safe, Boolean”; -- “fsm_nodes” は signal 定義した FSM 名
```

Verilog HDL 例

(I/O タイプ指定、ポート宣言行)

```
input CLKIN /* synthesis IO_TYPE="LVCMOS18" */ ;
output CLKOUT /* synthesis IO_TYPE="LVDS25E" */ ;
```

(定義した信号・ノードを論理圧縮で削除しないで残す。ノード定義行)

```
reg [x:0] <FF_name> /* synthesis syn_preserve=1 */;
wire [y:0] <wire_name> /* synthesis syn_keep=1 */;
```

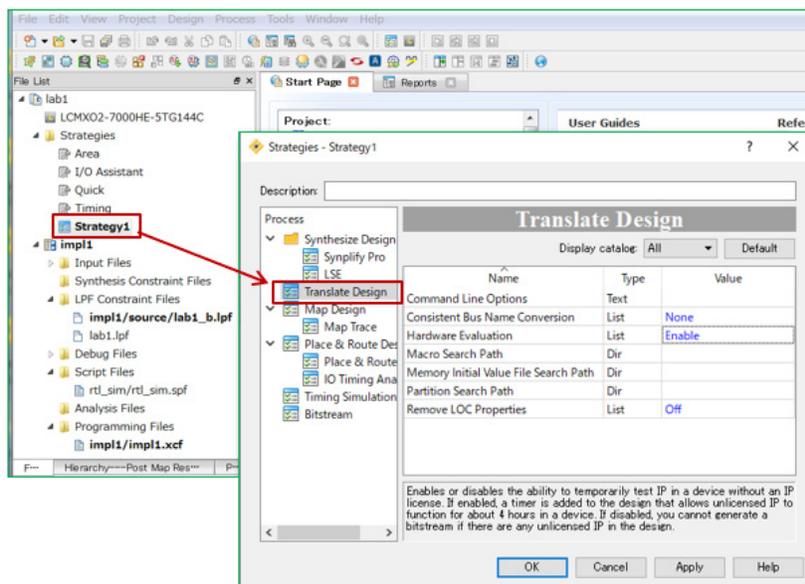
(FSM のコーディング方式。FSM ノード定義行)

```
reg [z:0] <FF_FSM_name> /* synthesis syn_encoding="safe, binary" */;
```

5.5 Translate Design

Translate Design は Synplify Pro で生成された EDIF ファイルをバイナリ形式のデータに変換するプロセスです。EDIF 内ではブラックボックス扱いとなっている IP コアやマクロを、ネットリストに置き換えて結合する処理も行います。論理合成ツールとして LSE を選択した場合、Translate Design プロセスはありません。

図 5-52. Translate Design のストラテジー設定 GUI



5.5.3 Translate Design レポート

Translate Design プロセスでは専用のレポートファイルが出力されません。処理の経過や Error / Warning などのメッセージは全て Lattice Diamond のログファイルである "automake.log" に出力されます。Diamond GUI の下部『Output』ビューにも同時に表示されます。

5.5.3.1 Error / Warning メッセージ

本項では良く出る Warning および Error メッセージと、その原因について記述します。

メッセージ ERROR - ngdbuild: logical net '信号' has multiple drivers

意味

指定された信号名が複数のインスタンスの出力ポートに接続されているというメッセージです。*.ngo 形式の IP を使用しているデザインで、IP に I/O バッファが含まれている場合に出力されます。

対策

論理合成のストラテジー "Disable IO Insertion" を [False] に設定し、I/O バッファを挿入しないで論理合成から再実行して ngo ファイルを再生成します。

メッセージ WARNING - ngdbuild: logical net 'インスタンス / 信号' has no load

意味

ネット / 信号の出力がオープンである（負荷がない）意味のウォーニングです。

対策

論理合成やマッピングのレポートを確認し、想定外の最適化などの問題がない場合は、無視します。意図しないネット / 信号に対しての場合は、RTL 記述などで接続を修正します。

メッセージ ERROR - ngdbuild: logical block 'インスタンス' with type 'モジュール' is unexpanded

意味

論理合成でブラックボックス指定しているインスタンスがあり、その IP やモジュールに相当する *.ngo ファイルが見つからない場合のメッセージです。

対策

当該モジュールの *.ngo ファイルをプロジェクトフォルダー下にコピーするか、ストラテジー・オプション "Macro Search Path" にそのパスを記述します。

--- *** ---