

# Lattice-XP基板設計時資料



The graphic features a blue background with a glowing yellow infinity symbol. Inside the left loop of the infinity symbol is the word "Flash" and inside the right loop is "SRAM". Below the infinity symbol, the text "LatticeXP FPGAs" is displayed in a bold, sans-serif font, with "XP" in yellow. Underneath that, the phrase "Infinitely Reconfigurable, Non-Volatile" is written in a smaller, white font. At the bottom center, there is a small yellow arrow pointing to the right, followed by the text "Learn More".

Flash SRAM

**LatticeXP FPGAs**  
Infinitely Reconfigurable, Non-Volatile

▶ Learn More

本資料は、Lattice社 XPの基板設計時の注意事項をまとめたものです。実際の動作等詳細、最終の確認は、別途データシートを参照頂けるようお願い申し上げます。



	ページ
<b>1. 各ピンの機能/処理</b>	
1-1. 電源ピン	6 ~ 9
1-2. コンフィグ関連ピン	10
1-3. その他のI/Oピン	11
<b>2. XPのI/O構成</b>	
2-1. I/Oバンクの配置	13
2-2. 対応可能なI/F	14
2-3. 電源ON時のI/Oピンの挙動	15
<b>3. 外部コンポーネントによる付加機能</b>	
3-1. LVPECLエミュレート	17
<b>4. コンフィグレーション</b>	
4-1. コンフィグレーション概要	
4-1-1. XPコンフィグレーション概念図	20
4-1-2. SRAMメモリ領域へのコンフィグレーションモードの決定	21
4-1-3. Flashメモリ領域へのプログラミング方法	22
4-1-4. XPプログラミング/コンフィグレーションまとめ	23
4-1-5. 外部PROM容量一覧	24
4-2. コンフィグレーション関連ピンの説明	
4-2-1. 関連ピン一覧	26
4-2-2. 専用のコンフィグレーション制御ピンの詳細	27 ~ 29
4-2-3. 兼用のコンフィグレーション制御ピンの詳細	30 ~ 32
4-2-4. ispJTAGピンの詳細	33

<b>4-3. 各コンフィグレーションモード参考回路</b>	
4-3-1. マスター/スレーブシリアルモード設定値一覧	35
4-3-2. マスター/スレーブシリアルモード	36
4-3-3. スレーブパラレルモード設定値一覧	37
4-3-4. スレーブパラレルモード	38
4-3-5. スレーブパラレルモード(非同期ペリフェラル)	39
4-3-6. セルフダウロードモード(SDM)設定値一覧	40
4-3-7. セルフダウロードモード(スレーブパラレル)	41
4-3-8. ispJTAGモード設定値一覧	42
4-3-9. ispJTAGモード(XPデバイス単体)	43
4-3-10. ispJTAGモード(複数チェーン)	44
<b>4-4. コンフィグレーションフロー</b>	
4-4-1. コンフィグレーションフロー(全体)	46
4-4-2. 初期化シーケンス	47
4-4-3. コンフィグレーションシーケンス	48
4-4-4. ウェイクアップ	49
4-4-5. ウェイクアップシーケンス	50
4-4-6. ウェイクアップタイムチャート	51
4-4-7. Flashメモリ領域ダイレクトプログラミングシーケンス	52
4-4-8. Flashメモリ領域バックグラウンドプログラミングシーケンス	53
<b>4-5. ソフトウェアプリファレンス設定</b>	
4-5-1. ソフトウェアプリファレンス設定	55
4-5-2. ソフトウェアプリファレンス設定一覧	56
4-5-3. ソフトウェア設定説明	57 ~ 59

# 1. 各ピンの機能/処理

Lattice-XPシリーズにおける全てのピンの説明です。  
基板設計の際に必要な、ピンに対する外部処理方法を記載しています。

## 1-1. 電源ピン説明

ピン名	電圧(V)	備考	…IOバンク番号
VCC (専用ピン)	1.2 (LFXP-E) 1.8/2.5/3.3 (LFXP-C)	コア用電源。	
VCCAUX (専用ピン)	3.3	3.3V補助電源。コンフィグレーション回路や、参照電圧を用いる差動入力バッファを動作させるために必要です。	
VCCIO (専用ピン)	1.2/1.5/1.8/2.5/3.3	各バンク毎のI/O電源。使用するインターフェースによって、バンク毎に入力する電源を決定します。 ・LFXP-Eデバイスで、Vccioに1.2Vを印加する場合 Vccと同じ電源から供給するよう にして下さい。 ・Vccioに3.3Vを印加する場合 Vccauxと同じ電源から供給するよう にして下さい。 (データシートP.3-1 Recommend Operating Condition 注釈1参照。)	
VCCREF1、 VCCREF2 (I/Oと兼用ピン)	-	リファレンス電圧が必要なインターフェース(HSTL等)を使用する際に入力します。各バンクで2種類のVREF(VREF1/VREF2)を設定できます。使用しないときはI/Oとして使用可能です。 DDRメモリ/Fを使用する場合はVREF1を使用して下さい。	
VCCJ (専用ピン)	1.2/1.5/1.8/2.5/3.3	JTAG用電源。LVCMOS JTAGピンの特性を決定します。(VCCIOからは独立していません。) ・LFXP-Eデバイスで、Vccjに1.2Vを印加する場合 Vccと同じ電源から供給するよう にして下さい。 ・Vccjに3.3Vを印加する場合 Vccauxと同じ電源から供給するよう にして下さい。 (データシートP.3-1 Recommend Operating Condition 注釈1参照。)	

…IOバンク番号

ピン名	電圧(V)	備考
Vccp0、Vccp1	1.2 (LFXP-E) 1.8/2.5/3.3 (LFXP-C)	<p>PLL用電源。PLL未使用時も電圧を印加することを推奨。 PLL使用時はノイズ耐性向上の為、VccpとGNDPIはVCCと分離させることを推奨。</p> <p>(XP評価ボード回路図 <a href="http://www.latticesemi.com/lit/docs/manuals/ebug12.pdf">http://www.latticesemi.com/lit/docs/manuals/ebug12.pdf</a> 参照。 上記URLで参照できない場合は弊社までお問い合わせ下さい。)</p>

## 重要: 電源に関する注意事項

XPに関して電源シーケンス制御は必要ありません。

しかし、データシートでは以下 **か** を推奨しています。(データシート P.2-24 “Typical I/O Behavior During Power-up”参照。)

全て同時

Vccio Vccaux / Vcc

電源投入時、Vccauxの立ち上がり(0Vから3.3Vまで)の傾き(ランプレート)は、30mV/usを越えないようにして下さい。

(データシートP.3-1 Recommended Operating Conditions 注釈4.参照。)

電源が下記の条件になった場合に内部SRAMの回路情報がなくなります。正常動作には再コンフィグレーションが必要です。

(1)E品 (1.2V Core品) について

・VCC 0.7V以下 または VCCAUX 2.5V以下。

(2)C品 (1.8V - 3.3V Core品) について

・VCC 0.8V以下 または VCCAUX 2.5V以下。

尚、電源の立ち上がり方や、GND / 電源に対するノイズの状態によってこれらの値は変化します。  
あくまで目安値とお考え下さい。

項目	適用	推奨値-規定値	条件など	コメント	
電源立ち上がり時間 (RT: Ramp Time) 又は レート (RR: Ramp Rate)	Vccaux (3.3V)	0V~3.0V の RT 0.8V~1.8V の区間の 最大 RR	100us ~ 100ms の間 30mV/us 以下	直線的に立ち上がる場合 直線的でない場合	単調増加であること
	Vcc の RT	E デバイス (1.2V)	100us ~ 20ms の間	0V から 1.2V (規定TYP値) に達するまでの時間	
		C デバイス (3.3V)	100us ~ 100ms の間	0V から 3.3V (規定TYP値) に達するまでの時間	
	Vccio, Vref, Vccj		100us ~ 100ms の間	0V から 規定TYP値 に達するまでの時間	
内部パワーオン リセット(POR) 電圧値 (POR: Hi=ON, Low=OFF)	E デバイス	立ち上がり (OFF)	0.90V	RT 条件下にて	* 最悪値を示す * 立ち上がり時はPORが解除される電圧を示し、 立下がり時はPORが効き始める電圧を示す * VccとVccauxが共に規定値以上の場合に、 PORは解除される
		立下がり (ON)	0.75V		
	C デバイス	立ち上がり (OFF)	0.95V	RT 条件下にて	
		立下がり (ON)	0.85V		
Vccaux	立ち上がり (OFF)	2.84V	RT 条件下にて		
	立下がり (ON)	2.46V			
電源再投入時 残留電圧	Vcc, Vccaux	Vcc <= 0.85V 又は Vccaux <= 2.46V		POR 条件と同様	
コンフィグデータ 保持電圧値	Vcc, Vccaux	Vcc >= 0.85V かつ Vccaux >= 2.46V	PROGRAMN を Vccaux にブ ルアップし、Vcc 以下になら ないこと	POR 条件と同様	
許容電源リップル値	Vcc (E: 1.2V, C: 1.8V, 2.5V, 3.3V)	なし	推奨動作条件以内のこと (TYP値 +/- 5%)		
	Vccaux, Vccio, Vref, Vccj	なし	推奨動作条件以内のこと (TYP値 +/- 5%)		
デカップリング容量 推奨値	Vcc, Vccaux, Vccio, Vccj	(推奨)* 47uF 以上を各電源ラインのデバイス近傍に配置 ** 0.1uF を各電源ピンごとに、かつピン近くに配置 ** 0.01uF をPLL用電源ピン VCCPLL の近傍に配置(インダクタの使用は任意)			

- ・LatticeXP のC デバイス ( $V_{cc}=1.8 \sim 3.3V$ ) は内部にレギュレータを内蔵しており、コア自体はE デバイスと同様、1.2Vで動作します。その為、熱損失が相対的に大きくなります。
- ・デザインや使用環境(周囲温度等)によっては、ヒートシンクや空冷等の措置をシステムに組み込んで頂くことが必要になる場合があります。
- ・Cデバイス ( $V_{cc}=1.8V \sim 3.3V$ ) をご検討頂く際は、必ず以下の情報を事前に貴社担当FAE/営業までご連絡頂きますようお願い致します。
  - 装置内の周囲温度 (Max. 値)
  - 動作電流見積もり値
  - 空冷の有無 (無し / 200LFM / 500LFM 等)
- ・動作電流見積もりに関しては、ispLEVER付属の消費電力見積もりツール (パワーカリキュレータPower Calculator) を使用することで見積もることが可能です。使用方法で不明点がある場合は貴社担当FAEまでお問い合わせ下さい。
- ・デザインフォルダー式と入力情報 ( $F_{max}$  等) を頂くことが可能であれば、弊社の方で動作電流を見積もりさせて頂く事も可能です。

## 1-2.コンフィグ関連ピン

ピン名	入出力	種類	使用するコンフィグモード	外部処理
CFG[1:0]	入力	専用	全て	Self Download Mode(電源ON時に自己コンフィグするのみのモード)の場合 CFG0/CFG共にVccに外部プルアップを推奨。 <b>*3</b> (その他のモードに関しては、"LatticeXP sysCONFIG Usage Guide TN1082.pdf"参照。)
PROGRAMN	入力	専用	全て	Vccに外部プルアップを推奨。 <b>*3</b>
INITN	双方向	専用	全て	Vccio5と同じ電源に外部プルアップを推奨。 <b>*3</b>
DONE	双方向	専用	全て	Vccio0と同じ電源に外部プルアップを推奨。 <b>*3</b> (LEDを繋げばコンフィグ状態をLED点灯により確認可能。) <b>*2</b>
CCLK	入力or出力	専用	マスター/スレーブ	Self Download Mode時はオープンでOK。
D[7:0]	入力or出力	通常I/Oと兼用 <b>*1</b>	パラレル	未使用時オープンでOK。
DI	入力	通常I/Oと兼用	シリアル	未使用時オープンでOK。
CSN	入力	通常I/Oと兼用	パラレル	未使用時オープンでOK。
CS1N	入力	通常I/Oと兼用	パラレル	未使用時オープンでOK。
WRITEN	入力	通常I/Oと兼用	パラレル	未使用時オープンでOK。
BUSY	出力	通常I/Oと兼用	パラレル	未使用時オープンでOK。
DOUT/CSON	出力	通常I/Oと兼用	シリアル/パラレル	未使用時オープンでOK。
TDI	入力	専用	ispJTAG	外部プルアップ/プルダウン処理は必要なし。
TDO	出力	専用	ispJTAG	外部プルアップ/プルダウン処理は必要なし。
TCK	入力	専用	ispJTAG	2.2k ~ 4.7k でプルダウン必須。(計算上は1k -5k でOK)
TMS	入力	専用	ispJTAG	Vccjと同じ電源に5k ~ 10k で外部プルアップを推奨。 <b>*3</b>

**\*1** 通常I/Oと兼用ピンに関して、これらのピンをコンフィグ専用ファンクションとして使用する場合は、コンフィグ終了後であってもI/Oピンとして使用することはできません。

**\*2** 電源立ち上がり中のDoneピンは挙動は安定しない為、Configが終了したかどうかをCPU等が認識する際は、電源が立ち上がった後にDoneピンがHighとなっていることを確認するようにして下さい。

**\*3** どの電源に外部プルアップするかは、以下を参照して下さい。プルアップ抵抗値は5k ~ 10k として下さい。

CFG[1:0], PROGRAMN...Vcc, TMS...Vccj, その他コンフィグ関連ピン...該当I/OバンクのVccio

(Technical Note TN1082 "LatticeXP sysCONFIG Usage Guide" P.12-9 "Configuration and JTAG Voltage Levels"参照。)

## 1-3.その他のピン

ピン名	説明
[Pll-Loc][Number]_PLL[T/C]_IN_A	PLLへのクロック入力ピン。PLL未使用時は通常I/Oとして使用可能。 シングルエンドのクロックを使用する場合は、PLL Tの方(Trueの方のピン)に入力すること。 未使用時オープンでOK。
[Pll-Loc][Number]_PLL[T/C]_FB_A	PLLへのフィードバック入力ピン。PLL未使用時は通常I/Oとして使用可能。 シングルエンドの信号を使用する場合は、PLL Tの方(Trueの方のピン)に入力すること。 未使用時オープンでOK。
PCLK[T/C]_[n:0]_[3:0]	クロック入力ピン。I/Oと兼用。 シングルエンドのクロックを使用する場合は、PCLK Tピン(Trueの方のピン)に入力すること。 未使用時オープンでOK。
[T/R/B/L]DQS[Number]	DDRメモリDQS信号用ピン。未使用時は通常I/Oとして使用可能。 未使用時オープンでOK。
P[T/R/B/L][Number][A/B]	通常I/O。未使用時はオープンでOK。
NC	No Connectピン。  デバイス上位互換/下位互換の為、ピンコンパチ品を選定される場合は、必ずI/Oピンが少ない方のデバイスのI/Oリストを参照するようにして下さい。
SLEEPN/TOE	LFXP “C” devices (1.8/2.5/3.3V Vcc) の場合はSleep Mode対応。(データシート参照。) このピンでSleep Modeを切り替える。H入力・・・通常動作Mode, L入力・・・Sleep Mode Sleep Modeを使用しない場合は、Vccに5k ~ 10k 外部プルアップ必須。 “E” devices (1.2V Vcc) の場合はSleep Modeに対応せず、このピンはTOE機能を持つ。 H入力・・・通常動作Mode, L入力・・・全I/O HiZ Vccに5k ~ 10k 外部プルアップ必須。

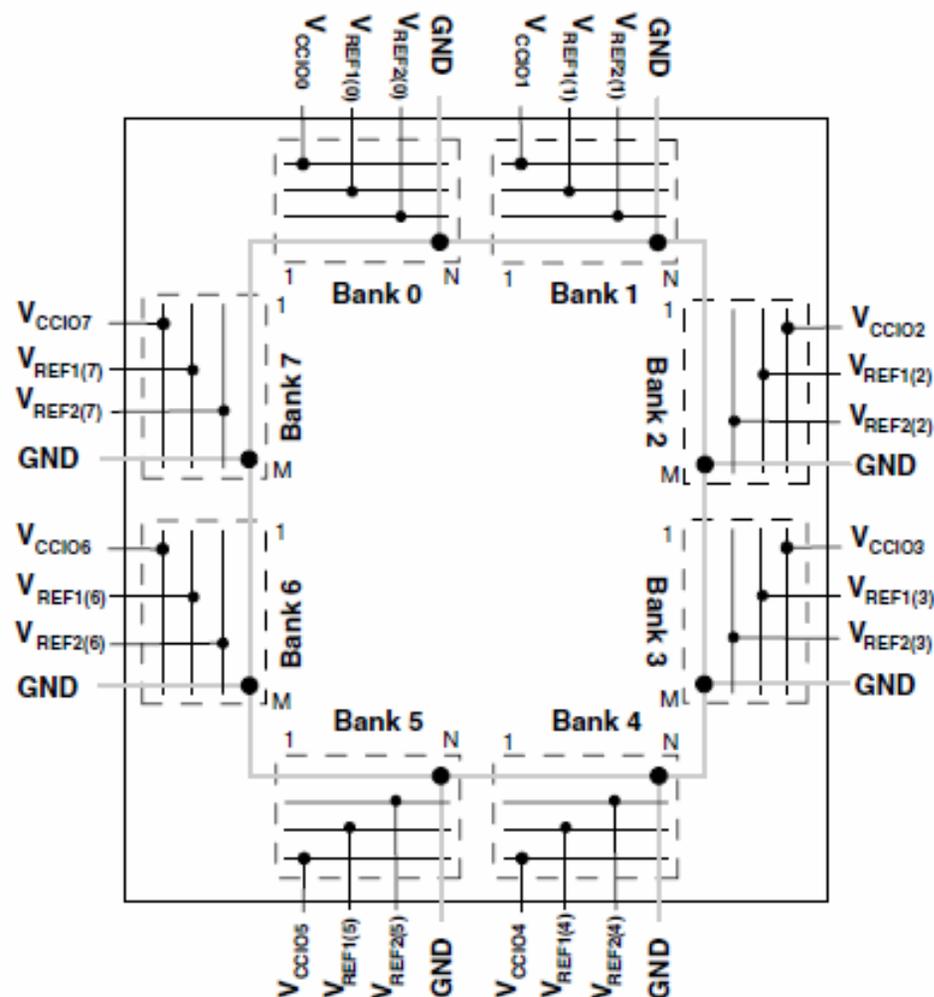
[Pll-Loc]	・・・PLLのロケーション(ULM, LLM, URM, LRM)
[T/C]	・・・T: True, C: Complement(差動のP/Nです)
[T/R/B/L]	・・・I/Oバンク(T: Top, R: Right, B: Bottom, L: Left)
[A/B]	・・・I/OセルのうちどちらのI/Oを使っているか

## 2.XPのI/O構成

Lattice-XPシリーズでは各I/Oバンク毎にI/O type (LVTTTL、LVDS等)を決めることができます。

本項ではI/Oバンクの構成とバンク毎に対応可能なI/O typeを記載しています。

## 2-1.I/Oバンクの配置



・Lattice-XPデバイスには、左図のように合計8つのI/Oバンクが、上下左右各面あたり2つずつあります。

・各I/Oバンクは、1つのVCCIO、2つの参照電圧(VREF1、およびVREF2)を持っています。

・上下のバンク(0,1,4,5)のみクランプダイオード付PCI入力をサポートします。

・左右のバンク(2,3,6,7)のみ真のLVDS出力をサポートします。ただし、それ以外のバンクにおいても外部コンポーネントにより、LVDS、LVPECL等のエミュレーションが可能です。

・LVDS入力に関してはすべてのバンクで対応可能です。

次ページに各バンクと対応可能なI/OのI/Fを記します。

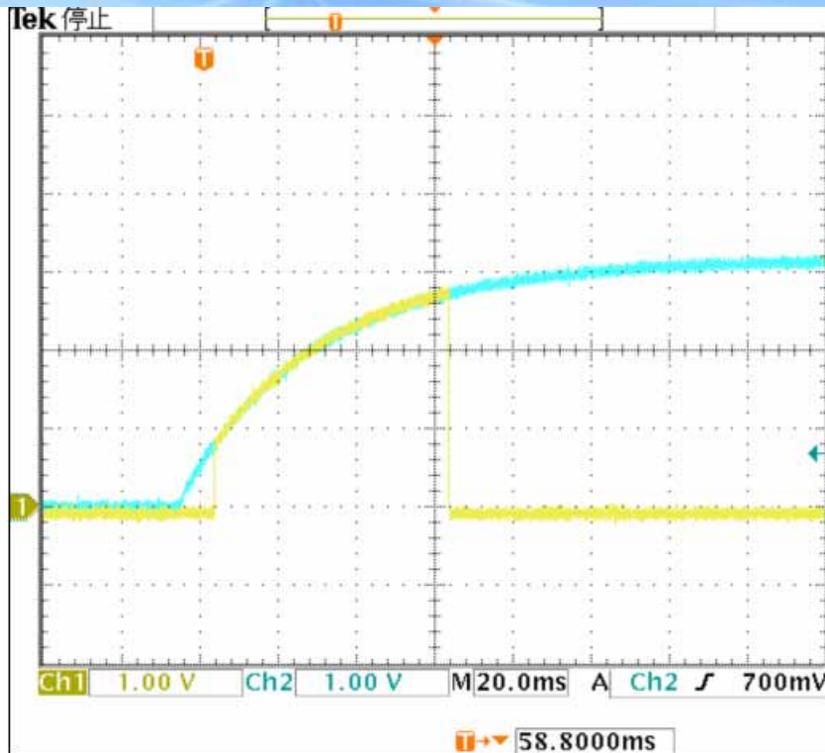
Note: N and M are the maximum number of I/Os per bank.

## 2-2.対応可能なI/OのI/F

記述	バンク0-1	バンク2-3	バンク4-5	バンク6-7
I/Oバッファ・タイプ	シングルエンド	シングルエンドと差動	シングルエンド	シングルエンドと差動
サポートする出力標準	LVTTL LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 SSTL18クラス I SSTL25クラス I, II SSTL33クラス I, II HSTL15クラス I, III HSTL18クラス I, II, III SSTL18Dクラス I, SSTL25Dクラス I, II SSTL33Dクラス I, II HSTL15Dクラス I, III, HSTL18Dクラス I, III PCI33  LVDS25E 1 LVPECL 1 BLVDS 1 RSDS 1	LVTTL LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 SSTL18クラス I SSTL25クラス I, II SSTL33クラス I, II HSTL15クラス I, III HSTL18クラス I, II, III SSTL18Dクラス I, SSTL25Dクラス I, II SSTL33Dクラス I, II HSTL15Dクラス I, III, HSTL18Dクラス I, III PCI33 <b>LVDS</b> LVDS25E 1 LVPECL 1 BLVDS 1 RSDS 1	LVTTL LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 SSTL18クラス I SSTL25クラス I, II SSTL33クラス I, II HSTL15クラス I, III HSTL18クラス I, II, III SSTL18Dクラス I, SSTL25Dクラス I, II SSTL33Dクラス I, II HSTL15Dクラス I, III, HSTL18Dクラス I, III PCI33  LVDS25E 1 LVPECL 1 BLVDS 1 RSDS 1	LVTTL LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 SSTL18クラス I SSTL25クラス I, II SSTL33クラス I, II HSTL15クラス I, III HSTL18クラス I, II, III SSTL18Dクラス I, SSTL25Dクラス I, II SSTL33Dクラス I, II HSTL15Dクラス I, III, HSTL18Dクラス I, III PCI33 <b>LVDS</b> LVDS25E 1 LVPECL 1 BLVDS 1 RSDS 1
入力	全シングルエンドと差動	全シングルエンドと差動	全シングルエンドと差動	全シングルエンドと差動
クロック入力	全シングルエンドと差動	全シングルエンドと差動	全シングルエンドと差動	全シングルエンドと差動
PCIサポート	<b>PCI33クランプあり</b>	PCI33クランプなし	<b>PCI33クランプあり</b>	PCIクランプなし
真のLVDS出力バッファ		<b>LVDS (3.5mA) バッファ</b>		<b>LVDS (3.5mA) バッファ</b>

1. これらの差動I/Fは、外付け抵抗パックと共にコンプリメンタリLVCMOSドライバーを用いることによって、実装されます。

## 2-3. 重要: 電源ON時のI/Oピンの挙動



Ch1(黄): Low出力設定のI/O  
Ch2(青):  $V_{cc}=V_{ccaux}=V_{ccio}(3.3V)$

27 Aug 2007  
21:04:05

上記波形は、XPデバイスにおける電源( $V_{cc}=V_{ccaux}=V_{ccio}$ ) ON時のI/Oピンの挙動です。  
たとえ、Lowレベル出力や電源ON時にリセットされるFFの出力をアサインしているI/Oピンに対して内部プルダウン設定していても、**電源ON時(まだコンフィグレーションされていない状態)には、I/Oピンは必ず内部プルアップでハイインピーダンスの状態になります。\*1**  
よってコンフィグレーションが完了するまでの間は、上記のように電源の立ち上がりにつられて内部プルアップ抵抗の影響で、**Highパルスが必ず一瞬観測されます。**  
このHighパルスを無くしたい場合は、少なめの抵抗(1k 等)で外部プルダウン処理を施すようにして下さい。

\*1 データシートP.2-24,

The default configuration of the I/O pins in a blank device is tri-state with a weak pull-up to VCCIO.

The I/O pins will not take on the user configuration until VCC, VCCAUX and VCCIO have reached satisfactory levels at which time the I/Os will take on the user-configured settings. 参照。

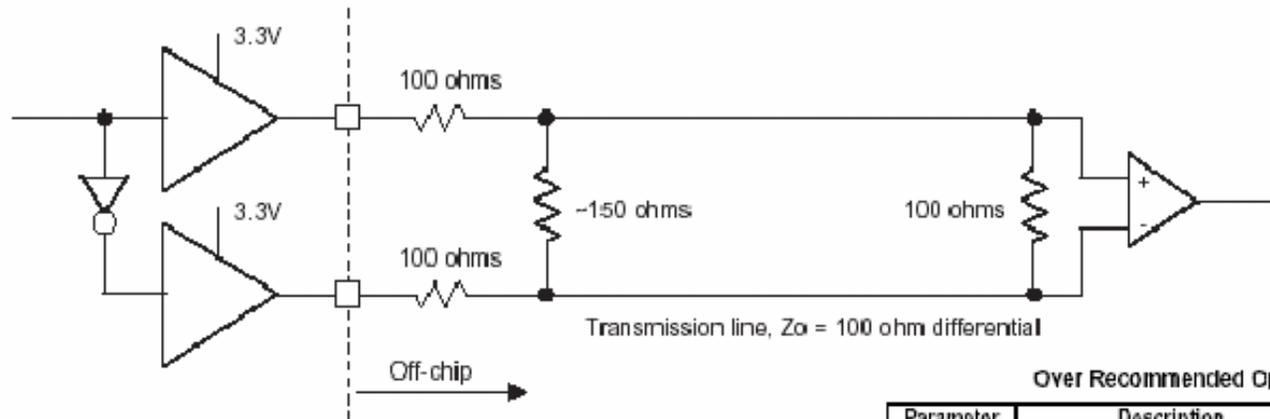
### 3.外部コンポーネントによる付加機能

Lattice-XP シリーズのI/Oに外部コンポーネント(抵抗、コンデンサ等)をつけることにより、デバイス単体ではサポートできないI/Fに対応できる場合があります。本項ではそのような事例の紹介をします。

## 3-1.LVPECLエミュレート

Lattice-XPシリーズのI/Oは、LVCMOSバッファを2つならべて(差動I/Oでの対応となります)、LVPECLをエミュレートすることができます。その場合は、外部コンポ - ネットを以下のように配置してください。

詳細はデータシート及びテクニカルノート(TN1056)を参照ください。



Over Recommended Operating Conditions

Parameter	Description	Typical	Units
Z <sub>OUT</sub>	Output impedance	100	ohm
R <sub>p</sub>	Driver parallel resistor	150	ohm
R <sub>T</sub>	Receiver termination	100	ohm
V <sub>OH</sub>	Output high voltage	2.03	V
V <sub>OL</sub>	Output low voltage	1.27	V
V <sub>OD</sub>	Output differential voltage	0.76	V
V <sub>CM</sub>	Output common mode voltage	1.65	V
Z <sub>BACK</sub>	Back impedance	85.7	ohm
I <sub>DC</sub>	DC output current	12.7	mA

1. For input buffer, see LVDS table.

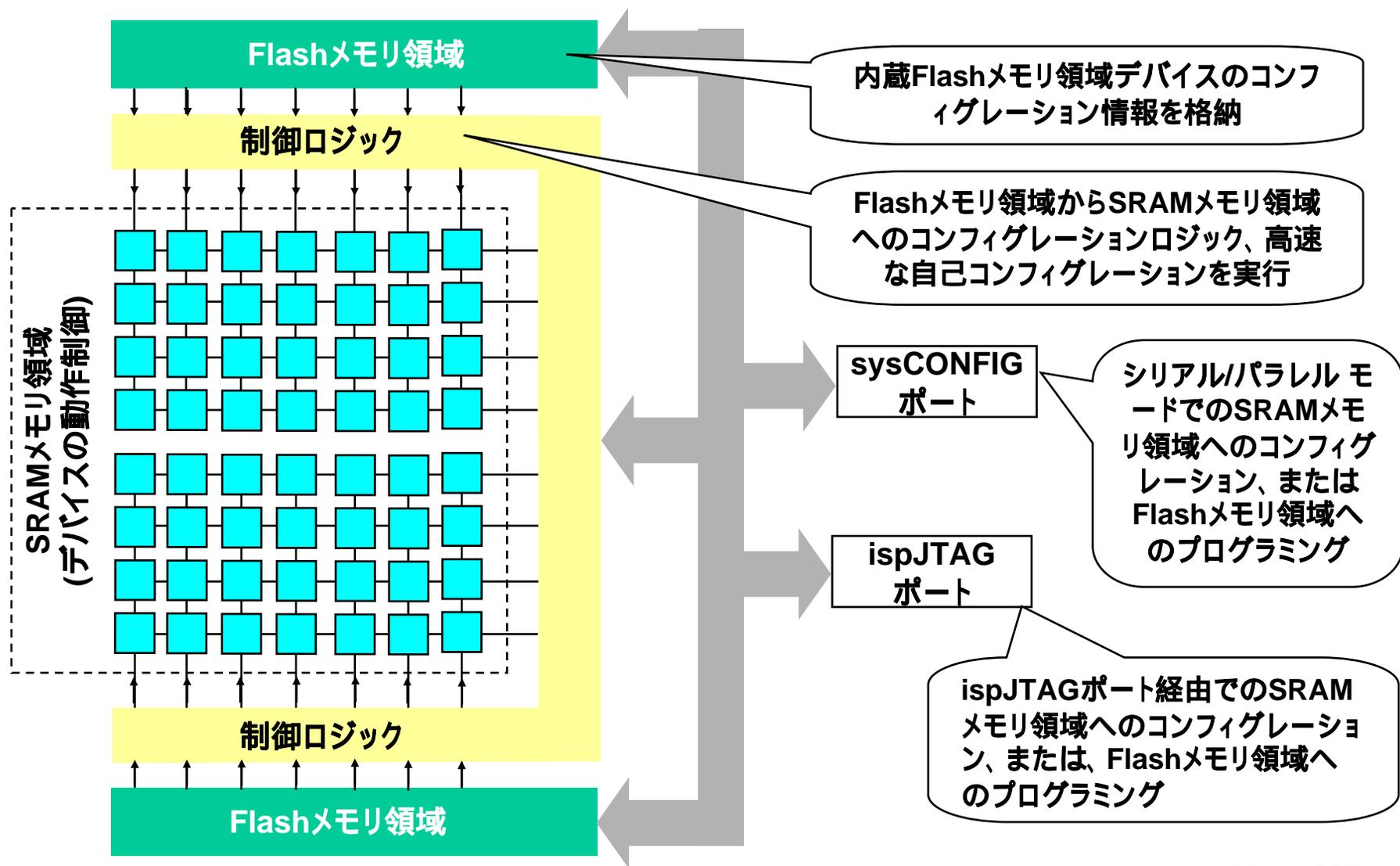
## 4. コンフィグレーション

XPシリーズのコンフィグレーションに関する説明です。コンフィグレーションは、SRAMメモリ領域へのコンフィグレーションを指します。SRAMメモリ領域へコンフィグレーションを行うことで、ユーザ機能が実行されます。プログラミングと言った場合には、内蔵Flashメモリ領域へのプログラミングを指します。

## 4-1.コンフィグレーション概要

XPシリーズのコンフィグレーションとプログラミングに関する概要説明です。

## 4-1-1.XPコンフィグレーション概念図



### 内蔵Flashメモリ領域から。。。

#### セルフダウンロードモード (SDM)

内蔵Flashメモリ領域から電源投入時、または、リフレッシュ実行時にSRAMメモリ領域にコンフィグレーションを行います。事前に、ispJTAG、または、sysCONFIGポート経由で内蔵Flashメモリ領域にプログラミングを行う必要があります。

### sysCONFIGポートから。。。

CFG[1:0]ピン(後述)の設定により、以下の3種類のコンフィグレーション方法が選択できます。

#### スレーブシリアルモード

FPGAがスレーブ(クロックCCLKから入力)となり、外部シリアルROMからのデータを読み込みSRAMメモリ領域に直接コンフィグレーションを行うモードです。

#### マスターシリアルモード

FPGAがマスター(クロックCCLKを出力)となり、外部シリアルROMからデータを読み出しSRAMメモリ領域に直接コンフィグレーションを行うモードです。

#### スレーブパラレルモード

FPGAがスレーブ(クロックCCLKから入力)となり、外部シリアルROMからのデータを読み込みSRAMメモリ領域に直接コンフィグレーションを行うモードです。

### ispJTAGポートから。。。

#### ispJTAGモード

ispJTAG(IEEE1149.1)ポートを介してコンフィグレーションを行うモードです。

Flashメモリ領域からのセルフダウンロードモード (SDM) でSRAMメモリ領域のコンフィグレーションを行う場合、事前にFlashメモリ領域にプログラミングしておく必要があります。

### sysCONFIGポートから。。。

#### スレーブパラレルモード

FPGAがスレーブ(クロックCCLKから入力)となり、外部からsysCONFIGポート経由でデータを読み込みFlashメモリ領域にプログラミングを行うモードです。CFG[1:0]ピン(後述)の設定を"11"にすることで、sysCONFIGポートからFlashメモリ領域へのプログラミングモードに設定されます。

### ispJTAGポートから。。。

#### ispJTAGモード

ispJTAG(IEEE1149.1)ポートを介してコンフィグレーションを行うモードです。

Mode	CFG		Flashメモリ領域プログラミング		SRAMメモリ領域コンフィグレーション	
	1	0	ダイレクト (I/Oトライステート)	バックグラウンド (I/O動作続行)	コンフィグレーション	読み出し
ispJTAG	X	X	YES(*1)	YES(*1)	YES(*1)	YES(*1)
SDM	1	1	YES(sysCONFIG から)	YES(sysCONFIG から)(*2)	YES(Flashメモリ 領域から)	YES (sysCONFIG から)(*2)
スレーブパラレル	1	0	NO	NO	YES(外部PROM、 CPU、などから)	
マスターシリアル	0	1	NO	NO		
スレーブシリアル	0	0	NO	NO		

\*1 . ispJTAG経由からのFlashメモリ領域プログラミング、SRAMメモリ領域コンフィグレーションは、CFGピンの極性によらず、JTAGインストラクションにより決定されます。セキュリティービットが設定された際の読み出しは行えません。

\*2 . sysCONFIGからバックグラウンドFlashメモリ領域プログラミングを行う場合、または、バックグラウンドSRAMメモリ領域読み出しを実行する際には、PERSISTENTプリファレンス(後述)をONにする必要があります。

## 4-1-5.外部PROM容量一覧

型番	LUT数	デバイスコンフィグレーション容量 (MBits)	外部PROM容量(MBits)
LFXP3C/E	3K	1.0	2
LFXP6C/E	6K	1.8	2
LFXP10C/E	10K	2.9	4
LFXP15C/E	15K	4.4	8
LFXP20C/E	20K	5.8	8

## 4-2.コンフィギュレーション関連ピンの説明

XPシリーズのコンフィギュレーションとプログラミングに関連するピンの説明です。

## 4-2-1.関連ピン一覧

ピン名称	I/O	属性	ピンタイプ	使用モード
CFG[0:1]	入力	内部プルアップ	専用ピン	All
PROGRAMN	入力	内部プルアップ	専用ピン	All
INITN	双方向	オープンドレイン, 内部プルアップ	専用ピン	All
DONE	双方向	オープンドレイン, 内部プルアップ または、アクティブドライブ	専用ピン	All
CCLK	入力/出力		専用ピン	All
DIN	入力	内部プルアップ	兼用ピン	シリアル
DOUT/CSON	出力		兼用ピン	シリアルまたはパラレル
CSN	入力	内部プルアップ	兼用ピン	パラレル
CS1N	入力	内部プルアップ	兼用ピン	パラレル
WRITEN	入力	内部プルアップ	兼用ピン	パラレル
BUSY	出力	トリステート, 内部プルアップ	兼用ピン	パラレル
D[0:7]	入力/出力		兼用ピン	パラレル
TDI	入力	内部プルアップ	JTAG	
TDO	出力	内部プルアップ	JTAG	
TCK	入力	ヒステリシス	JTAG	
TMS	入力	内部プルアップ	JTAG	

未使用時の対策等については、1-2. コンフィグ関連ピン参照のこと。

内部プルアップは、

該当するVccioが3.3V時:22K R 110K 、1.8V時:12K R 60K を目安としてください。

以下はコンフィグレーションを制御するのに用いられるsysCONFIG専用ピンの記述です。

### CFG[1:0]

コンフィグレーション・モード・ピンCFG[1:0]は、内部プルアップ付きの入力ピンです。これらは、コンフィグレーション・モードを選択するのに用いられます。パワーオン・リセット時やPROGRAMNピンがLowレベルにされたときに、これらのピンをサンプリングし、コンフィグレーションモードを決定します。

モード	CFG[1]	CFG[0]	備考
スレーブシリアル	0	0	SRAMメモリ領域へ直接コンフィグレーションを行います。
マスターシリアル	0	1	
スレーブパラレル	1	0	
セルフダウンロード(SDM)	1	1	内蔵Flashメモリ領域へのプログラミングを行います。

### PROGRAMN

PROGRAMNピンは、内部プルアップ付きの専用入力ピンです。プログラミング・シーケンスを起動するために使用します。このピンに与えられる信号がHighからLowになると、デバイスはコンフィグレーション・モードに設定されます。パワーアップ時を除いてプログラミングのきっかけとするのにPROGRAMNピンを用いることができます。デバイスがJTAGを用いている場合、デバイスはJTAGモードから解放されるまで、PROGRAMNピンを無視します。

CFGピンがSDM以外に設定されている場合、sysCONFIGポート経由での外部からのコンフィギュレーションモードに設定されます。SDMの場合、内部Flashメモリに既にプログラムがされていれば、内部Flashメモリからのコンフィギュレーションモードに設定されます。

CFGピンがSDMに設定されていて、内部Flashメモリに何もプログラミングされていない場合、コンフィグレーションシーケンスは、内部Flashメモリにプログラミングがされるまで停止します。

### INITN

INITNピンは内部プルアップ付きの双方向オープン・ドレイン制御ピンです。これはLowパルスを駆動することができると共に、Lowパルス入力を検出することができます。PROGRAMNピンがLowにされたとき、またはパワーアップ時パワーオン・リセット信号が解放されたときに、INITNピンはコンフィグレーション回路と外部PROMをリセットするためにLowにドライブされます。PROGRAMNピンがLowである間、コンフィグレーション・メモリはクリアされます。このときINITNピンはLowのままです。外部からにINITNピンにLowをドライブすることで、コンフィグレーションを遅らせることが可能です。INITNピンがLowに保たれている限り、デバイスはコンフィグレーション・モードには入りません。コンフィグレーションの間、INITNピンはエラー検出ピンになります。コンフィグレーション・エラーが発生するときはいつも、それはLowにドライブされます。エラー発生時には、DONEピンはLowに保持され、デバイスはウェイクアップしません。

SRAMメモリ領域へのコンフィグレーションだけでなく、Flashメモリ領域にプログラムされているときにも、INITNピンは、エラー検出ピンとして機能します。これは、sysCONFIG経由でのFlashメモリ領域へのダイレクトプログラミングやバックグラウンドプログラミング時にエラー検出を行うことで、FPGAの正常動作を保証します。

### DONE

DONEピンは内プルアップ付き双方向制御ピンです。オープン・ドレイン (デフォルト) またはアクティブ・ドライブ制御ピンとして構成することができます。デバイスがコンフィグレーション・モードにあるとき、または、内部DONEビットがプログラムされていないとき、DONEピンはLowになります。INITNとPROGRAMNピンがHighで、DONEビットがプログラムされると、DONEピンは解放されます。オープン・ドレインのDONEピンは外部的にLowにすることができ、そして、選択されたウェイクアップ・シーケンスによって、DONEピンが解放されるまでデバイスは動作しません。

JTAG経由でのSRAMメモリ領域へのコンフィグレーション時には、DONEピンはバウンダリスキャンよりドライブされるため、意味を持ちません。

### CCLK

CCLKピンはコンフィグレーションモード選択により、入力/出力何れかに設定されます。CFGピンがサンプルされたときにマスタ・モードが選択されていると、CCLKピンは出力ピンになります。そうでなければ、CCLKは入力ピンになります。CCLKピンが出力ピンになる場合、内部プログラマブル・オシレータがCCLKに接続されて、スレーブ・デバイス用に出力されます。CCLKは、DONEピンがHighにされ、デバイスのウェイクアップ・シーケンスが完了した後100～500クロック・サイクルで止まります。これら余分なクロックは、チェーン内の他デバイスがウェイク・アップするのに十分であることを保証できるように出力されます。CCLK出力が止まると、入力(Hi-z)となります。PROGRAMNピンがトグルされるなど、次のコンフィグレーション初期化シーケンスが開始されるとCCLK出力は再開します。MCLK\_FREQパラメータ(詳しくは、ispLEVERソフトウェアドキュメント参照)の設定により、下表のマスタークロック周波数を選択可能です。

CCLK(MHz)	CCLK(MHz)	CCLK(MHz)
2.5(デフォルト)	13	45
4.3	15	51
5.4	20	55
6.9	26	60
8.1	30	130
9.2	34	-
10.0	41	-

以下はコンフィグレーションを制御するのに用いられるsysCONFIG兼用ピンの記述です。これらのピンのいずれかがコンフィグレーションに用いられると、これらのピンはコンフィグレーション後にI/Oとしては利用できません。その場合、コンフィグレーション後にこれらのピンはトライステートになり、弱くプルアップされます。

### DIN

DINピンは、内部プルアップ付きの入力ピンです。スレーブ・シリアルなどのシリアル・ビットストリーム・コンフィグレーションのデータ入力として使用されます。

### DOUT/CSON

DOUT/CSONピンは、出力ピンであり、コンフィグレーションチェーン構成のための2つの目的を持っています。シリアルおよびパラレル・コンフィグレーション・モードのために、BYPASSチェーンモードが選択されるとき、このピンはDOUTになります。BYPASSチェーンモードにあるデバイスが完全にコンフィグレーションされると、Bypass命令が実行され、次に、DIかD[7:0]にあるデータがDOUTピンに送られ、シリアルにデータを次のデバイスに渡します。パラレル・コンフィグレーション・モードでは、D0が初めにシフトアウトされ、次にD1、D2と続きます。パラレル・コンフィグレーション・モードでは、FLOW\_THROUGHチェーンモードが選択されるとき、このピンはチップ・セレクト出力(CSON)になります。FLOW\_THROUGHチェーンモードにあるデバイスが完全にコンフィグレーションされると、Flowthrough命令が実行され、CSONピンは次のデバイスのチップ・セレクト・ピンをイネーブルするためLowにされます。DOUT/CSONバイパス・レジスタは、パワーアップ時にHIGHをドライブし、ビット・ストリーム中のBypass/Flowthrough命令の実行までその状態を保持します。チェーンモードは、SDMコンフィグレーション時にはサポートされません。

### CSN and CS1N

CSNとCS1Nは、共に内部プルアップ付きのLowアクティブ制御入力ピンです。これらのピンは、パラレルコンフィグレーションモード時のみ有効です。これらの入力ピンは、D[7:0]を有効にし、データを入力するために使用されます。

SDMでないとき、CSNまたはCS1NがHighのとき、D[7:0]、INITN、BUSYピンはトライステートにされます。CSNとCS1NピンがともにHighにドライブされると、フロースルー/バイパス・レジスタはリセットされます。CSNとCS1NはD[7:0]、INITN、およびBUSYピンを制御しているとき、互いに交換可能です。

SDMが選択されているとき、CSNまたはCS1NがHighのとき、D[7:0]、INITN、BUSYピンはトライステートにされます。

Flashメモリ領域がプログラムされていない状態でCSNとCS1Nを共にHighにすると、INITNはLowにドライブされ、内部のコンフィグレーション回路がリセットされます。CSNとCS1NはD[7:0]、INITN、およびBUSYピンを制御しているとき、互いに交換可能です。

ユーザモードでデバイスが動作している最中にパラレルコンフィグレーションモードにてSRAMメモリ領域またはFlashメモリ領域にアクセスする場合には、CSN、CS1Nを有効にするために、PERSISTENTプリファレンス(詳しくは、ispLEVERソフトウェアドキュメント参照)をONにしてください。

### WRITEN

WRITENピンは内部プルアップ付きのLowアクティブ制御入力ピンです。このピンは、パラレルコンフィグレーションモード時のみ有効です。WRITENピンは、データ・ピンD[7:0]のリード(出力)/ライト(入力)を決定するのに用いられます。

プログラミングの間、バイト・データがデバイスにシフトされるときに、WRITENピンはLowにドライブされます。データがデバイスからパラレル・コンフィグレーション・モードで読まれるときには、WRITENピンはHighにドライブされます。

ユーザモードでデバイスが動作している最中にパラレルコンフィグレーションモードにてSRAMメモリ領域またはFlashメモリ領域にアクセスする場合には、WRITENを有効にするために、PERSISTENTプリファレンス(詳しくは、ispLEVERソフトウェアドキュメント参照)をONにしてください。

### BUSY

パラレル・コンフィグレーション・モード時にBUSYピンは、内部プルアップ付きのトライステート出力として機能します。D[7:0]ピンでバイト・データを受ける準備ができているとき、またはバイト・データが読み出す準備ができているときのみ、BUSYピンはデバイスによってLowにドライブされます。非同期ペリフェラル・モードをサポートするのにBUSYピンを用いることができます。これは、デバイスがコマンドを実行する余分な時間を必要とするかもしれないアクノレッジのためのものです。

ユーザモードでデバイスが動作している最中にパラレルコンフィグレーションモードにてSRAMメモリ領域またはFlashメモリ領域にアクセスする場合には、BUSYを有効にするために、PERSISTENTプリファレンス(詳しくは、ispLEVERソフトウェアドキュメント参照)をONにしてください。

### D[7:0]

D[7:0]ピンは、スレーブパラレルコンフィグレーションモード時のみ使用します。D[7:0]ピンはトライステートの双方向I/Oピンで、パラレル・データのリード・ライトに用いられます。WRITEN信号がLowで、CSNとCS1Nピンも共にLowの時に、D[7:0]ピンは入力になります。WRITEN信号がHighにされ、CSNとCS1Nピンが共にLowのときに、D[7:0]ピンは読み出すための出力ピンになります。CSNとCS1NピンのいずれかがHighならば、D[7:0]ピンはトライステートになります。ユーザモードでデバイスが動作している最中にパラレルコンフィグレーションモードにてSRAMメモリ領域またはFlashメモリ領域にアクセスする場合には、BUSYを有効にするために、PERSISTENTプリファレンス(詳しくは、ispLEVERソフトウェアドキュメント参照)をONにしてください。

ispJTAGピンは標準のIEEE1149.1TAPピンです。LatticeXPデバイスがパワーアップされる時、ispJTAGピンは専用のピンであり、常にアクセスできます。

### TDO

テストデータ出力ピンTDOは、シリアルテスト命令とデータをシフトアウトするのに用いられます。TDOが内部回路によってドライブされていないとき、ピンはハイ・インピーダンス状態にあります。

### TDI

テストデータ入力ピンTDIは、シリアルテスト命令とデータをシフトインするのに用いられます。TDIピンには内部プルアップ抵抗があります。内部抵抗はVccjにプルアップされています。

### TMS

テストモード・セレクト・ピンTMSはTAPコントローラのテスト動作を制御します。TCKの立ち下がりエッジで、TMSがHighかLowかによって、TAPコントローラ・ステート・マシンの状態遷移が行われます。TMSピンには内部プルアップ抵抗があります。内部抵抗はVccjにプルアップされています。

### TCK

テスト・クロック・ピンTCKは、TAPコントローラを走らせ、データをおよび命令レジスタへのロード、リロードのためのクロックを提供します。TCKはHighまたはLow状態で止めることができ、デバイス・データシートで示される周波数まで動作させることができます。TCKピンはデータシートのDCパラメータ・テーブルに示される値でヒステリシスをサポートします。

### Vccj

Vccjは、JTAGデバイスでチェーンを作るために、独立した電源をJTAGポートに供給します。

## 4-3.各コンフィグレーションモード参考回路

本項では各コンフィグレーションの参考回路を記載しております。

### スレーブシリアルモード

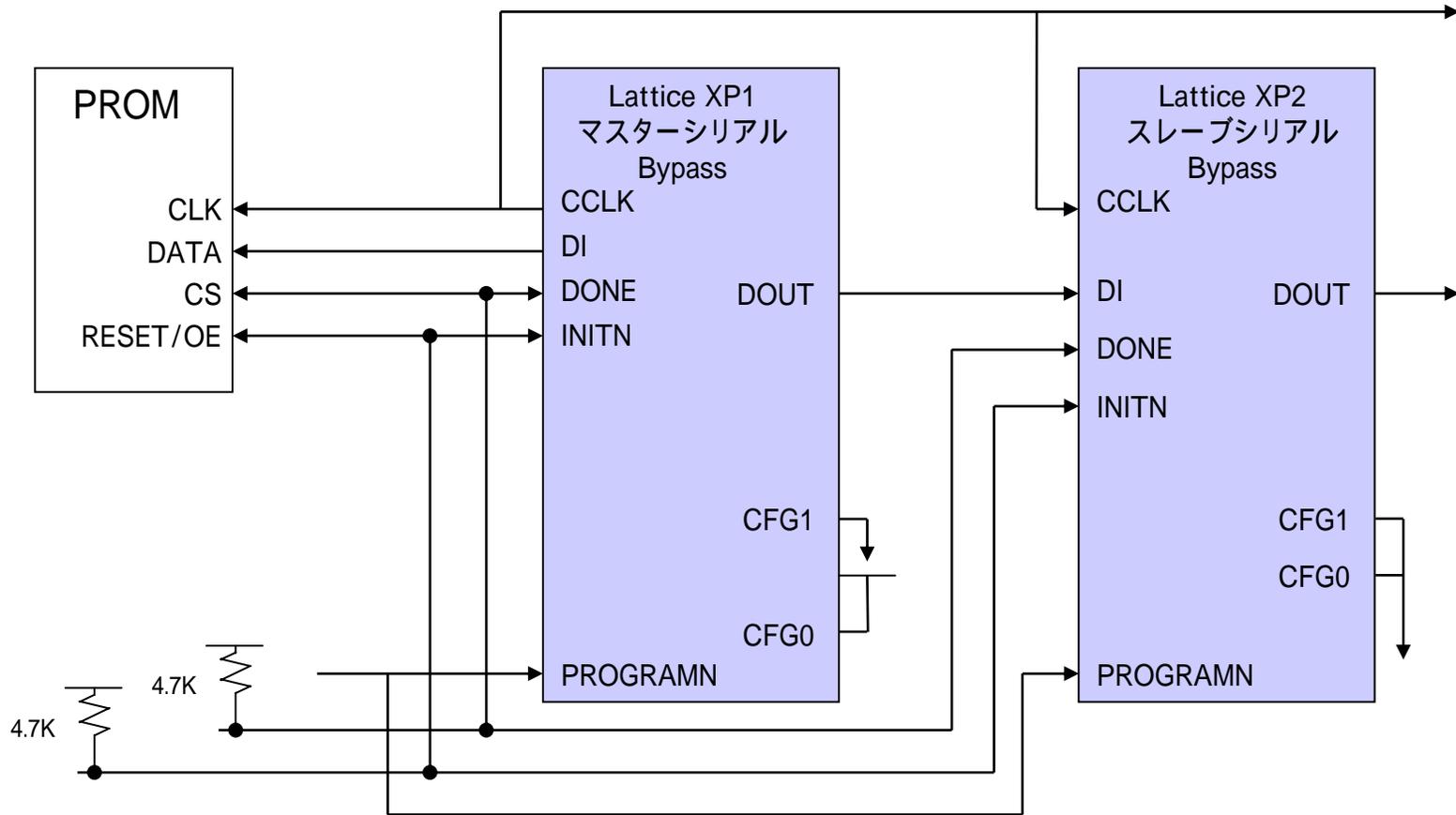
モード	CFG[1]	CFG[0]	CONFIG_MODE	Chain Mode
スレーブシリアル デバイス単体	0	0	SLAVE_SERIAL	Disable
スレーブシリアル 複数チェーン構成	0	0	SLAVE_SERIAL	Bypass

CCLKはクロック入力ピンとなり、DI入力ピンには、CCLKの立ち上がり同期したデータを入力する必要があります。Chain ModeをBypassに設定している場合、コンフィグレーションが完了したとき、その後入力されるDIからのデータは、そのままDOUT出力に流されます。

### マスターシリアルモード

モード	CFG[1]	CFG[0]	CONFIG_MODE	Chain Mode
マスターシリアル デバイス単体	0	1	MASTER_SERIAL	Disable
マスターシリアル 複数チェーン構成	0	1	MASTER_SERIAL	Bypass

CCLKは出力クロックとなり、PROMや後段のスレーブデバイスに供給されます。DI入力はCCLKの立ち上がり同期して入力する必要があります。Chain ModeをBypassに設定している場合、コンフィグレーションが完了したとき、その後入力されるDIからのデータは、そのままDOUT出力に流されます。CCLK出力は、DONEピンがHighを認識するまで継続されず。

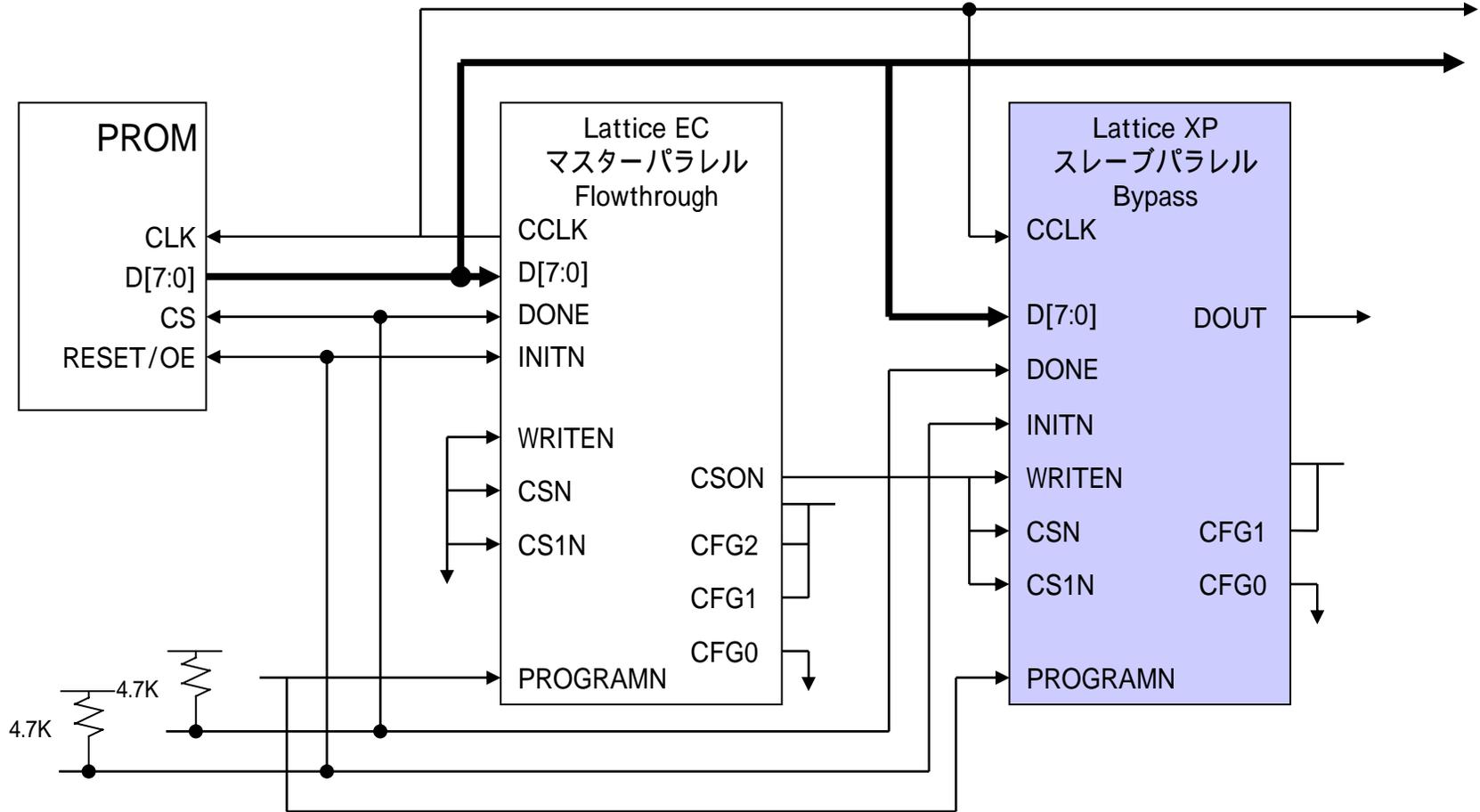


### スレーブパラレルモード

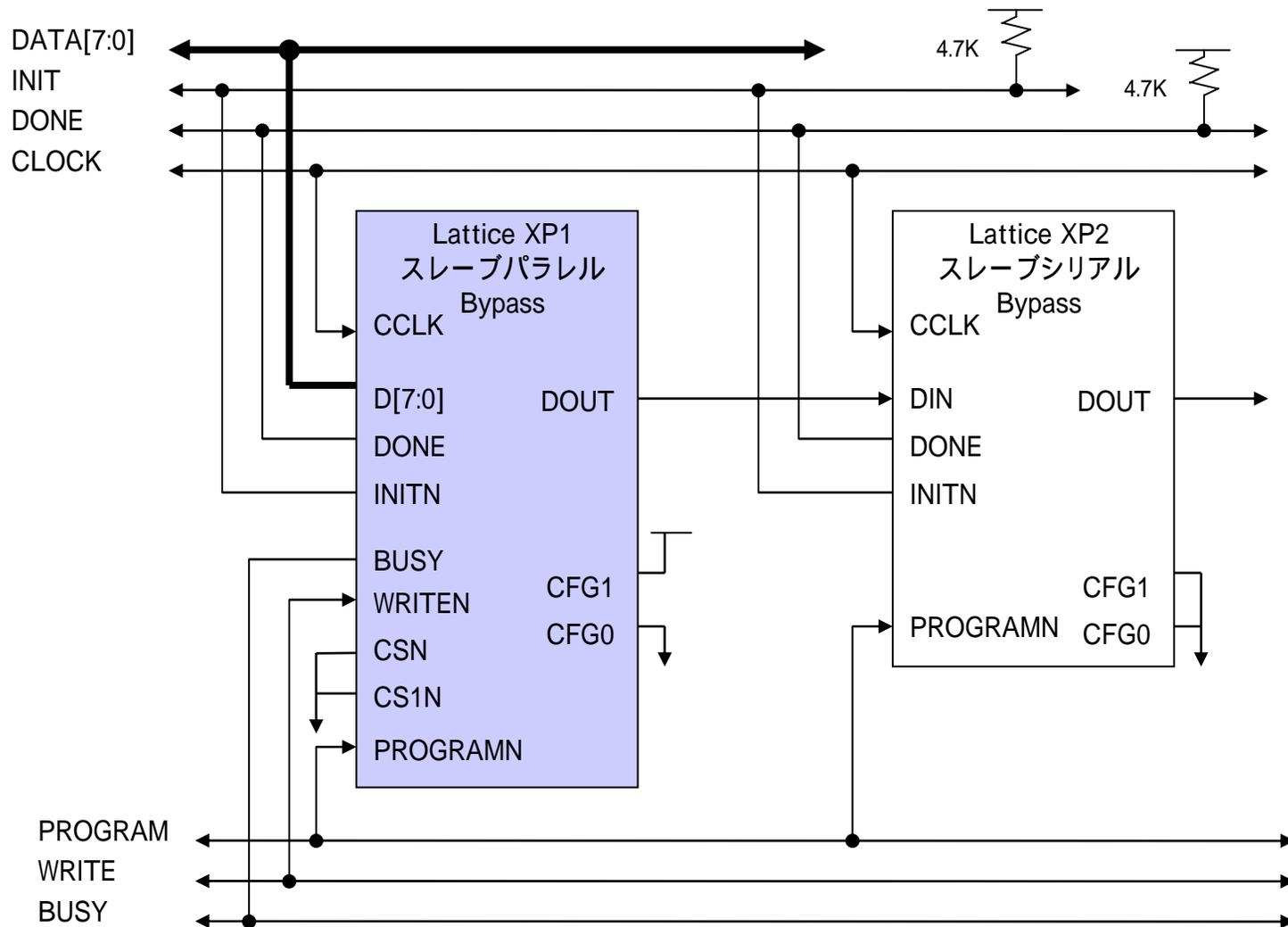
モード	CFG[1]	CFG[0]	CONFIG_MODE	Chain Mode
スレーブパラレル デバイス単体	1	0	SLAVE_PARALLEL	Disable
スレーブパラレル 複数チェーン構成 (後段 がスレーブシリアル)	1	0	SLAVE_PARALLEL	Bypass
スレーブパラレル 複数チェーン構成 (後段 がスレーブパラレル)	1	0	SLAVE_PARALLEL	Flowthrough

このモードでは、複数チェーンモードの場合、後段のデバイスにより、2つのChain Modeを設定可能です。後段がスレーブシリアルの場合には、Bypassに、後段がスレーブパラレルの場合には、Flowthroughに設定します。

## 4-3-4. スレーブパラレルモード



## 4-3-5. スレーブパラレルモード(非同期ペリフェラル)



### セルフダウンロードモード(SDM)

モード	CFG[1]	CFG[0]	CONFIG_MODE	Chain Mode
セルフダウンロードモード	1	1	NONE/SLAVE_PARALLEL	Disable

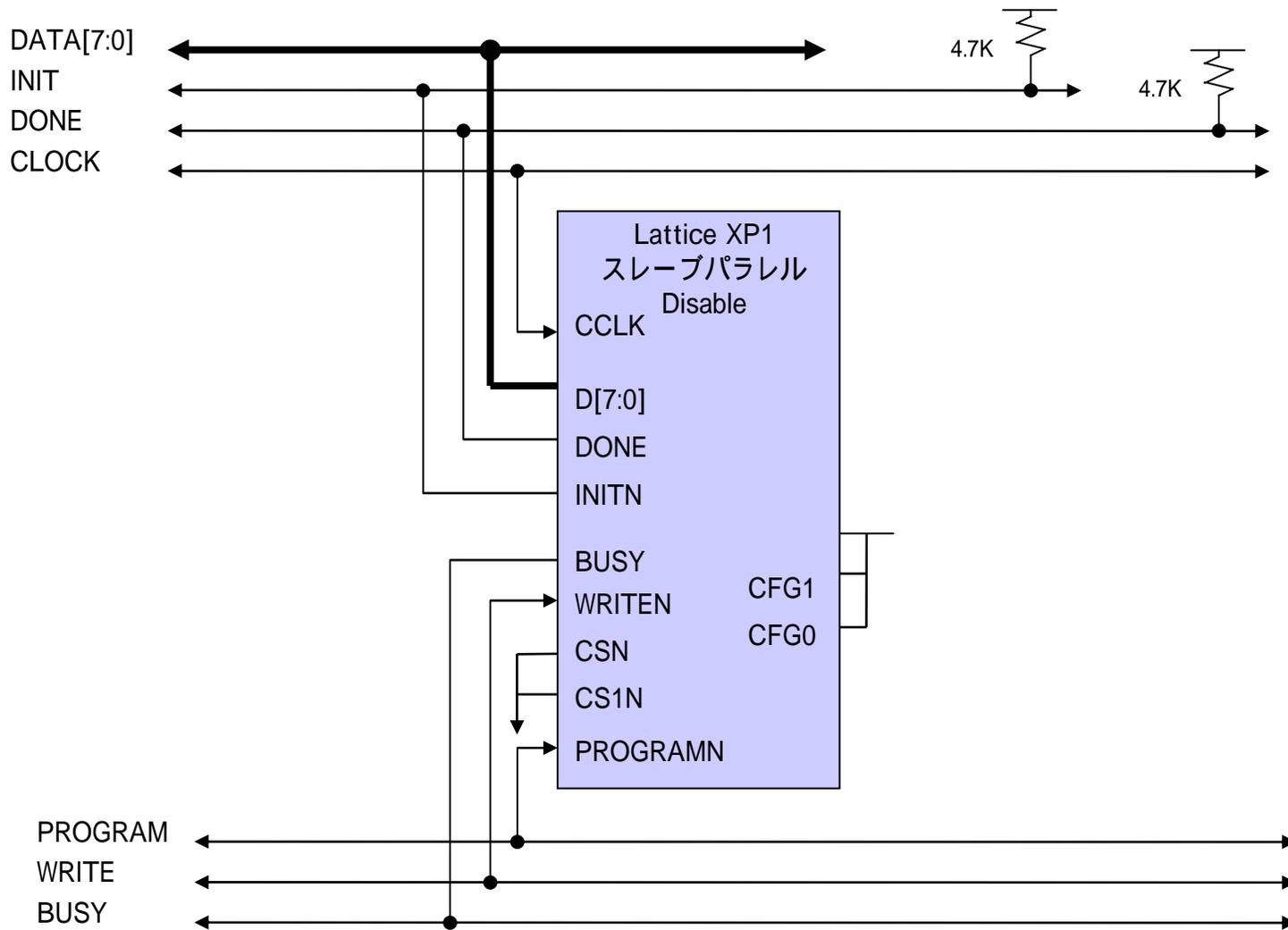
このモードでは、SRAMメモリ領域へのコンフィグレーションは、内蔵のFlashメモリ領域から行われます。Flashメモリ領域へのプログラミングは、ispJTAGか、SDM設定でのスレーブパラレルにて事前に行う必要があります。

Flashメモリ領域へのプログラミングをispJTAGからのみ行う場合には、CONFIG\_MODEは、NONE(または、JTAG)とします。そうすることで、兼用のsysCONFIGピンは、I/Oとして使用可能となります。

Flashメモリ領域へのプログラミングをスレーブパラレルで行う場合には、CONFIG\_MODEは、SLAVE\_PARALLELに設定する必要があります。そうすることで、兼用のsysCONFIGピンは、プログラミング/コンフィグレーションピンとして機能します。

セルフダウンロードモードでは、Chain Modeの設定はできません。

## 4-3-7.セルフダウンロードモード(スレーブパラレル)

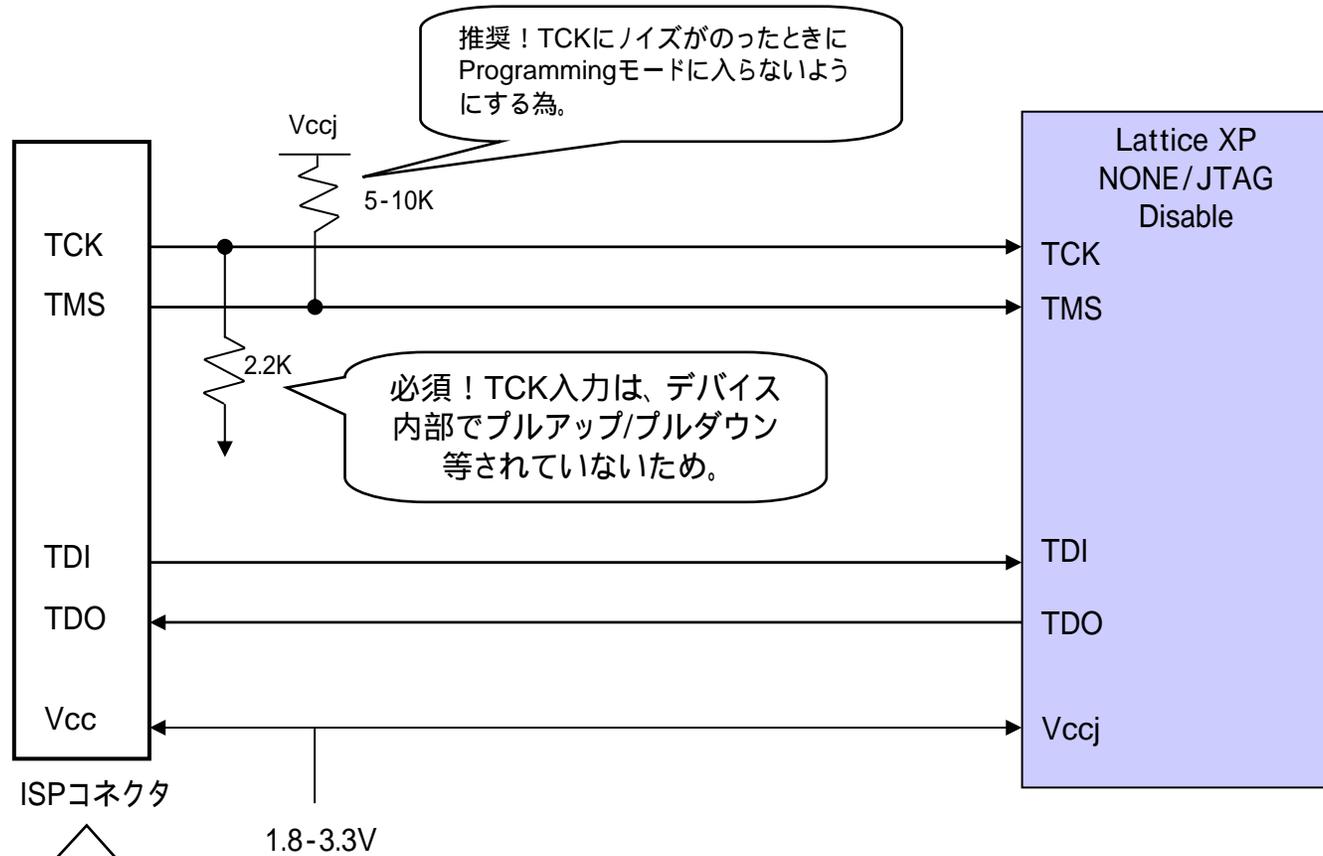


### ispJTAGモード

モード	CFG[1]	CFG[0]	CONFIG_MODE	Chain Mode
ispJTAGモード	X	X	NONE/JTAG	Disable

ispJTAGは、CFG[1:0]設定によらず常に有効となります。Flashメモリ領域へのプログラミングおよび各種オペレーション、SRAM領域へのコンフィグレーション/読み出しなど、すべて、JTAGインストラクションにより決定されます。設定は、書き込みソフトウェアispVMSystemより行います。詳細は、ispVMSystemマニュアルを参照ください。

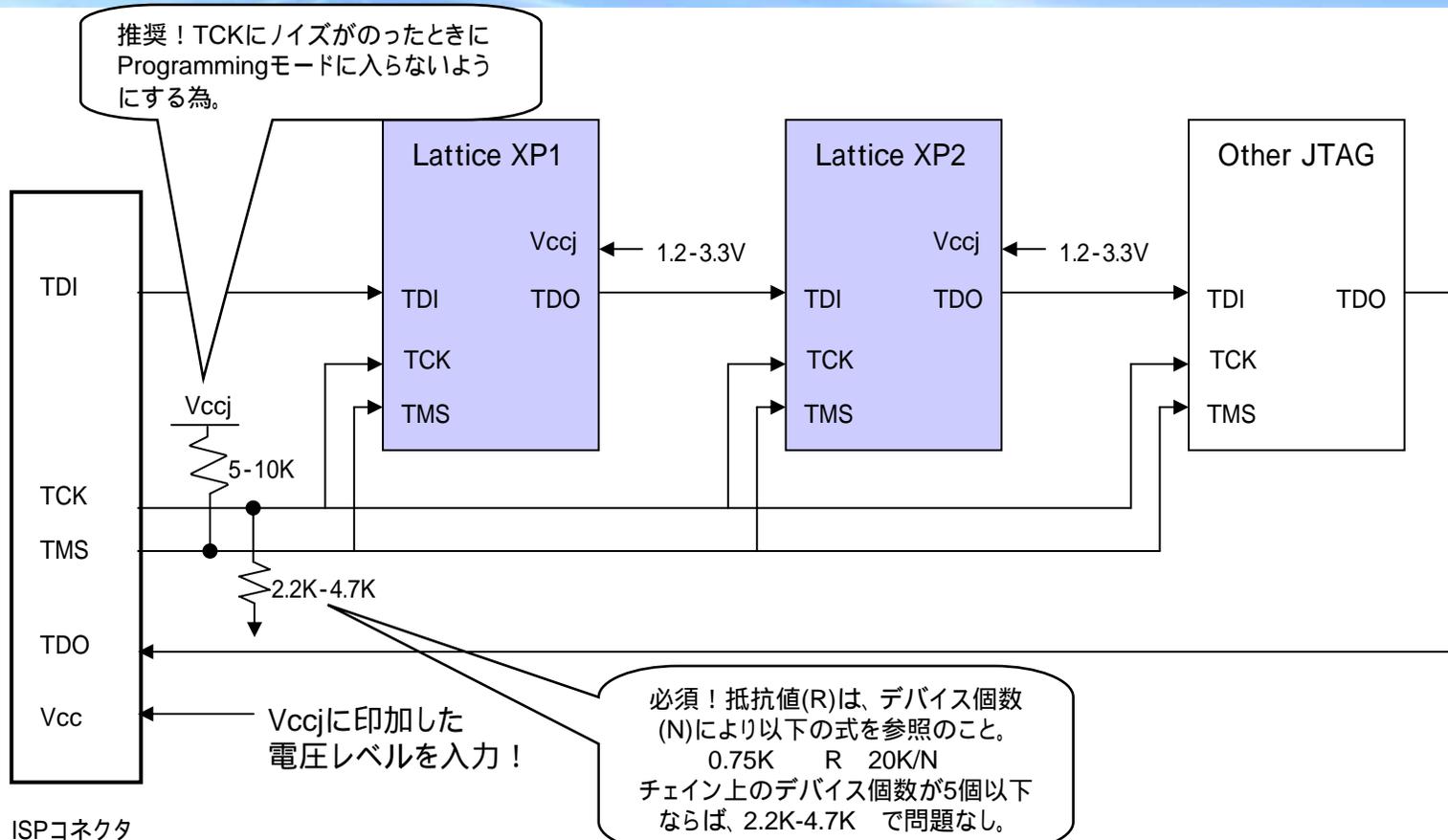
## 4-3-9. ispJTAGモード(XPデバイス単体)



ISPコネクタは、  
Ver1,2ならば、3.3/2.5Vでのみ対応可能。  
Ver2A,3以降ならば、3.3/2.5/1.8V対応可能。

ispJTAGからの各種プログラミング/コンフィグレーションモードの設定は、JTAGインストラクションにより決定されます。したがって、モードによる回路図上の差異はありません。

## 4-3-10.ispJTAGモード(複数チェーン)



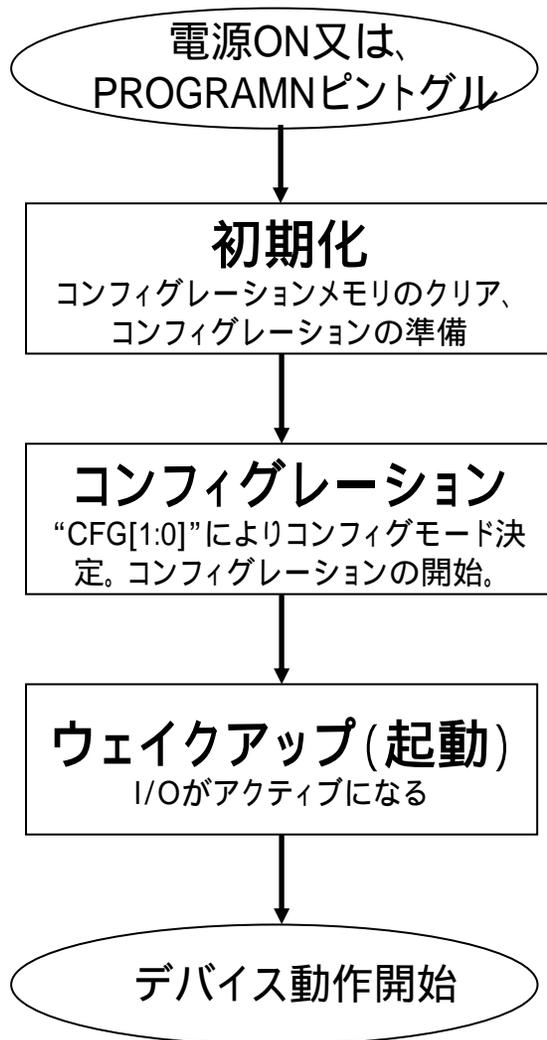
ISPコネクタは、  
 Ver1,2ならば、3.3/2.5Vでのみ対応可能。  
 Ver2A,3以降ならば、3.3/2.5/1.8V対応可能。

JTAG電圧レベル(XPではVccjにて指定)は、JTAGチェーンで統一すること。

ispJTAGからの各種プログラミング/コンフィグレーションモードの設定は、JTAGインストラクションにより決定されます。したがって、モードによる回路図上の差異はありません。

## 4-4. コンフィギュレーションフロー

本項では、電源起動からコンフィギュレーションをして実動作するまでを説明しております。



### Start

電源投入時のパワーオンリセット(POR)が解除されるか、又は、PROGRAMNピンを外部よりHighからLowにドライブする。

### 初期化

INITNピンはXPデバイスによりLowにドライブされます。I/Oはトリステート状態になります。SRAMメモリ領域がクリアされます。

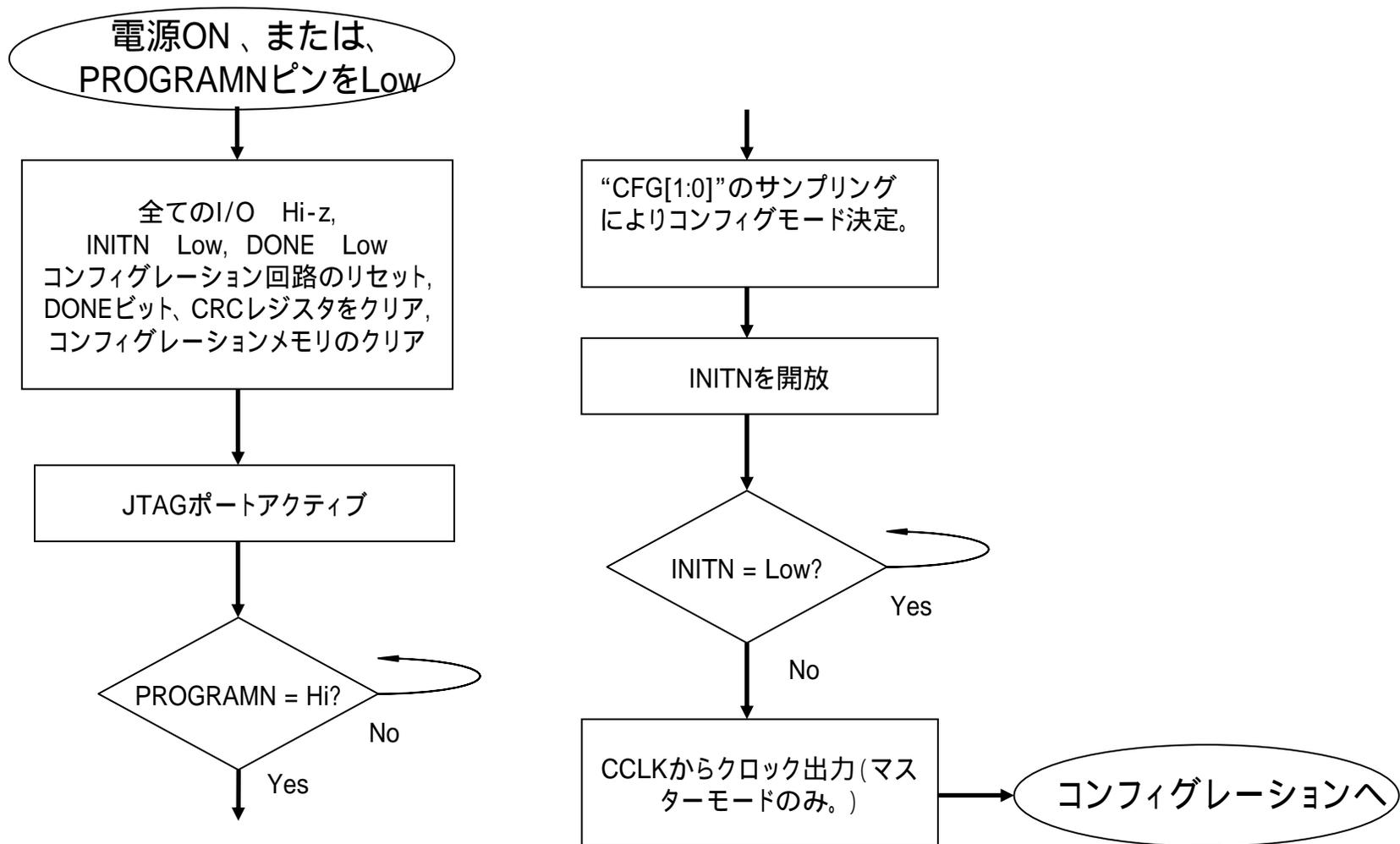
### コンフィグレーション

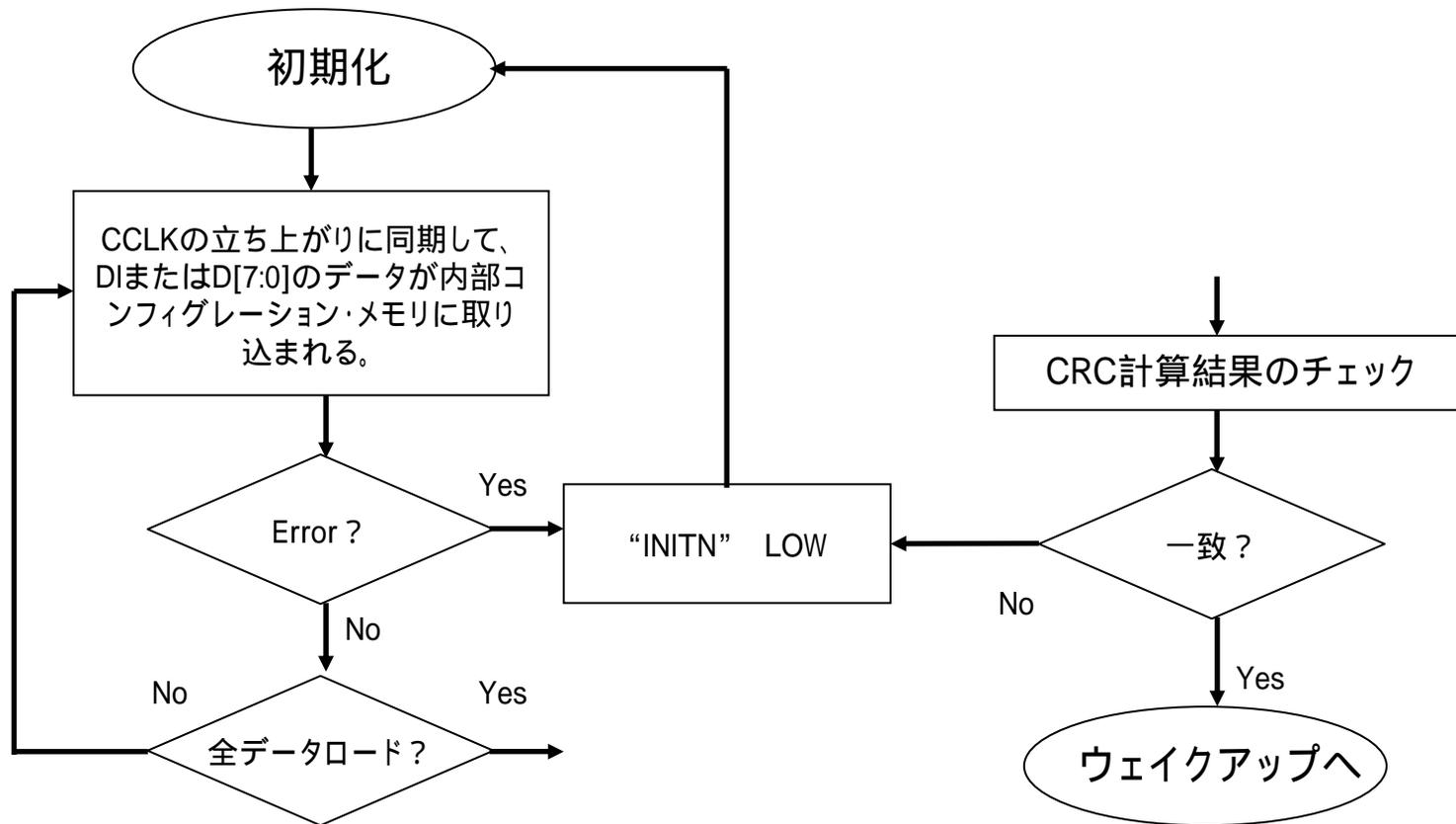
初期化が完了しPROGRAMNピンがHighならば、INITNピンはXPデバイスにより開放されます。このときINITNピンが外部からLowにドライブされていると、Highになるまでコンフィグレーション・プロセスを遅らせることができます。コンフィグレーションが開始されると選択されたコンフィグレーション・モードにより、DIかD[7:0]からビット・ストリームをロードします。コンフィグレーションが完了するとDONEビットが設定され、DONEピンが開放されます。何らかのエラーがあるとINITNピンはLowになり、エラー発生を知らせます。このとき、DONEビットは設定されず、DONEピンはXPデバイスによりLowをドライブされ続けます。

### ウェイクアップ(起動)

ウェイクアップ・シーケンスは、コンフィグレーションの完了後にデバイスを機能モードに投入します。適切なウェイクアップ・シーケンスを選ぶことは、信号の衝突を防ぐために重要です。

## 4-4-2.初期化シーケンス





コンフィグレーションが完了すると、XPデバイスはWAKE\_UPプリファレンスにて指定されたモードにより、起動します。

起動方法には、大別して2つの同期による方法があります。1つは、コンフィグレーション完了後に設定されたDONEビットをみて起動する方法です。この方法では、コンフィグレーション完了後、外部からDONEピンがLowにドライブされているか否かに関わらず起動します。もうひとつは、DONEビットが設定された後、DONEピンが外部からLowにドライブされていないことを確認して起動する方法です。

### ウェイクアップシーケンスの選択

WAKE\_UPプリファレンス(後述)にて25種類のシーケンスから指定する。制御される信号は、

GOE (グローバル・アウトプット・イネーブル)

GSR (グローバル・セット・リセット)

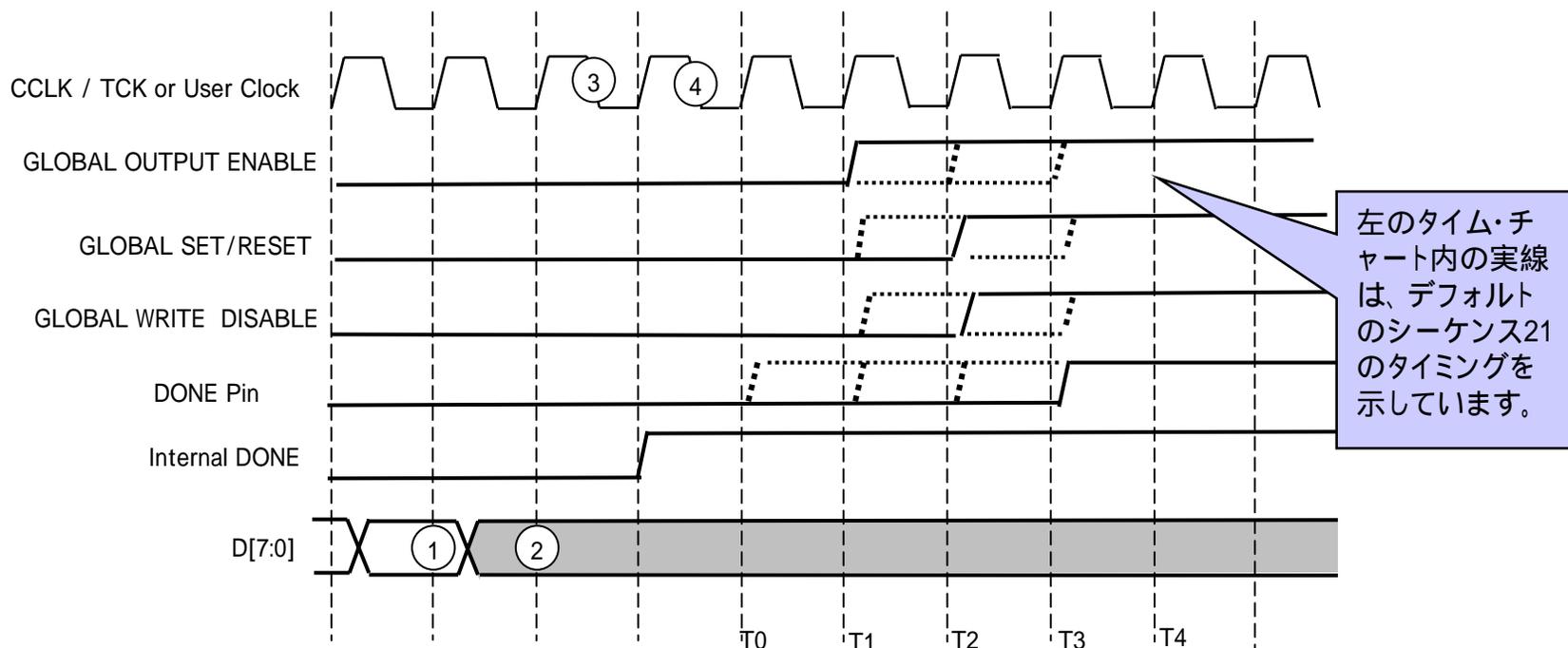
GWDIS (グローバル・ライト・ディセーブル)

DONE (DONEピン)

## 4-4-5.ウェイクアップシーケンス

Sequence	Phase T0	Phase T1	Phase T2	Phase T3
Default		GOE	GSR, GWDIS	DONE
1	DONE	GOE, GWDIS, GSR		
2	DONE		GOE, GWDIS, GSR	
3	DONE			GOE, GWDIS, GSR
4	DONE	GOE	GWDIS, GSR	
5	DONE	GOE		GWDIS, GSR
6	DONE	GOE	GWDIS	GSR
7	DONE	GOE	GSR	GWDIS
8		DONE	GOE, GWDIS, GSR	
9		DONE		GOE, GWDIS, GSR
10		DONE	GWDIS, GSR	GOE
11		DONE	GOE	GWDIS, GSR
12			DONE	GOE, GWDIS, GSR
13		GOE, GWDIS, GSR	DONE	
14		GOE	DONE	GWDIS, GSR
15		GOE, GWDIS	DONE	GSR
16		GWDIS	DONE	GOE, GSR
17		GWDIS, GSR	DONE	GOE
18		GOE, GSR	DONE	GWDIS
19			GOE, GWDIS, GSR	DONE
20		GOE, GWDIS, GSR		DONE
21 (Default)		GOE	GWDIS, GSR	DONE
22		GOE, GWDIS	GSR	DONE
23		GWDIS	GOE, GSR	DONE
24		GWDIS, GSR	GOE	DONE
25		GOE, GSR	GWDIS	DONE

## 4-4-6.ウェイクアップタイムチャート



PROGRAM\_DONEコマンド・フレームの最終バイト

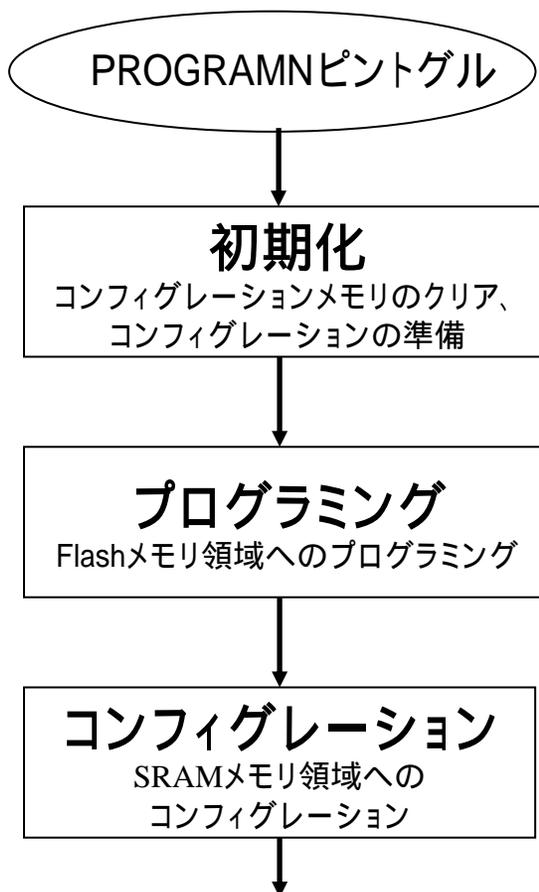
PROGRAM\_DONEコマンドの実行最終ステート。もしPROGRAM\_DONE命令にCRCが付加されていた場合、CRC比較はこの時点で完了される。

内部DONEビット(\*)が設定されるには、複数のクロック・サイクルが必要となる場合がある。

PLLがロックするまで、複数のクロック・サイクルが必要。もしPLLのロック信号に依存しない(Wake\_on\_lockを未設定)場合は、1クロック・サイクルのみ。

\*: 内部DONEビットはデバイス内部の制御用で、DONEピンと区別されています。またそれらの信号遷移タイミングも異なります。

Flashメモリ領域ダイレクトプログラミングは、sysCONFIG経由でのスレーブパラレルモードでかつ、CFG[1:0]="11"(SDM)のときに有効となります。以下は、そのシーケンスとなります。



### Start

PROGRAMNピンを外部よりHighからLowにドライブする。

### 初期化

INITNピンはXPデバイスによりLowにドライブされます。  
I/Oはトライステート状態になります。  
SRAMメモリ領域がクリアされます。

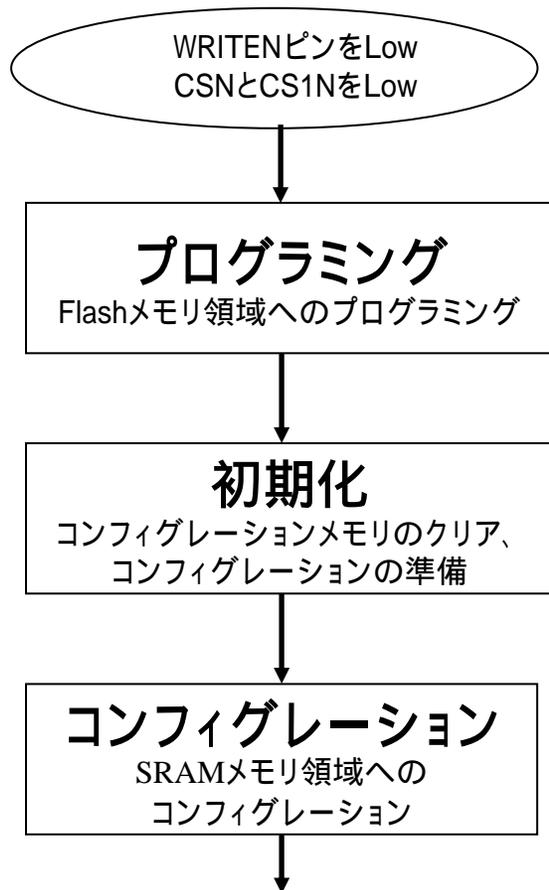
### プログラミング

初期化完了後、PROGRAMNピンは外部よりLowをドライブし続けます。この状態でXPデバイスはWRITENピンとCSNとCS1NがLowにドライブされるとD[7:0]ピンからはじめのデータを読み込みます。その後、Erase、Program、Verifyが実行されます。エラー発生時には、INITNピンがXPデバイスよりLowにドライブされます。ビジー発生時には、BUSY信号がXPデバイスより、Highにドライブされます。

### コンフィグレーション

プログラミング完了後、PROGRAMNピンをHighにドライブすることで、SRAMメモリ領域へのコンフィグレーションが開始されます。

Flashメモリ領域バックグラウンドプログラミングは、sysCONFIG経由でのスレーブパラレルモードでかつ、CFG[1:0]="11"(SDM)のときに有効となります。また、このモードでは、PERSISTENTプリファレンスをONにする必要があります。以下は、そのシーケンスとなります。



### Start

PERSISTENTプリファレンスをONにしてあるので、XPデバイスが動作中でも、sysCONFIG関連兼用ピンが有効となっている。

### プログラミング

WRITENピンとCSNとCS1NがLowにドライブされるとD[7:0]ピンからはじめのデータを読み込みます。その後、Erase、Program、Verifyが実行されます。エラー発生時には、INITNピンがXPデバイスよりLowにドライブされます。ビジー発生時には、BUSY信号がXPデバイスより、Highにドライブされます。

### 初期化/コンフィグレーション

プログラミング完了後、PROGRAMNピンをHigh Low Highとトグルすることで、SRAMメモリ領域へのコンフィグレーションが開始されます。PROGRAMNを制御しなければ、XPデバイスはFlashメモリ領域に書き込まれる前のデータで動作を継続します。

## 4-5.ソフトウェア・プリファレンス設定

XPシリーズでは、ispLEVER(開発ツール)でのコンパイル時に  
コンフィグレーション等の挙動を設定することが可能です。本  
項では、そういった設定に関して説明しております。

開発ツールispLEVERのプリファレンスエディタのGlobalタブ、また、"Generate Data File"を右クリックして表示されるPropertiesを実行することで、コンフィグレーション関連の設定を行うことができます。

The screenshot shows the 'ispLEVER Project Navigator' interface. On the left, a tree view shows project sources. On the right, a list titled 'Processes for current source:' contains various tasks. One task, 'Generate Data File', is highlighted with a mouse cursor. An arrow points from this task to a 'Properties' dialog box. Another arrow points from the 'Global' tab of the preference editor to the 'Properties' dialog box. Below the main window, a terminal window shows the command 'ispLEVER Auto-Make Log File' and the output 'Starting: 'C:\nispT00LS4\_1\nispcpld\bin\checkini.exe -err=automake.err' and 'Done: completed successfully'.

プリファレンスエディタの  
Globalタブ

右クリック & Properties...

Properties		
<input checked="" type="checkbox"/>	True	
Run DRC	T/F	True
Bit Mirror	T/F	False
Output Format	List	Bit File (Binary)
No Header	T/F	False
Compress bit stream	T/F	False
Advanced Options		
Double-click the selected item to cycle through possible choices, or use the combo box in the edit region for a list of choices		
Online Help is available if you highlight the option and press F1.		

開発ツールispLEVER上でコンフィグレーション関連の設定を行うことができます。  
設定一覧を以下に記します。

プリファレンス	デフォルト設定[設定値]	備考
PERSISTENT	OFF[OFF,ON]	プリファレンスエディタ設定
CONFIG_MODE	NONE[NONE,JTAG,SLAVE_PARALLEL,SLAVE_SERIAL,MASTER_SERIAL]	
DONE_OD	ON[ON,OFF]	
DONE_EX	OFF[OFF,ON]	
MCCLK_FREQ	2.5[2.5,4.3,5.4,6.9,8.1,9.2,10,13,15,20,26,30,34,41,45,51,55,60,130]	
CONFIG_SECURE	OFF[OFF,ON]	
WAKE_UP	21[1-25]	
INBUF	ON[OFF,ON]	
Chain Mode	Disable[Disable,Flowthrough,Bypass]	Generate Data File プロパティ設定

### PERSISTENT

再コンフィグレーションを行う場合、兼用ピン(I/Oまたはコンフィグレーション制御)となっているsysCONFIGポートをコンフィグレーション用に使用するために、この設定をONとします。OFFとした場合、初めのコンフィグレーションが完了した時点で、該当ピンは、I/Oピンとして機能し始めます。(したがって、コンフィグレーションには、使用できなくなります。)

### CONFIG\_MODE

コンフィグレーションが行われるときXPデバイスは、CFG[1:0]ピンの極性をみてどのモードでコンフィグレーションを実行するかを判断しますが、ソフトウェア側でコンフィグレーションデータを作成する際にもsysCONFIGのどのポートを使用するかを知るために、コンフィグレーションモードを知る必要があります。ここでは、CFG[1:0]にて指定するコンフィグレーションモードを指定する必要があります。SDMモードの場合には、デフォルトNONE(または、JTAG)設定か、sysCONFIG経由でのスレーブパラレルFlashメモリ領域プログラミングを行う場合には、SLAVE\_PARALLELを指定します。

### DONE\_OD

この設定により、DONEピンをオープンドレインとして設定するかどうかを決定します。複数FPGAのDONEピンが接続されている場合には、最後のデバイスのコンフィグレーションが完了した時点で、全デバイスが同時にウェイクアップシーケンスに入ります。これを可能にするためには、DONE\_OD=ONとして、DONEピンをオープンドレイン設定として使用します。DONE\_OD=OFFとし場合、コンフィグレーションが完了し、DONEビットが設定された時点で、即座にウェイクアップシーケンスに入ります。

### DONE\_EX

XPデバイスは、内部DONEビットが設定された場合か、または、外部よりDONEピンがHighにドライブされたときにウェイクアップを開始します。DONE\_EXをONにした場合、外部よりDONEピンがHighにドライブされたときにウェイクアップを開始します。DONE\_EXをOFFにした場合、内部DONEビットが設定された時点でウェイクアップを開始し、DONEピンの極性は無視します。デフォルトでは、DONE\_EX=OFFとなります。DONE\_EX=ONに設定された場合、DONE\_ODは自動的にONに設定され、DONEピンはオープンドレイン設定として機能します。

### MCCLK\_FREQ

コンフィグレーション・モードがマスターの場合のクロック周波数を設定します。コンフィグレーションの始めでは、デバイスは2.5MHzのデフォルト・マスタ・クロック周波数で動作します。コンフィグレーションの最初に設定されるコンフィグレーション・ビットの1つがマスタ・クロック周波数設定であり、これが設定された時点でクロックは指定された周波数で動作し始めます。

### CONFIG\_SECURE

デバイス用のセキュリティが選択されると、sysCONFIGポートやispJTAGポートを通してのコンフィグレーションデータのリードバック動作は実行できません。ただし、ispJTAGのデバイスID領域はアクセス可能なので、ispJTAGにてデバイスを認識することは可能です。

### WAKE\_UP

ウェイクアップシーケンスは、内部の3つの信号とDONEピンの振る舞いを制御します。DONE\_EX=OFFの場合には、WAKE\_UPにてシーケンス番号1から25まで全てを指定可能です。DONE\_EX=ONの場合には、指定できる設定は、シーケンス番号1から7までとなります。このときには、はじめに外部からDONEピンがHighにドライブされてからウェイクアップシーケンスが実行されます。

### INBUF

使用していないインプットバッファをDisableにし、省電力を計ります。ただし、バウンダリスキャンテストを可能にする場合は、全てのI/Oを活性化させる必要があるのでONにします。

### Chain Mode

CONFIG\_MODEは、CFG[1:0]で設定したコンフィグレーションモードに対して、オーバフロー時の設定をするためのオプションです。1つのFPGAデバイスをコンフィグレーションする場合、Disable (Default)のままでも問題ありません。複数のFPGAデバイスをチェーン構成にてコンフィグレーションする場合には、FlowthroughまたはBypass設定にします。

Bypass設定をした場合、自分自身のコンフィグレーションが完了した次のデータからDOUT出力にバイパスされます。これにより、次段のデバイスへのデータの受け渡しを行います。したがって、次段デバイスのモードは、スレーブ・シリアルとなります。

Flowthrough設定がされると、コンフィグレーションの完了時に、CSOUT信号が次段のデバイスのチップ・セレクトをドライブします。したがって、次段デバイスのモードは、スレーブ・パラレルとなります。

以上で XP基板設計時資料 は終了です。

より詳細なお問合せ、ご質問等に関しましては、技術サポート貴社担当FAE  
または下記技術サポート窓口までお気軽にお問い合わせ下さい。

株式会社 マクニカ テクスターカンパニー ラティス製品 技術サポート窓口  
 電話 045-470-9841/FAX 045-470-9842  
 Email [lattice@macnica.co.jp](mailto:lattice@macnica.co.jp)  
 URL <http://www.tecstar.macnica.co.jp/contact/index.html>



