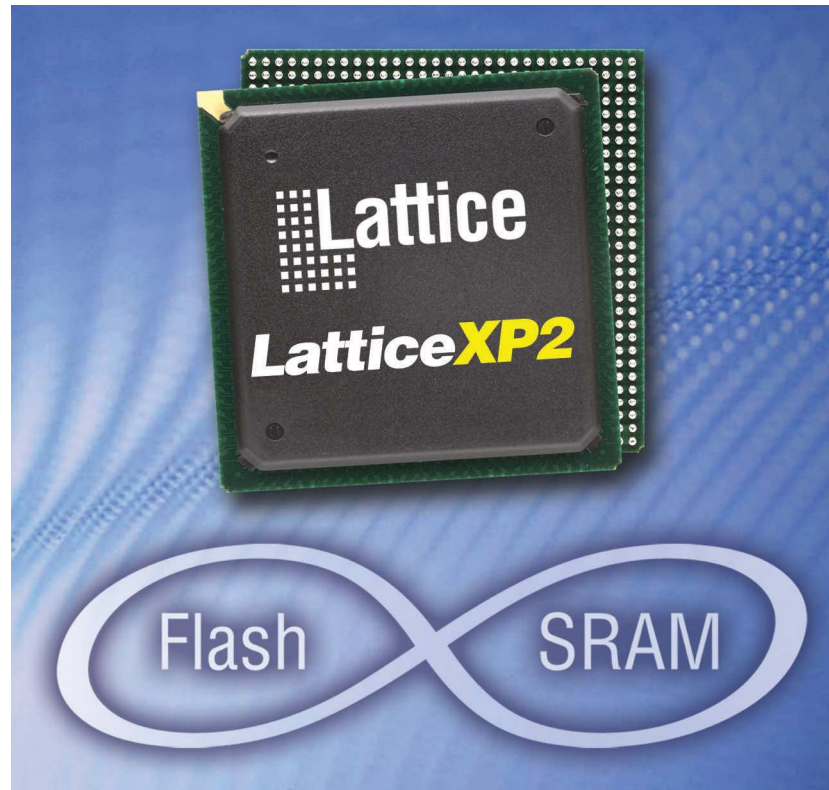


Lattice-XP2基板設計時資料



- 本資料は、Lattice社XP2の基板設計時の注意事項、使用時の注意事項をまとめたものです。実際の動作等詳細、最終の確認は、別途データシート、テクニカルノートを参照頂けるようお願い申し上げます。
- Lattice社データシートと本資料との間に差異があった場合には、Lattice社データシートを正としお取り扱い下さい。



	ページ
<u>1. 電源ピンの処理</u>	
1-1. 電源ピン	5-6
1-2. 注意事項	7-8
<u>2.I/O ピンの処理</u>	
2-1.I/O バンク	10
2-2. クロック専用ピン、PLL専用ピン	11
2-3. 出力I/F	12
2-4. 入力I/F	13
2-5. ドライブ能力	14
2-6.LVDS	15-17
2-7. その他の差動I/F	18-19
2-8.Gear-Box	20
2-9. 注意事項	21-22
<u>3.CONFIG ピンの処理</u>	
3-1.Config モード	23
3-2.Config 端子	24-27
3-3.EmbeddedBoot モードの構成例	28
3-3.SPI モード	29
3-4.Wake-Up	30
3-5. 注意事項	31
3-6.Dual-Boot	32-33
3-7.JTAG 回路のチェーン構成	34
<u>4. まとめ</u>	
4-1.Check-List	35
4-2. バージョン管理	36

XP2の電源ピンについて

1-1. 電源ピン説明

ピン名	電圧(V)	備考	□・・・IOバンク番号
Vcc (専用ピン)	1.2	コア用電源ピン。	
GND (専用ピン)	-	グラウンドピン。	
VCCAUX (専用ピン)	3.3	3.3V補助電源。コンフィグレーション回路や、参照電圧を用いる差動入力バッファを動作させるために必要です。	
VccIO□ (専用ピン)	1.2/1.5/1.8/2.5/3.3	各バンク毎のI/O電源。使用するインターフェースによって、バンク毎に入力する電源を決定します。 <ul style="list-style-type: none"> ・VccIOに1.2Vを印加する場合→Vccと同じ電源から供給するようにして下さい。 ・VccIOに3.3Vを印加する場合→Vccauxと同じ電源から供給するようにして下さい。 (データシートP.3-1 Recommend Operating Condition 注釈2参照。)	
VCCREF1□、 VCCREF2□ (I/Oと兼用ピン)	-	リファレンス電圧が必要なインターフェース(HSTL等)を使用する際に入力します。各バンクで2種類のVREF(VREF1/VREF2)を設定できます。使用しないときはI/Oとして使用可能です。 ※DDRメモリ/Fを使用する場合はVREF1を使用して下さい。	
VccJ (専用ピン)	1.2/1.5/1.8/2.5/3.3	JTAG用電源。LVCMOS JTAGピンの特性を決定します。(VccIOからは独立していません。) <ul style="list-style-type: none"> ・VccJに1.2Vを印加する場合→Vccと同じ電源から供給するようにして下さい。 ・VccJに3.3Vを印加する場合→Vccauxと同じ電源から供給するようにして下さい。 (データシートP.3-1 Recommend Operating Condition 注釈2参照。)	

□・・・IOバンク番号

ピン名	電圧(V)	備考
Vccpll	3.3	<p>PLL用電源。(QFPパッケージのみ。)</p> <p>PLL未使用時も電圧を印加することを推奨。</p> <p>PLL使用時はノイズ耐性向上の為、VccpllはVCCと分離させることを推奨。</p>

■電源シーケンス制御は必要ありません。

しかし、データシートでは以下①か②を推奨しています。(データシート P.2-35 “TypicalI/OBehaviorDuringPower-up ”参照。)

- ①全て同時
- ②Vccio → Vccaux /Vcc

■電源のランプレートは特に条件ありませんが、目安として下記の条件を守れば、結構です。

$100\mu\text{s} \ll 100\text{ms}$

■電源が下記の条件になった場合に内部SRAMの回路情報がなくなります。正常動作には再コンフィグレーションが必要です。

・VCC0.7V 以下 または VCCAUX2.0V 以下.

尚、電源の立ち上がり方や、GND/ 電源に対するノイズの状態によってこれらの値は変化します。

あくまで目安値とお考え下さい。

Vccpll はノイズ影響を受けやすいピンです。そのため周辺I/Oのピンアサインに注意が必要です。
ジッタ特性がよくなるように、特にBGAの場合はVccpllピンの周辺に同時スイッチング出力ピンをアサインしないことを推奨します。(右図参照)

Vccpll ピン処理について
他の電源とインダクタを使用して分離する事を推奨します。

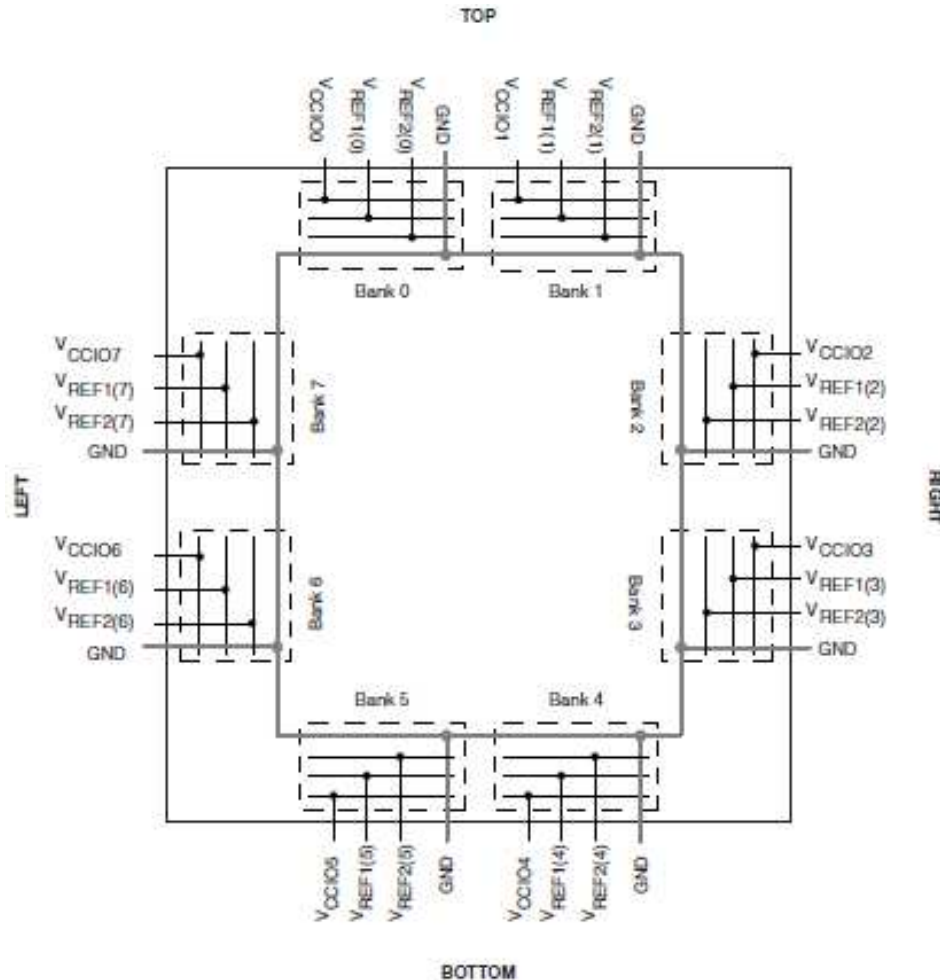
- パッケージサイズ 0805パッケージ (2 × 1.25)
- 定格電流 1A
- インダクタンス 0.1uH以上

BGAはVccpllピンが無いいため非該当です。

"Quiet" Pin Assignment Consideration for BGA Package

5x5	5x5	5x5	5x5	5x5
5x5	3x3	3x3	3x3	5x5
5x5	3x3	Sensitive Pin	3x3	5x5
5x5	3x3	3x3	3x3	5x5
5x5	5x5	5x5	5x5	5x5

XP2のI/O Bankの概念及び 汎用I/Oについて



- LatticeXP2デバイスには、左図のように各辺に2バンクあり、合計8つのIOバンクがあります。各バンクは、1つのVCCIO、2つの参照電圧(VREF1、およびVREF2)を持っています。
- 上下のバンク(バンク0,1,4,5)のみクランプダイオード付PCI入力をサポートします。
- 左右のバンク(2,3,6,7)の50%のみ真のLVDS出力ができます。但しそれ以外のバンクにおいても外部コンポーネントにより、LVDS、LVPECL等のエミュレーションは可能です。
- LVDS入力に関しては全てのバンクで対応可能です。

次ページに各バンクと対応可能なI/OのI/Fを記します。

ピン名	説明
[LOC]_GPLL[T, C]_IN_A	GPLLへのクロック入力ピン。PLL未使用時は通常I/Oとして使用可能。
[LOC]_GPLL[T, C]_FB_A	GPLLへのフィードバック入力ピン。PLL未使用時は通常I/Oとして使用可能
PCLK[T,C]_[n:0]	Globalクロック入力ピン。クロックピンとして使用しない場合、通常I/Oとして使用可能

※上記のピンは未使用時はOPENで構いません

[LOC]	..PLLのロケーション(ULM、LLM、URM、LRM)
[T/C]	..T(True)、C(Complement) 差動のP/N
[A/B]	..I/Oセル(PIC)のうちどちらのI/O(PIO)を使っているか

2-3 対応可能なI/OのI/F一覧

記述	バンク0-1	バンク2-3	バンク4-5	バンク6-7
出力バッファ・タイプ	シングルエンド	シングルエンドと差動	シングルエンド	シングルエンドと差動
出力I/F	LVTTTL LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 SSTL18クラス I, II SSTL2クラス I, II SSTL3クラス I, II HSTL15クラス I HSTL18クラス I, II SSTL18Dクラス I, II SSTL25Dクラス I, II SSTL33Dクラス I, II HSTL15Dクラス I,II HSTL18Dクラス I, II MLVDS LVDS25E ※1 LVPECL ※1 BLVDS ※1 MLVDS ※1 RSDS ※1	LVTTTL LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 SSTL18クラス I, II SSTL2クラス I, II SSTL3クラス I, II HSTL15クラス I HSTL18クラス I, II SSTL18Dクラス I, II SSTL25Dクラス I, II SSTL33Dクラス I, II HSTL15Dクラス I,II HSTL18Dクラス I, II LVDS MLVDS LVDS25E ※1 LVPECL ※1 BLVDS ※1 MLVDS ※1 RSDS ※1	LVTTTL LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 SSTL18クラス I SSTL2クラス I, II SSTL3クラス I, II HSTL15クラス I HSTL18クラス I, II SSTL18Dクラス I, II SSTL25Dクラス I, II SSTL33Dクラス I, II HSTL15Dクラス I HSTL18Dクラス I, II MLVDS LVDS25E ※1 LVPECL ※1 BLVDS ※1 MLVDS ※1 RSDS ※1	LVTTTL LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 SSTL18クラス I SSTL2クラス I, II SSTL3クラス I, II HSTL15クラス I,III HSTL18クラス I, II,III SSTL18Dクラス I SSTL25Dクラス I, II SSTL33Dクラス I, II HSTL15Dクラス I HSTL18Dクラス I, II LVDS MLVDS LVDS25E ※1 LVPECL ※1 BLVDS ※1 MLVDS ※1 RSDS ※1
入力バッファ・タイプ	全シングルエンドと差動	全シングルエンドと差動	全シングルエンドと差動	全シングルエンドと差動
クロック入力	全シングルエンドと差動	全シングルエンドと差動	全シングルエンドと差動	全シングルエンドと差動
PCIサポート	PCI33クランプあり	PCI33クランプなし	PCI33クランプあり	PCI33クランプなし
真のLVDS出力バッファ		LVDS (3.5mA) バッファ※2		LVDS (3.5mA) バッファ※2

- これらの差動I/Fは、外付け抵抗パックと共にコンプリメンタリLVCMOSドライバーを用いることによって、実装されます。
- バンク中のI/Oの50%で使用できます。

2-4 サポートする標準入力I/Fについて

Input Standard	V _{REF} (Nom.)	V _{CCIO} ¹ (Nom.)
Single Ended Interfaces		
LVTTTL	—	—
LVC MOS33	—	—
LVC MOS25	—	—
LVC MOS18	—	1.8
LVC MOS15	—	1.5
LVC MOS12	—	—
PCI 33	—	3.3
HSTL18 Class I, II	0.9	—
HSTL15 Class I	0.75	—
SSTL3 Class I, II	1.5	—
SSTL2 Class I, II	1.25	—
SSTL18 Class I, II	0.9	—
Differential Interfaces		
Differential SSTL18 Class I, II	—	—
Differential SSTL2 Class I, II	—	—
Differential SSTL3 Class I, II	—	—
Differential HSTL15 Class I	—	—
Differential HSTL18 Class I, II	—	—
LVDS, MLVDS, LVPECL, BLVDS, RSDS	—	—

¹ When not specified, V_{CCIO} can be set anywhere in the valid operating range (page 3-1).

- XP2デバイスの入力バッファは、Mixed Voltage対応となっております。
LVC MO18, LVC MOS15, PCI33, HSTLxx, SSTLxx **以外**に関してはV_{CCIO}, V_{REF}に依存せず、入力I/Fをとることが可能です。
- 但し、開発ツールにおいて入力するI/Fを選択する必要はございます。詳しくはDesignPlannerマニュアルをご参照いただくか、弊社技術担当までご連絡ください。
- 5Vトレラント入力はサポートしておりません。
- 差動I/Fにつきましては本資料のxxxxをご覧ください。

V _{CCIO}	Input sysIO Standards					Output sysIO Standards				
	1.2V	1.5V	1.8V	2.5V	3.3V	1.2V	1.5V	1.8V	2.5V	3.3V
1.2V	Yes			Yes	Yes	Yes				
1.5V	Yes	Yes		Yes	Yes		Yes			
1.8V	Yes		Yes	Yes	Yes			Yes		
2.5V	Yes			Yes	Yes				Yes	
3.3V	Yes			Yes	Yes					Yes

Input/Output Standard	V _{IL}		V _{IH}		V _{OL} Max. (V)	V _{OH} Min. (V)	I _{OL} ¹ (mA)	I _{OH} ¹ (mA)
	Min. (V)	Max. (V)	Min. (V)	Max. (V)				
LVCMOS 3.3	-0.3	0.8	2.0	3.6	0.4	V _{CCIO} - 0.4	20, 16, 12, 8, 4	-20, -16, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVTTTL	-0.3	0.8	2.0	3.6	0.4	V _{CCIO} - 0.4	20, 16, 12, 8, 4	-20, -16, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVCMOS 2.5	-0.3	0.7	1.7	3.6	0.4	V _{CCIO} - 0.4	20, 16, 12, 8, 4	-20, -16, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1

* XP2DataSheet (sysIO Single-EndedDCElectricalCharacteristics)より抜粋

- 上記の表のように、XP2のドライブ電流値は可変させることが可能です。設定したI/Fによって、設定できる値は異なりますので、データシートで御確認ください。
- XP2のI/Oバッファのドライブ可能電流は以下のような制約があります。

「The average DC current drawn by I/Os between GND connections, or between the last GND in an I/O bank and the end of an I/O bank, as shown in the logic signal connection tables shall not exceed $n \times 8\text{mA}$, where n is the number of I/Os between bank GND connections or between the last GND in a bank and the end of a bank. 」

BankのGND間にあるI/O、もしくはI/O Bank内にある最後のGNDからI/O Bankの端までにあるI/Oの本数において、(その本数) × 8mAのドライブ電流を超えてはいけません。

LFE2-6E			
Ball Number	Ball Function	Bank	Dir. Func.
L1	PL27A	6	
L5	PL26B	6	
M1	PL27B	6	
GND	GNDIO	6	
N1	PL29A	6	
N2	PL28A	6	LDQS
P1	PL29B	6	
P2	PL28B	6	
R1	PL30A	6	
GND	GNDIO	6	
R2	PL30B	6	
N4	TDI	-	
M4	TCK	-	
P3	TDO	-	
N3	TMS	-	
K7	VCCJ	-	
M5	FB2A	5	VREF
K6	NC	-	
M6	FB2B	5	VREF
R3	NC	-	
P4	NC	-	

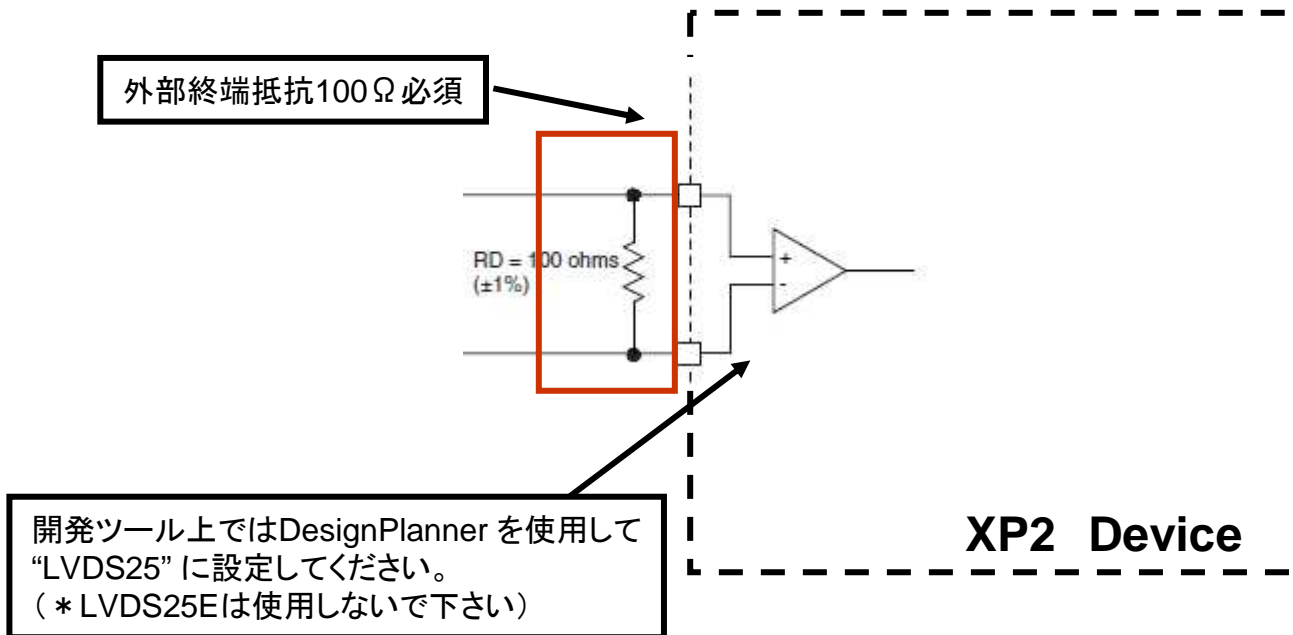
* XP2DataSheet (LFE2-6E and LFE2-12E Logic Signal Connections: 256 fpBGA (Cont.))より抜粋

- 例えば、LFE2-6E 256fpBGAのピンリストを見ますと左のようになっております。赤枠を注目してください。ここでI/Oバンクの端からGNDまでのI/Oの本数を数えますと3本となっております。よって、8mA × 3本 = 24mAとなり、この3本のI/Oは合計で最大24mAまでドライブすることができます。例えば、この場合、BallNo.L1のI/Oが20mAドライブする場合には、残り2本は4mAまでしかドライブできません。
- 次に青枠をご覧ください。ここではGND、GND間のI/Oの本数を数えますと5本となっております。よって、8mA × 5本 = 40mAとなり、5本のI/Oは合計で最大40mAまでドライブすることができます。

■ 差動LVDS入力について

- Top, Bottom, Right, Left 全てのバンクで差動LVDS入力として使用できます。
- 但し、使用するI/Oは必ず差動ペアにしてください。差動ペアとは右のピンリストのPL2A, PL2Bになります。T側がTrue, C側がComplementaryになります。
- 差動LVDS入力で使用する場合、外部に終端抵抗100Ωが必ず必要になります。
- 差動LVDS入力として扱った場合、内部Pull-upが有効となりません。その為、転送用ケーブルが外れるようなアプリケーションの場合には、Floating防止の為、外部で処理が必要になります。処理については弊社FAEまでお問い合わせ下さい。

LFE2-6E				
Ball Number	Ball Function	Bank	Dual Function	Differential
C3	PL2A	7	VREF2_7	T*
C2	PL2B	7	VREF1_7	C*
D3	PL5A	7		T
D4	PL4A	7		T*
D2	PL5B	7		C
GND	GNDIO	7		
E4	PL4B	7		C*



■ 差動LVDS出力について

差動LVDS出力は真のLVDSと擬似LVDSの2つが存在します。

● 真のLVDS出力

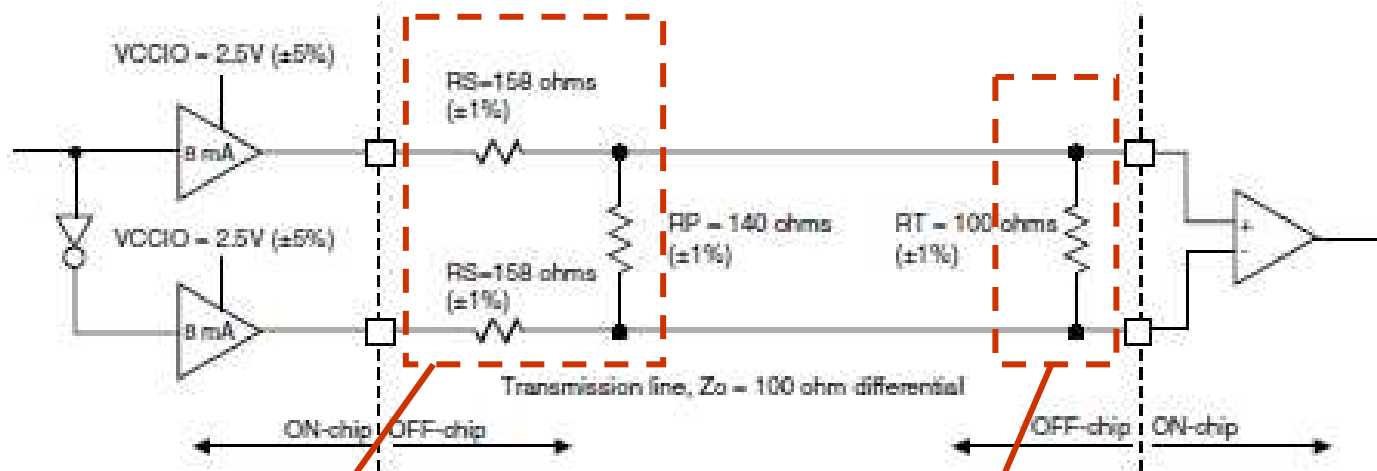
- LEFT,Rightバンクの50%のみ対応しております。ピンリストで確認した場合 Differentialの項目に*印がついてる個所が真のLVDS対応I/Oです。
- 使用するI/Oは、差動入力と同じく差動ペアにしてください。
- 真のLVDSで使用する場合、VCCIOには2.5Vを印加する必要があります。必然的に、LVDSを使用するこのバンクは2.5Vインターフェイスでしか使用できませんのでご注意ください。
- 開発ツール上では、DesignPlannerを使用してI/O Typeを“LVDS25”に設定してください。
- 外付け抵抗は必要ありません。

LFE2-6E				
Ball Number	Ball Function	Bank	Dual Function	Differential
C3	PL2A	7	VREF2_7	T*
C2	PL2B	7	VREF1_7	C*
D3	PL5A	7		T
D4	PL4A	7		T*
D2	PL5B	7		C
GND	GNDIO	7		
E4	PL4B	7		C*

● 擬似LVDS出力 (Emulated LVDS)

- Top,Bottom,Left,Right全てのバンクで擬似LVDS出力として使用できます。
- 使用するI/Oは、差動入力と同じく差動ペアにしてください。(真のLVDSと違い *印がついていなくとも問題ございません)
- 擬似LVDSで使用する場合、VCCIOには2.5Vを印加する必要があります。必然的に、LVDSを使用するこのバンクは2.5Vインターフェイスでしか使用できませんのでご注意ください。
- 開発ツール上では、DesignPlannerを使用してI/O Typeを“LVDS25E”に設定してください。ドライブ電流は8mAにしてください。
- 外付け抵抗が必要になります。詳細は次ページをご覧ください。

■ 差動LVDSブロック図

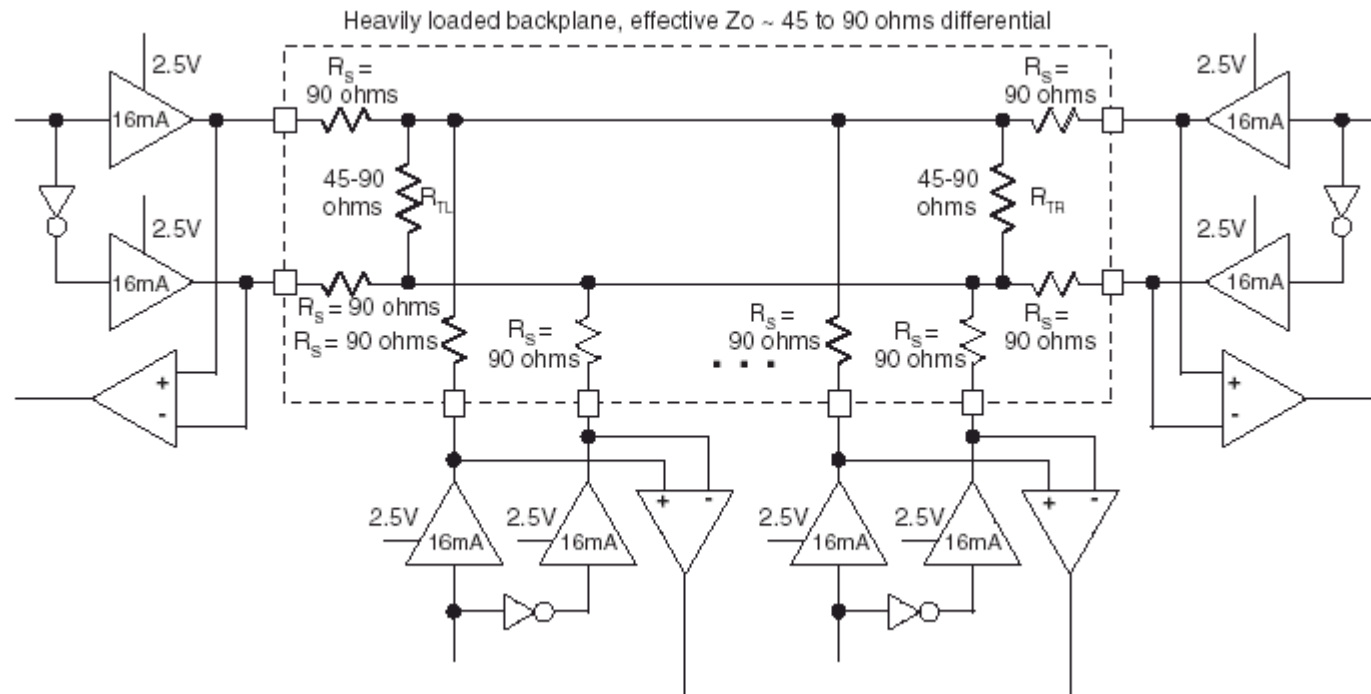


この外付け抵抗は擬似LVDSのときのみ必要となります。真のLVDSの時には必要ありません。

この終端抵抗は真のLVDSでも、擬似LVDSでも必要になります。

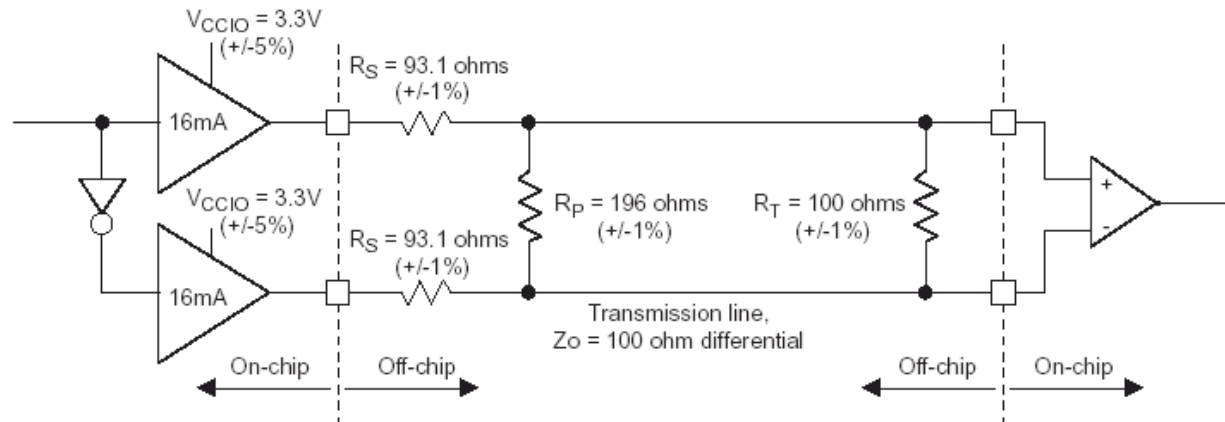
■ 差動BLVDSブロック図

* 詳細はデータシートをご覧ください。



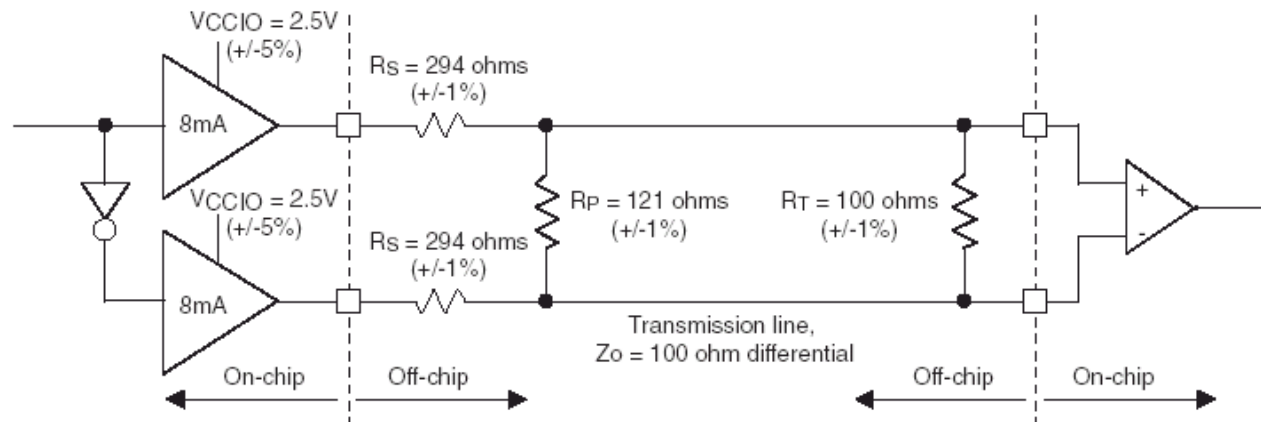
■ 差動LVPECLブロック図

* 詳細はデータシートをご覧ください。

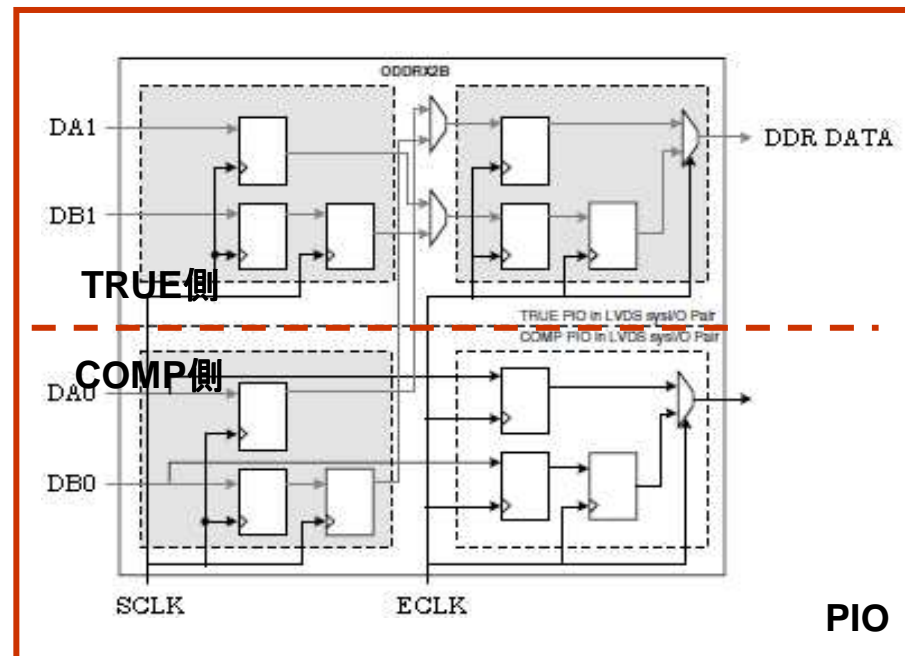


■ 差動RSDSブロック図

* 詳細はデータシートをご覧ください。

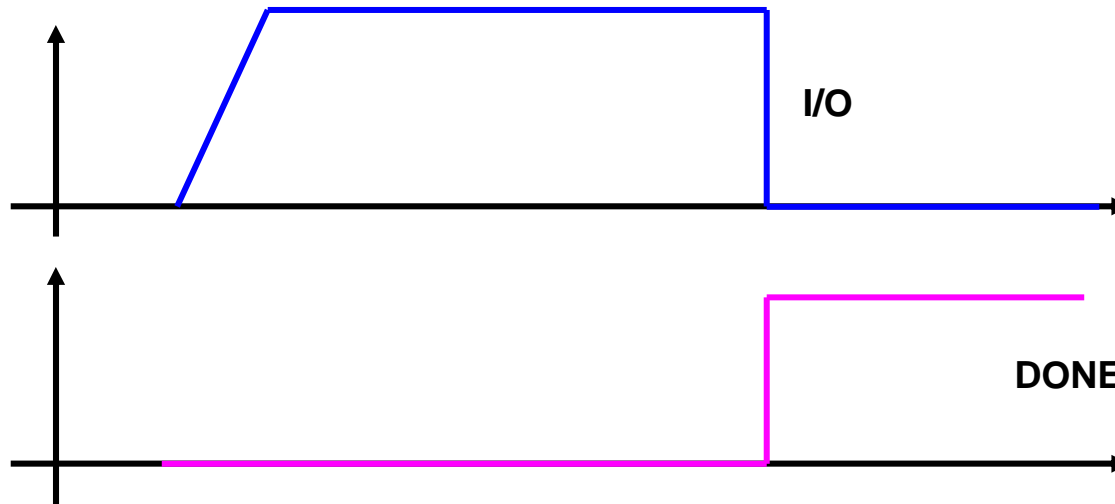


- XP2デバイスはGearingBoxが内蔵されており、この機能を使用することで外部からの高速シリアル信号をパラレル信号に変換することができます。



〔注意点〕

GearingBoxを使用した場合、出力信号はPIOのTRUE側になります。この場合、COMP側は使用できなくなりますのでご注意ください。



上の図はXP2デバイスにおける電源ON時のI/Oピンの挙動を示しております。
注意すべき点は・・・

電源ON時(まだコンフィグレーションされていない状態)には、I/Oピンは必ず内部プルアップでハイインピーダンスの状態になります。
よってコンフィグレーションが完了するまでの間は(DONEがHigh)、上記のように電源の立ち上がりにつられて内部プルアップ抵抗の影響で、High信号が観測されます。
よって、もし、Low極性を期待しており、このHigh信号を無くしたい場合は、少なめの抵抗(1k Ω 等)で外部プルダウン処理を施すようにして下さい。

電源ON時、Low極性したいI/Oピンに関して、内部Pull-Down設定や、I/Oピンに繋がるFFの極性をReset(PowerOnReset)時、Lowにしておいても上記の事が影響して必ずHighが出力されますのでご注意ください。

【重要】

一般的にCPLD、FPGAにおいて同時スイッチングの出力ピンを一箇所にかためてピンアサインをすると、出力ピンが同時スイッチングする事による瞬時電流の変動でグラウンド・バウンスが発生し、周辺のI/Oに瞬間的なノイズ影響(以下SSOノイズ)を与える恐れがあります。

SSOノイズが発生しない設計を行うためにLatticeはSSOAnalyzer というSSOノイズ発生の可能性を検証するツールをispLEVERにバンドルしておりますので、設計時には必ずSSOノイズの発生有無を確認する事を推奨いたします。

また、SSOノイズ対策として以下の項目をご検討下さい。

■SSOノイズを考慮した設計方法

- ・出力ピンを同一I/Oバンク、一箇所にかためない。
- ・出力ピンのSlewRate をSlowに設定する。(ispLEVERにて設定可能)
- ・出力ピンのドライブ電流を必要最低限に設定する。(ispLEVERにて設定可能)
- ・出力先の負荷を小さくする。
- ・SSOAnalyzer によるSSOノイズ発生有無の確認。

XP2のコンフィギュレーションについて

XP2のコンフィグレーションモードは3種類あります。コンフィグレーションモードの切り替えはCFG[1:0]ピンの組み合わせによって決まりますので、使用用途に合ったCFG[1:0]ピンの処理が必要です。

■SPIFlashBoot モード

外部のSPIフラッシュメモリからコンフィグレーションを行います。

■EmbeddedFlashBoot モード

XP2内蔵のフラッシュメモリからコンフィグレーションを行います。

■SelfDownloadMode (SDM)

XP2内蔵のフラッシュメモリからコンフィグレーションを行います。EmbeddedFlashBoot モードとの違いとしてDual-Boot、FlashDirect のオプション機能が使用出来ず、PROGRAMN、INITN、DONEピンの機能も使用する事が出来ません。ただし、SDMの場合、sysConfigピンをコンフィグレーション終了後にユーザーI/Oとして使用する事が可能です。(詳細は3-2Dual- PurposeI/O についてを参照下さい。)

Configuration Mode	CFG[1]	CFG[0]
SPI Flash Boot	0	0
Embedded Flash Boot	1	0
Self Download Mode (SDM)	X	1

各コンフィグピンが使用されるコンフィグモード、I/Oタイプ、内部Pull設定は以下となります。

Pin Name	I/O type	internal circuits	Pin Type	Mode Used
CFG0	Input	weak pull-up	Dedicated	All
CFG1	Input	weak pull-up	Dual-Purpose	All except SDM
PROGRAMN	Input	weak pull-up	Dual-Purpose	All except SDM
INITN	Bidir	Open-Drain with weak pull-up	Dual-Purpose	All except SDM
DONE	Bidir	Open-Drain with weak pull-up or Active Drive	Dual-Purpose	All except SDM
CCLK	Input / Output		Dual-Purpose	All except SDM
SISPI	Input / Output		Dual-Purpose	SPI
SOSPI	Input / Output		Dual-Purpose	SPI
CSSPIN	Output	Tri-state, weak pull-up	Dual-Purpose	SPI (master)
CSSPISN	Input	weak pull-up	Dual-Purpose	SPI (slave)
TDI	Input	weak pull-up	Dedicated	JTAG
TDO	Output	(without pull-up)	Dedicated	JTAG
TCK	Input	with Hysteresis (without pull-up)	Dedicated	JTAG
TMS	Input	weak pull-up	Dedicated	JTAG
TOE	Input	weak pull-up, Tri-state all I/Os when drive low	Dedicated	JTAG (option)

注1: “Dual-Purpose”の使用について、次のページを参照ください。

注2: “WeakPull-up”の抵抗値はカレント・ソースで計算できます。

カレント・ソースは30uA-150uAです。

3.3VをI/O電源として供給する場合、約 100K- 20K Ωの抵抗を内部でPull-upされます。

sysConfigピンのうちConfiguration後にUserI/Oとして使用できるピンをDualPurposeピンと呼んでいます。以下の処理を行うことによりUserI/Oとして使用する事が可能です。

Dual Purpose pin	User I/Oとして使用するために必要な処理
CFG1	<p>CFG0=1 (Self Download Mode)に設定してください。 これによりConfiguration終了後UserI/Oとして使用できます。 Powerup中およびConfiguration中はHiZとなり内部Pullupされます。</p> <p>CFG0=0に設定するとこれらのピンはコンフィグ専用ピンとして動作します。 User I/Oとしては使用できません。</p>
PROGRAMN	
INITN	
DONE	
CSSPIN	<p>・Power up中およびConfiguration中はCSSPISNを常にHighにしてください。 (4.7kΩの抵抗を使用し、Vccio7でPullupすることを推奨します。 また外部よりLowを入力しないようにしてください。)</p> <p>・SpreadSheetViewのGlobal設定タブの以下の内容を“DISABLE”に設定してください。 SLAVE_SPI_PORT = DISABLE MASTER_SPI_PORT = DISABLE</p> <p>これによりCCLK、SISPI、SOSPIはConfiguration完了後UserI/Oとして使用できます。 Power up中およびConfiguration中はHiZとなり内部Pull upされます。</p>
CCLK	
SISPI	
SOSPI	
CSSPISN	

DualPurposeピンをUserI/Oとして使用する場合は次ページの内容にご注意ください。

CFG[0]	CFG[1]	PROGRAMN	INITN	DONE	CSSPIN
0	config 用	config 用	config 用	config 用	config 用
1	user I/O	user I/O	user I/O	user I/O	user I/O

Configと兼用しているI/Oは なるべく使用しない事を推奨します。
 I/O数が足りなくて、どうしても上記のDual-FunctionピンをユーザーI/Oとして使用される場合、下記の注意事項を必ず守る必要があります。

注1: ユーザーI/Oとして使用される場合、

- A) Config用途のときのI/O方向と同じにする必要があります。
 (ただしCCLK,SISPI,SOSPI はどの方向でも問題ありません)
- B) Config用途のときのI/Oタイプと同じにする必要があります。
- C) デバイスConfig中、内部、外部ロジックはConfigに影響しないように設計してください。
 * Configが終了するまでHi-Zにする必要があります。(High/Low固定も不可)

注2: Config後、兼用ピンはユーザーI/Oとして使用されない場合、

Hi-Zの内部Pull-upになります。

説明: 注意すべきは Configと兼用しているDual-Functionピンです。

他のDual-Functionピン (PCLK、GPLL、VREF、DQS)は 上記の注意事項に該当しません。

コンフィグレーションに使用するピンは以下の表の外部処理を行う必要があります。

端子名	ファンクション	バンク	内部回路	外部処理
TDI	専用	-	pull-up to Vcc_j	
TDO	専用	-		
TCK	専用	-		2.2K Ω 、Pull-down to GND
TMS	専用	-	pull-up to Vcc_j	4.7K-10K Ω 、Pull-up to 3.3V
TOE	専用	-	pull-up to Vcc_core	4.7K-10K Ω 、Pull-up to 3.3V
CFG0	専用	-	pull-up to Vcc_core	2.2K Ω 、Pull-down to GND (*)
CFG1	I/Oと兼用	7	pull-up to Vcc_io7	4.7K-10K Ω 、Pull-up to 3.3V
PROGRAMN	I/Oと兼用	7	pull-up to Vcc_io7	4.7K-10K Ω 、Pull-up to 3.3V
INITN	I/Oと兼用	7	pull-up to Vcc_io7	4.7K-10K Ω 、Pull-up to 3.3V
DONE	I/Oと兼用	7	pull-up to Vcc_io7	4.7K-10K Ω 、Pull-up to 3.3V

注1: 上記の処理は

EmbeddedFlashBoot モードの場合の端子処理です。(必須)

SelfDownloadMode(SDM) モードの場合、4本の処理が必須です。

TCK(外部Pull-down)とTMS、TOE、CFG0(外部Pull-up)です。(*)

注2: 上記以外のConfig端子は未処理(オープン)で問題ありません。

注3: CFG0、TOE は外部Pull-Upされる場合、3.3VまでPull-Upする事を推奨します。
内部のPull-UpのVcc_coreとは関係しません。

SPIモードでは外部のSPIフラッシュメモリからのコンフィグレーションを行います。

SPIモードにはSlave、Masterの2種類があり、SPIフラッシュに対して2つのFPGAを構成する場合、SPIフラッシュから数えて1番目がMasterSPIモード、2番目がSlaveSPIモードに設定する必要があります。

Slave、Masterの切り替え方法は以下となります。

Slave / Master SPIの設定				
	CSSPIN	CSSPISN	CFG0	comment
Slave	X	0	0	SlaveはMasterより優先
Master	0	1	0	

SPIモードの I/O方向		
	Slave	Master
SISPI	In	Out
SOSPI	Out	In

注: SPIモードを使用される場合、“CSSPISN”、“SISPI”、“SOSPI” 3本端子はツールispLEVER上の設定“SLAVE_SPI_PORT”は ON にしないとけません。

3-5WakeUpSequence

XP2がコンフィグレーションからウェイクアップする際のシーケンスをユーザーが設定する事が可能です。(ispLEVERにて設定可能) デフォルトのシーケンスは21に設定されています。

Phaseの推移はBCLK(コンフィグレーションに使用するCCLK)の立ち上がりでT0→T1→T2と推移します。

Sequence	Phase T0	Phase T1	Phase T2	Phase T3
1	DONE	GOE, GWDIS, GSR		
2	DONE		GOE, GWDIS, GSR	
3	DONE			GOE, GWDIS, GSR
4	DONE	GOE	GWDIS, GSR	
5	DONE	GOE		GWDIS, GSR
6	DONE	GOE	GWDIS	GSR
7	DONE	GOE	GSR	GWDIS
8		DONE	GOE, GWDIS, GSR	
9		DONE		GOE, GWDIS, GSR
10		DONE	GWDIS, GSR	GOE
11		DONE	GOE	GWDIS, GSR
12			DONE	GOE, GWDIS, GSR
13		GOE, GWDIS, GSR	DONE	
14		GOE	DONE	GWDIS, GSR
15		GOE, GWDIS	DONE	GSR
16		GWDIS	DONE	GOE, GSR
17		GWDIS, GSR	DONE	GOE
18		GOE, GSR	DONE	GWDIS
19			GOE, GWDIS, GSR	DONE
20		GOE, GWDIS, GSR		DONE
21 (Default)		GOE	GWDIS, GSR	DONE
22		GOE, GWDIS	GSR	DONE
23		GWDIS	GOE, GSR	DONE
24		GWDIS, GSR	GOE	DONE
25		GOE, GSR	GWDIS	DONE

- SDMモード
 - SDMモードの際、“PROGRAMN”、“INITN”、“DONE”ピンはすべて無効です。

- JTAGモード
 - TCK端子は内部Pullが付いていないため、外部でPull-down処理が必要です。
 - JTAGモード使用しなくても、Vccj端子に常時に電源供給する必要があります。
 - JTAGモードで、SRAMをリードする際、EBRアクセスが不可となります。
 - JTAGモードはCFG[1,0]に依存しませんが、PROGRAMNピンがLowになると、JTAGは使用出来ません。

- SPIモード
 - SlaveSPIポート(Dual-Functionピン)を常に有効にするには、“SLAVE_SPI_PORT”の設定をENABLEにする必要があります。
SLAVE_SPI_PORTの設定はispLEVERより設定可能です。
 - SlaveSPIモードで、SRAMをリードする際、EBRアクセスが不可となります。

XP2はDualBoot 機能を使用し、異なる書き込みデータをコンフィグレーションする事が可能です。
DualBoot にはUser-Selectable-ConfigとField-Version-Upの2種類があります。

それぞれの使用用途は以下の通りです。

CFG1	CFG0	Configuration Mode	Primary Boot Source	Secondary Boot Source
0	0	Dual Boot	External SPI Flash	Internal Flash
1	0		Internal Flash	External SPI Flash
X	1	Self Download Mode (SDM)	Internal Flash	None

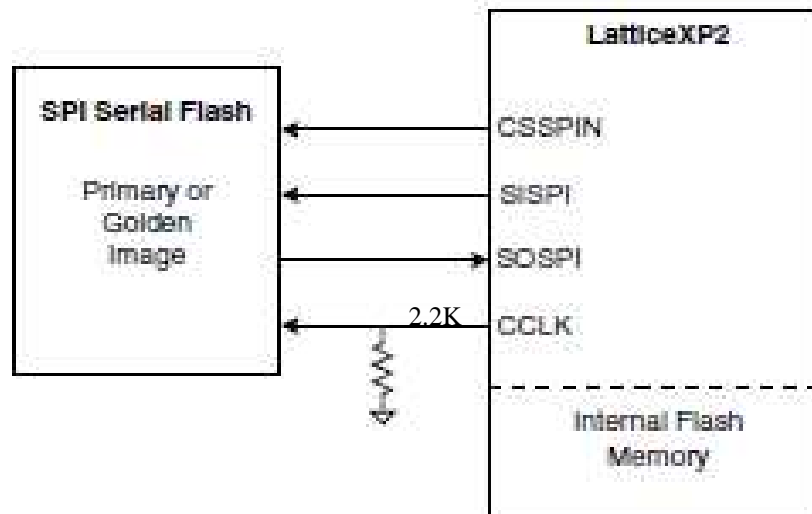
1) User-Selectable-Config:

CFG0=0固定、CFG1を外部制御によって、予め書き込んでいる二つデータ(内部Flash、外部Flash)をユーザー指定で切り替えが可能です。

2) Field-Version-Up:

フィールドでデータ更新ある場合、予期せずPower-Offの可能性あるので、更新されるデータ(Flash)をPrimaryに設定し、万が一失敗した場合、自動的にSecondaryに切り替え、Configを行います。

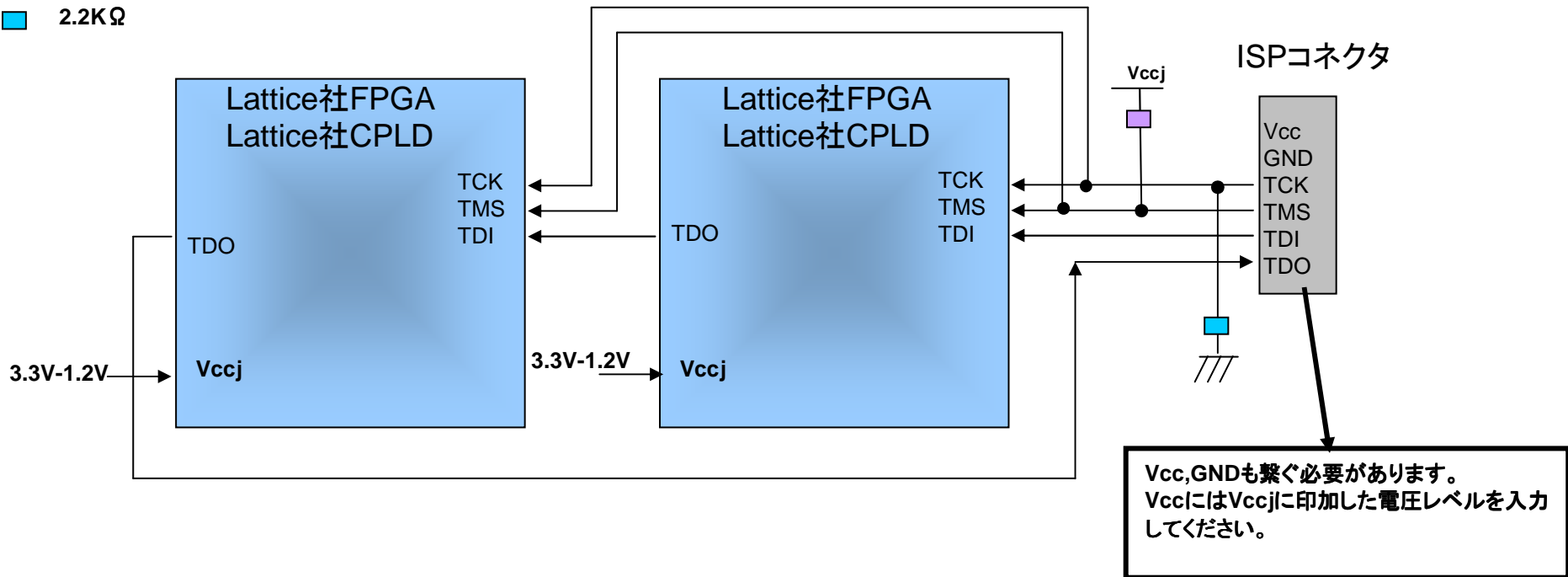
外付けSPIフラッシュメモリとの接続方法と各デバイスサイズに必要なメモリ容量は以下の通りです。



Maximum Configuration Bits

Density	Bitstream Size (Mb)	SPI Flash (Mb)
XP2-5	1.27	2
XP2-8	1.99	2
XP2-17	3.54	4
XP2-30	5.79	8
XP2-40	8.03	16

- 4.7K-10K Ω
- 2.2K Ω



- Vccjは、JTAGチェーンで統一してください。
- もし、チェーン上に3.3Vデバイスと1.2Vデバイスが混在している場合などは、3.3VデバイスのTDOと1.2VデバイスのTDIのI/F取るためにVccjを3.3Vにする必要があります。
- マルチデバイスのJTAGチェーンは、できればTCK、TMS(パラレルライン)にそれぞれBufferを付加すること。(ドライブ能力が足りない可能性あり。)
- トレースが長いJTAGチェーンは、できればTDI、TDO(シリアルライン)にそれぞれDamping抵抗を付加すること。(①デバッグの際、抵抗を外せば、JTAGチェーンを容易に分けられます。
②反射等によるノイズを抑えたい場合、抵抗値を変えればよいです。)
- その他、詳細につきましては、弊社作成のマニュアル「JTAG基板設計時資料」をご覧ください。

Checklist

	LatticeXP2 Hardware Checklist Item	OK	N/A
1	Power Supply		
1.1	Core Supply VCC @ 1.2V		
1.2	Auxiliary Supply V _{CCAUX} @ 3.3V		
1.3	PLL Supply V _{CCPLL} @ 3.3V		
1.4	JTAG Supply V _{CCJ} from 1.2V to 3.3V		
1.5	I/O Supply V _{CCIO0-7} from 1.2V to 3.3V		
1.6	Supply Sequencing considerations		
1.7	Supply Ramp considerations		
1.8	Power Estimation		
2	Configuration		
2.1	Consistency of V _{CCIO7} Supply if external SPI Flash is used		
2.2	Configuration control and status selections		
2.2.1	Pull-up or Pull-down on CFG0		
2.2.2	Pull-up or Pull-down on CFG1 ¹		
2.2.3	Pull-up on PROGRAMN ¹ , INITN ¹ , DONE ¹ , TOE		
2.2.4	Pull-down on TCK		
2.3	JTAG Supply and default logic levels		
3	I/O Pin Assignment		
3.1	I/O pin assignments around V _{CCPLL}		
3.2	DDR Memory pin assignment considerations		
3.3	True-LVDS pin assignment considerations		
3.4	HSTL and SSTL pin assignment considerations		
3.5	PCI clamp requirement considerations		

1. Only necessary when CFG0=0.

Revision:	Date:	Author:	Modify or Add:
1.0	2007/12/10	Tamura (Power) Onga (I/O) Cho (Config)	Initial
1.1	2007/12/28	Cho	Bank8 の削除、TOE 処理の追加、SDMモードの端子処理の追加
1.2	2008/01/18	Cho	電源Ramp-Rate規定の追加、BGAのVccpllピンのためI/Oアサイン考慮の追加、SDMモードとEmbedded Flash Bootモード比較の追加、設定“PERSISTENT”から“SLAVE_SPI_PORT”に変更の追加、CheckListの追加
1.3	2008/03/12	Cho	“CFG0”のPull-up/downの修正、QFPのVccpllピンのインダクタンスの推奨値の追加、Multi-DeviceのJTAG-Chainの注意点の追加
1.4	2008/04/07	Matsuo	sysConfigのDualPurposeピンの使用方法について追記
2.0	2009/05/01	Kitayama	SSO追記 TAGメモリ、Flash BAK、Securityは別マニュアル作成 コンフィグレーション関係全般記述を改版
2.1	2010/03/26	Kitayama	2-2 CLK、PLL入力ピンの説明追加
2.2	2010/04/08	Kitayama	3-3 Embedded Flash Bootモードの構成例追加