

Lattice MachX0 ユーザーズガイド



- 本資料は、Lattice社 MachXOデバイス基板設計時の注意事項、使用時の注意事項をまとめたものです。実際の動作等詳細、最終の確認は、別途データシートを参照頂けるようお願い申し上げます。
- Lattice社データシートと本資料との間に差異があった場合には、Lattice社データシートを正としお取り扱い下さい。

1. MachXO保有ピンの機能説明・ピン処理について

- 1-1. 電源ピン
- 1-2. クロック専用ピン、PLL専用ピン
- 1-3. JTAGピン
- 1-4. その他のピン

2. MachXOのI/O Bankの概念及び汎用I/Oについて

- 2-1. I/O BANKの構成
- 2-2. 対応可能なI/OのI/F一覧
- 2-3. サポートする標準入力I/Fについて
- 2-4. サポートする標準出力I/Fに関して
- 2-5. ドライブ能力について
- 2-6. 差動LVDS I/F対応について
- 2-7. その他差動I/Fについて

3. MachXOのコンフィグレーションについて

- 3-1. MachXOコンフィグレーション概念図
- 3-2. SRAM領域へのコンフィグレーション
- 3-3. ispJTAGピン詳細
- 3-4. JTAG参考回路(XO単体)
- 3-5. JTAG参考回路(複数デバイス)
- 3-6. コンフィグレーション全体フロー
- 3-7. 初期化、コンフィグレーションシーケンス

4. スリープモードについて

- 4-1. スリープモード
- 4-2. スリープモード詳細

5. ピンマイグレーションについて

- 5-1. ピンマイグレーション時の注意事項

6. ツールデフォルト設定について

- 6-1. I/O Type、Pull設定
- 6-2. その他の設定

MachXO保有ピンの機能説明・ピン処理について

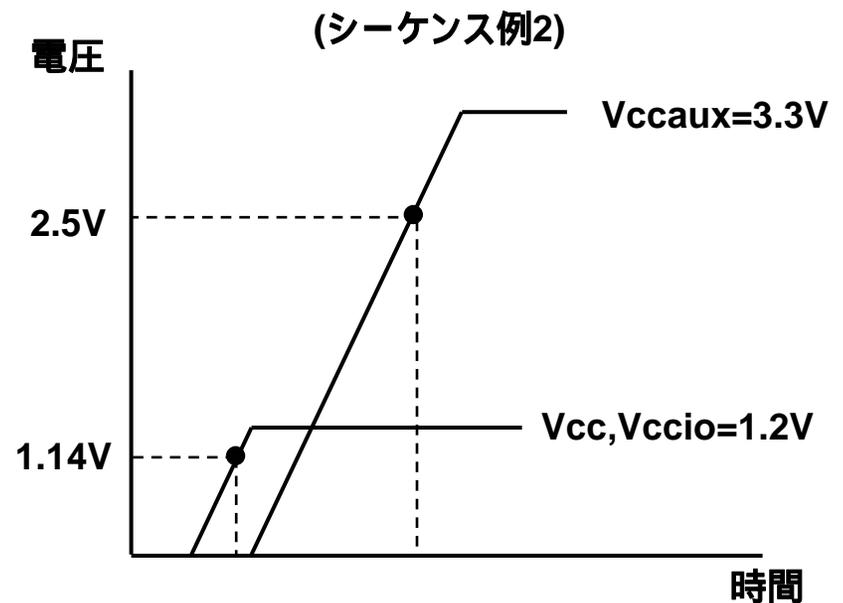
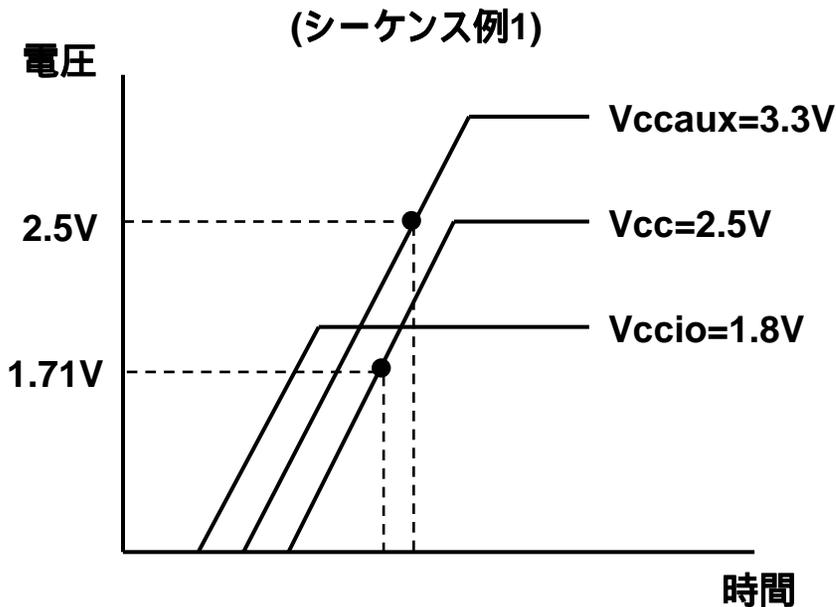
ピン名	電圧	備考
Vcc	1.2V/1.8V/2.5V/3.3V	コア用電源。E品1.2V電源、C品1.8V/2.5V/3.3Vから選択可能。
Vccaux	3.3V	3.3V電源。参照電圧を用いる差動入力バッファを動作させるための補助電源です。コンフィグレーション用の電源としても使われます。
Vccio	1.2V/1.5V/1.8V/2.5V/ 3.3V	各バンク毎に用意されています。バンク毎にそこで使用するインターフェースによって、印加する電源を決定します。使用しないBankについても必ず1.2V,1.5V,1.8V,2.5V,3.3Vを印加してください。

VccioとVccは供給電圧が同じ場合、同じ電源を使用することを推奨します。
 例えば、Vcc、Vccio共に2.5Vを供給する場合、同じ2.5Vの電源を使用します。
 Vcc、Vccaux、Vccioが全て3.3Vの場合、全て同じ3.3V電源を使用することを推奨します。

【重要】電源ピンの取り扱いに関する注意事項

- Power Up時のドライブを不安定にさせないために、VccioはVccやVccauxより先に供給する、或いはVcc,Vccauxと同時に供給することを推奨します。
- VCCIOのうちの一つはJTAGピン用電源として使用されます。それ故に、JTAGピンのスレッシュホールド電圧は規模ごとに以下の該当バンクのVCCIOに依存しますのでご注意ください。
MachXO256: Bank1
MachXO640: Bank2
MachXO1200: Bank5
MachXO2280: Bank5
- Eデバイス(VCC = 1.2V)を使用、またはCデバイス(VCC = 1.8 or 2.5 or 3.3V)をVCC = 3.3Vで使用していない場合のみ、VCCAUXが2.5Vに達する前にVCCはMinimum値(E品は1.14V、C品は1.71V)に達する必要があります。
データシート3-1,Recommended Operating Conditions 注3参照
- その他につきましては次ページの一覧をご参照下さい

項目	適用	推奨値・規定値	条件など	コメント	
電源立ち上がり時間 (RT: Ramp Time)	E デバイス Vcc (1.2V)	100us から 110ms の間	0V から 1.2V (規定TYP値) に達するまでの時間		
	C デバイス Vcc (3.3V) Vccaux, Vccio, Vref, Vccj	100us から 250ms の間	0V から 3.3V (規定TYP値) に達するまでの時間	* 3.3V 以外の場合は、3.3V の場合と同じ傾きとする	
パワーオンリセット(POR) 電圧値 (POR; Hi=ON, Low=OFF)	Vcc	立上がり (OFF)	0.90V	RT 条件下にて	* 最悪値を示す * 立上がり時はPORが解除される電圧を示し、立下がり時はPORが効き始める電圧を示す * VccとVccauxが共に規定値以上の場合に、PORは解除される
	E デバイス	立下がり (ON)	0.75V		
	Vcc	立上がり (OFF)	0.95V	RT 条件下にて	
	C デバイス	立下がり (ON)	0.85V		
	Vccaux	立上がり (OFF)	2.84V	RT 条件下にて	
	立下がり (ON)	2.46V			
	Vccio0/Vccio1	0.90V		コンフィグをトリガしない	
電源再投入時 残留電圧	Vcc, Vccaux	Vcc ≤ 0.85V, 又は Vccaux ≤ 2.46V		POR 条件と同様	
コンフィグデータ保持電圧値	Vcc, Vccaux	Vcc ≥ 0.85V, かつ Vccaux ≥ 2.46V	PROGRAMN を Vccaux にプルアップし、Vcc 以下にならないこと	POR 条件と同様	
許容電源リップル値	Vcc (E: 1.2V, C: 1.8V, 2.5V, 3.3V)	なし	推奨動作条件以内であること (TYP値 +/- 5%)		
	Vccaux, Vccio, Vref, Vccj	なし	推奨動作条件以内であること (TYP値 +/- 5%)		
デカップリング容量推奨値	Vcc, Vccaux, Vccio, Vccj	(推奨)* 47uF 以上を各電源ラインのデバイス近傍に配置 ** 0.1uF を各電源ピンごとに、かつピン近くに配置 ** 0.01uF をPLL用電源ピン VCCPLL の近傍に配置(インダクタの使用は任意)			



VccとVccauxは立上がりの順番に制約はありません。但し、Vccauxが2.5Vに達する前にVccがMinimum値に達している必要があります。また、VccioはVcc、Vccauxより先、もしくは同時に供給する必要があります。なお、Vcc=3.3Vで使用する場合、VccとVccauxが同一電源となり、シーケンス不要となります。(Vccioを先に立ち上げる必要はあります。)

ピン名	説明
[LOC][num]_PLL[T, C]_IN	PLLへのクロック入力ピン。PLL未使用時は通常I/Oとして使用可能。1200,2280にのみ有り
[LOC][num]_PLL[T, C]_FB	PLLへのフィードバック入力ピン。PLL未使用時は通常I/Oとして使用可能。1200,2280にのみ有り
PCLK[n]_[1:0]	Globalクロック入力ピン。クロックピンとして使用しない場合、通常I/Oとして使用可能

上記のピンは未使用時はOPENで構いません

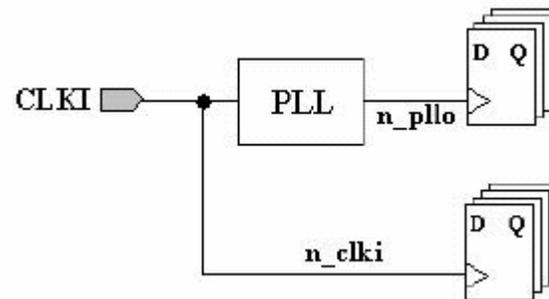
[LOC]	..PLLのロケーション(ULM, LLM, URM, LRM)
[T/C]	..T(True)、C(Complement) 差動のP/N
[Edge]	..L(Left)、B(Bottom)、R(Right)、T(Top)
[Row/Column]	..行または列の番号
[A/B]	..I/Oセル(PIC)のうちどちらのI/O(PIO)を使っているか

クロックピンの取り扱いに関する注意事項

- クロックピン、PLLピンについてシングルエンド入力を使用する場合にはT(True),C(Complement)の**T側**を使用するようにして下さい。(この場合、C側はUser I/Oとして使用できます。クロックピンとしては使用できません)
- クロック信号は必ずクロックピンに入力するようにしてください。I/Oから入力も可能ですが、内部専用クロックラインに乗せるまでの遅延が生じます。(クロックピンから内部専用クロックラインまでのパスは最小遅延になります)
- 基板設計時、PLLを使用するかどうか判断に迷った場合には、PLL専用ピン、クロックピン両方にクロック信号を供給しておくことを推奨します。(使わない方のピンはパターンがつながっていても特に問題はありません)

PLL専用ピンの取り扱いに関する注意事項

- クロックピン、PLLピンについてシングルエンド入力を使用する場合にはT(True),C(Complemen)の**T側**を使用するようにして下さい。(この場合、C側はUserI/Oとして使用できます。)
- 下記のようなデザインの場合、n_clkiを内部専用クロック配線に乗せることができなくなります。ツール上ではn_clkiを内部専用クロック配線に乗せてもエラーにはなりません、n_clkiがPLLの入力に入る形に展開されてしまいます。つまり、一度中央の内部専用クロック配線を経由してからPLLにn_clkiが入る形になるので、その分遅延が生じてしまいます。もし、Tco改善のため、このようなデザインを考えた場合には上記の様にPLL入力までの遅延がかさむ為、逆にTcoが遅くなってしまうことが考えられます。このような場合には、CLKIをPLL専用ピンとクロック専用ピンに入力してあげることで回避することができます。



- PLLからの出力クロックはSecondaryクロックラインには乗せることができませんのでご注意ください。

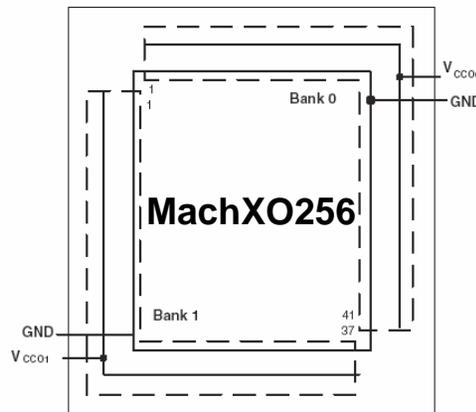
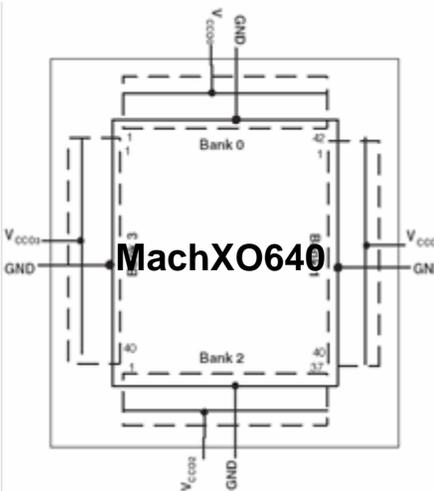
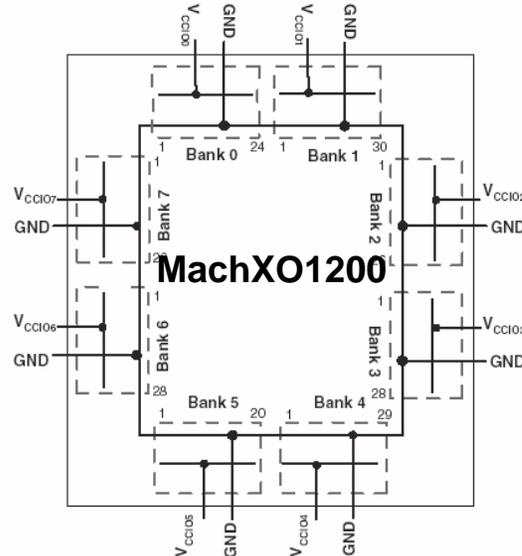
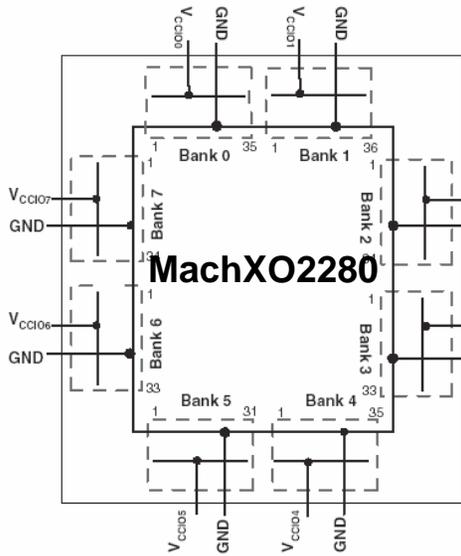
ピン名	説明
TMS	テストモード・セレクト・ピン。TAPコントローラのテスト動作を制御します。
TCK	テスト・クロック・ピン。TAPコントローラを走らせ、データをおよび命令レジスタへのロード、リロードのためのクロックを提供します。
TDI	テストデータ入力ピン。シリアルテスト命令とデータをシフトインするのに用いられます。
TDO	テストデータ出力ピン。シリアルテスト命令とデータをシフトアウトするのに用いられます。

詳細は「3-3. ispJTAGピン詳細」の項を参照してください。

ピン名	説明
SLEEPN	ActiveLowでスリープモードとなります。スリープモードを使用しない場合には、外部で5k-10K でプルアップを推奨します。
TSALL	Global Output Enableピン。(通常I/Oと兼用。)このピンをGlobal OEピンとして使用する際は、HDLソース内に専用マクロを呼び出す記述を追加すること。Global OEピンとして使用しない場合は何もしなくてよく、通常I/Oとして使用可能。未使用時はオープンでOK。
GSRN	Global RESETピン。(通常I/Oと兼用。)全ての通常I/OはGlobal RESETとして使用可能。特にこのピンからリセットを入れなければいけないわけではない。未使用時はオープンでOK。

- GSRNは基本的には論理合成時に自動で割り当てられます。但し、自動で割り当てられる条件があり、Distributed-Ramを含む全てのFFの初期化信号であることが条件になります。もし、うまくGSRNに割り当てられない場合には、ソース中にGSRNマクロブロックを明示する必要があります。
- GSRNに割り当てられたかどうかの確認はPlace & Route ReportのDevice utilization summaryの項目中をご覧ください。割り当てられた信号がRSTという信号だった場合以下のように記載されます。
 - Signal RST is selected as Global Set/Reset

MachXOのI/O Bankの概念及び汎用I/Oについて



- LatticeMachXOデバイスは左のようにデバイスの型番ごとに異なるBank構成をしておりますのでご注意ください。
- MachXO256,640に関してはPCIクランプはサポートされておりません。MachXO1200,2280に関してはTopBankでサポートしております。
- 差動信号入力に関してはMachXO256,640に関してはサポートされておりません。MachXO1200,2280に関しては全てのBankでサポートしております。
- 差動信号出力に関してはMachXO1200,2280のみ左右のバンクの50%のみ真のLVDS出力ができます。但しそれ以外のバンクにおいても外部コンポーネントにより、LVDS、LVPECL等のエミュレーションは可能です。
- Mach256,640に関してもLVCMOSBufferをEmulateすることで差動出力信号を構成することは可能です。
- 次のページに詳細をまとめますのでご覧下さい

記述	MaxhXO256	MachXO640	MachXO1200	MachXO2280
I/Oバッファ・タイプ	シングルエンド	シングルエンド	シングルエンドと差動	シングルエンドと差動
サポートする出力標準	LVTTTL LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 LVDS 1 2 LVPECL 1 2 BLVDS 1 2 RSDS 1 2	LVTTTL LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 LVDS 1 2 LVPECL 1 2 BLVDS 1 2 RSDS 1 2	LVTTTL LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 PCI33 LVDS 1 LVPECL 1 BLVDS 1 RSDS 1	LVTTTL LVCMOS33 LVCMOS25 LVCMOS18 LVCMOS15 LVCMOS12 PCI33 LVDS 1 LVPECL 1 BLVDS 1 RSDS 1
入力	全Bank シングルエンドのみ	全Bank シングルエンドのみ	全Bank シングルエンドと差動	全Bank シングルエンドと差動
クロック入力	全Bank シングルエンドのみ	全Bank シングルエンドのみ	全Bank シングルエンドと差動	全Bank シングルエンドと差動
PCIサポート	PCI33クランプなし	PCI33クランプなし	PCI33クランプあり (TopBankのみ)	PCI33クランプあり (TopBankのみ)
Emulate差動出力	全てのBankでサポート	全てのBankでサポート	全てのBankでサポート	全てのBankでサポート
真のLVDS出力バッファ	Noサポート	Noサポート	サポート(LEFT,RIGTHBankのみ)	サポート(LEFT,RIGTHBankのみ)

- これらの差動I/Fは、外付け抵抗パックと共にコンプリメンタリLVCMOSドライバーを用いることによって、実装されます。
- Emulate差動出力のみサポート

Input Standard	VCCIO (Typ.)				
	3.3V	2.5V	1.8V	1.5V	1.2V
Single Ended Interfaces					
LVTTTL	✓	✓	✓	✓	✓
LVC MOS33	✓	✓	✓	✓	✓
LVC MOS25	✓	✓	✓	✓	✓
LVC MOS18			✓		
LVC MOS15				✓	
LVC MOS12	✓	✓	✓	✓	✓
PCI ¹	✓				
Differential Interfaces					
BLVDS ² , LVDS ² , LVPECL ² , RSDS ²	✓	✓	✓	✓	✓

1. Top Banks of MachXO1200 and MachXO2280 devices only.
2. MachXO1200 and MachXO2280 devices only.

- MachXOデバイスの入力バッファは、Mixed Voltage対応となっております。
- LVC MOS18,LVC MOS15,PCI以外にしましてはVCCIOに依存せず、入力I/Fをとることが可能です。
- 但し、開発ツールにおいて入力するI/Fを選択する必要がございます。詳しくは DesignPlannerマニュアルをご参照いただくか、弊社技術担当までご連絡ください。
- LVC MOS18,LVC MOS15,PCIに関しては、それぞれVccioの制約がありますのでご注意ください。
- 5Vトレラント入力はサポートしておりません。

Output Standard	Drive	V _{CCIO} (Typ.)
Single-ended Interfaces		
LVTTTL	4mA, 8mA, 12mA, 16mA	3.3
LVC MOS33	4mA, 8mA, 12mA, 14mA	3.3
LVC MOS25	4mA, 8mA, 12mA, 14mA	2.5
LVC MOS18	4mA, 8mA, 12mA, 14mA	1.8
LVC MOS15	4mA, 8mA	1.5
LVC MOS12	2mA, 6mA	1.2
LVC MOS33, Open Drain	4mA, 8mA, 12mA, 14mA	—
LVC MOS25, Open Drain	4mA, 8mA, 12mA, 14mA	—
LVC MOS18, Open Drain	4mA, 8mA, 12mA, 14mA	—
LVC MOS15, Open Drain	4mA, 8mA	—
LVC MOS12, Open Drain	2mA, 6mA	—
PCI33 ³	N/A	3.3
Differential Interfaces		
LVDS ^{1,2}	N/A	2.5
BLVDS, RSDS ²	N/A	2.5
LVPECL ²	N/A	3.3

選択した標準出力I/Fに対応するV_{CCIO}を入力する必要があります。但しオープンドレイン設定の場合はV_{CCIO}の制約はありません。またドライブ能力は可変ですが、設定したI/Fによって選択できる電流値が異なりますのでご注意ください。

Input/Output Standard	V _{IL}		V _{IH}		V _{OL} Max. (V)	V _{OH} Min. (V)	I _{OL} (mA)	I _{OH} (mA)
	Min. (V)	Max. (V)	Min. (V)	Max. (V)				
LVCMOS 3.3	-0.3	0.8	2.0	3.6	0.4	V _{CCIO} - 0.4	16, 12, 8, 4	-14, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVTTTL	-0.3	0.8	2.0	3.6	0.4	2.4	16	-16
					0.4	V _{CCIO} - 0.4	12, 8, 4	-12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1
LVCMOS 2.5	-0.3	0.7	1.7	3.6	0.4	V _{CCIO} - 0.4	16, 12, 8, 4	-14, -12, -8, -4
					0.2	V _{CCIO} - 0.2	0.1	-0.1

* MachXO DataSheet (sysIO Single-Ended DC Electrical Characteristics) より抜粋

LCMX0640				
Ball Number	Ball Function	Bank	Dual Function	Differential
VCCIO3	VCCIO3	3		
GND	GNDIO3	3		
J4	PL8A	3		T
J5	PL8B	3		C
R1	PL11A	3		T
R2	PL11B	3		C
-	-	-		
K5	NC			
K4	NC			
L5	PL10C	3		T
L4	PL10D	3		C
M5	NC			
M4	NC			
N4	PL11C	3		T
N3	PL11D	3		C
VCCIO3	VCCIO3	3		
GND	GNDIO3	3		
GND	GNDIO2	2		
VCCIO2	VCCIO2	2		
P4	TMS	2	TMS	
P2	NC			

- 上記の表のように、MachXOのドライブ電流値は可変させることが可能です。設定したI/Fによって、設定できる値は異なりますので、前ページ及びデータシートで御確認ください。
- MachXOのI/Oバッファのドライブ可能電流は以下のような制約があります。

「The average DC current drawn by I/Os between GND connections, or between the last GND in an I/O bank and the end of an I/O bank, as shown in the logic signal connections table shall not exceed $n \times 8\text{mA}$, where n is the number of I/Os between bank GND connections or between the last GND in a bank and the end of a bank.」

BankのGND間にあるI/O、もしくはI/O Bank内にある最後のGNDからI/O Bankの端までにあるI/Oの本数において、(その本数) × 8mAのドライブ電流を超えてはいけません

- 例えば、MachXO640 256fpBGAのピンリストを見ますと左のようになっております。赤枠を注目してください。ここでI/Oバンクの端からGNDまでのI/Oの本数を数えますと8本になっております。よって、 $8\text{mA} \times 8\text{本} = 64\text{mA}$ となり、この8本のI/Oは合計で最大64mAまでドライブすることができます。例えば、この場合、BallNo.J4のI/Oが16mAドライブする場合には、残り7本は48mAまでしかドライブできません。

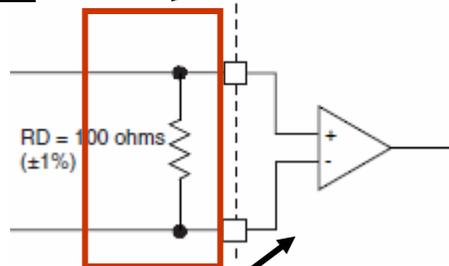
* MachXO Datasheetより抜粋

差動LVDS入力について (MachXO1200,2280のみ)

- Top,Bottom,Right,Left全てのバンクで差動LVDS入力として使用できます。
- 但し、使用するI/Oは必ず差動ペアにしてください。差動ペアとは右のピンリストのPL2A,PL2Bになります。T側がTrue,C側がComplementaryになります。
- 差動LVDS入力で使用する場合、外部に終端抵抗100 が必ず必要になります。
- 差動LVDS入力として扱った場合、内部Pull-upが有効となりません。その為、転送用ケーブルが外れるようなアプリケーションの場合には、Floating防止の為、外部で処理が必要になります。処理については弊社FAEまでお問い合わせ下さい。

Pin Number	LCMXO1200			
	Ball Function	Bank	Dual Function	Differential
1	PL2A	7		T
2	PL2B	7		C
3	PL3C	7		T
4	PL3D	7		C
5	PL4B	7		
6	VCCIO7	7		
7	PL6A	7		T*
8	PL6B	7	GSRN	C*
9	GND	-		
10	PL7C	7		T
11	PL7D	7		C
12	PL8C	7		T
13	PL8D	7		C

外部終端抵抗100 必須



開発ツール上ではDesign Plannerを使用して
“LVDS25” に設定してください。
(* LVDS25Eは使用しないで下さい)

MachXO Device

差動LVDS出力について

差動LVDS出力は真のLVDSと擬似LVDSの2つが存在します。

● 真のLVDS出力 (MachXO1200,2280のみ)

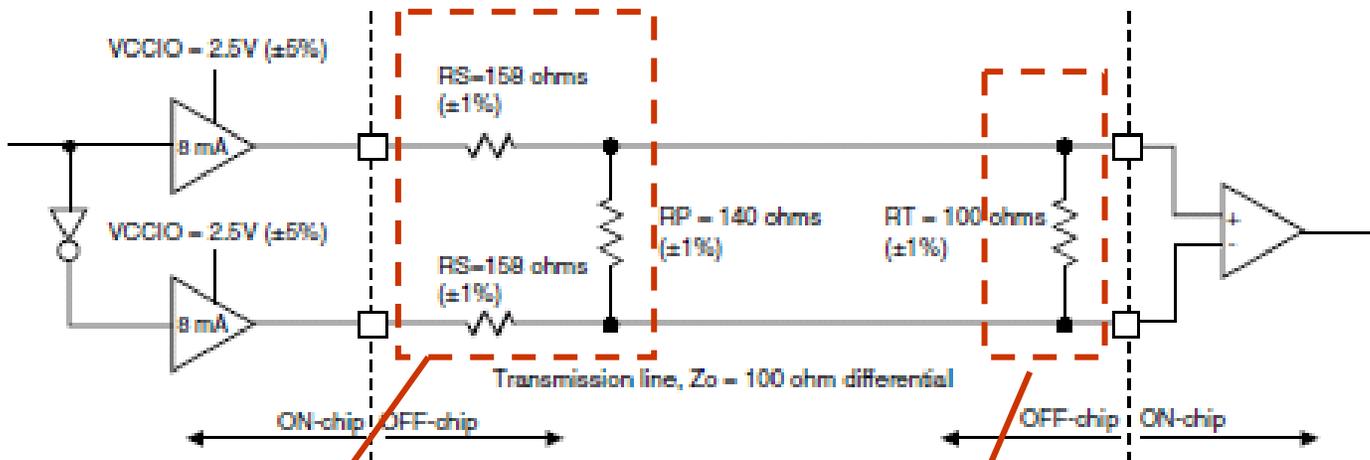
- LEFT,Rightバンクの50%のみ対応しております。ピンリストにおいてDifferencialの項目に*印がついてる個所が真のLVDS対応I/Oです。
- 使用するI/Oは、差動入力と同じく差動ペアにしてください。
- 真のLVDSで使用する場合、VCCIOには2.5Vを印加する必要があります。必然的に、LVDSを使用するこのバンクは2.5Vインターフェイスでしか使用できませんのでご注意ください。
- 開発ツール上では、DesignPlannerを使用してI/O Typeを“LVDS25”に設定してください。
- 外付け抵抗は必要ありません。

● 擬似LVDS出力 (Emulated LVDS)

- Top,Bottom,Left,Right全てのバンクで擬似LVDS出力として使用できます。
- 使用するI/Oは、差動入力と同じく差動ペアにしてください。(真のLVDSと違い*印がついていなくとも問題ございません)
- 擬似LVDSで使用する場合、VCCIOには2.5Vを印加する必要があります。必然的に、LVDSを使用するこのバンクは2.5Vインターフェイスでしか使用できませんのでご注意ください。
- 開発ツール上では、DesignPlannerを使用してI/O Typeを“LVDS25E”に設定してください。ドライブ電流は8mAにしてください。
- 外付け抵抗が必要になります。詳細は次ページをご覧ください。

Pin Number	LCMXO1200			
	Ball Function	Bank	Dual Function	Differential
1	PL2A	7		T
2	PL2B	7		C
3	PL3C	7		T
4	PL3D	7		C
5	PL4B	7		
6	VCCIO7	7		
7	PL6A	7		T*
8	PL6B	7	GSRN	C*
9	GND	-		
10	PL7C	7		T
11	PL7D	7		C
12	PL8C	7		T
13	PL8D	7		C

差動LVDSブロック図

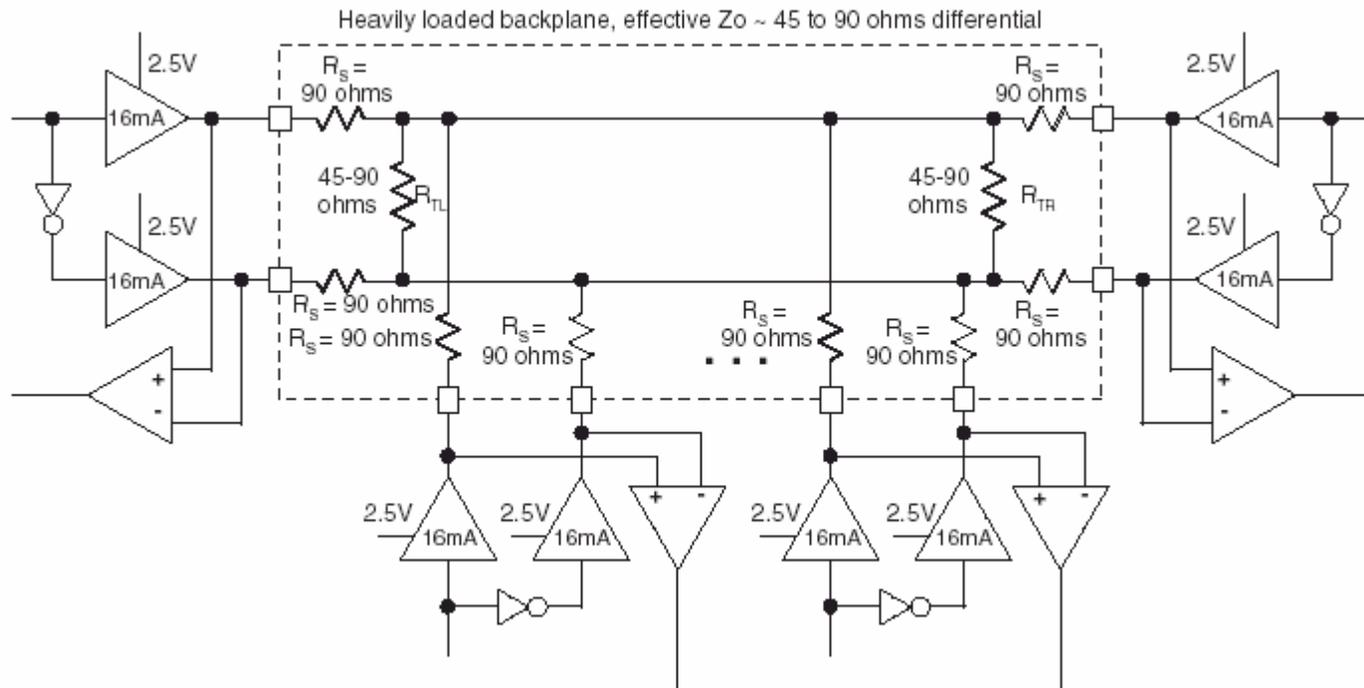


この外付け抵抗は擬似LVDSのときのみ必要となります。真のLVDSの時には必要ありません。

この終端抵抗は真のLVDSでも、擬似LVDSでも必要になります。

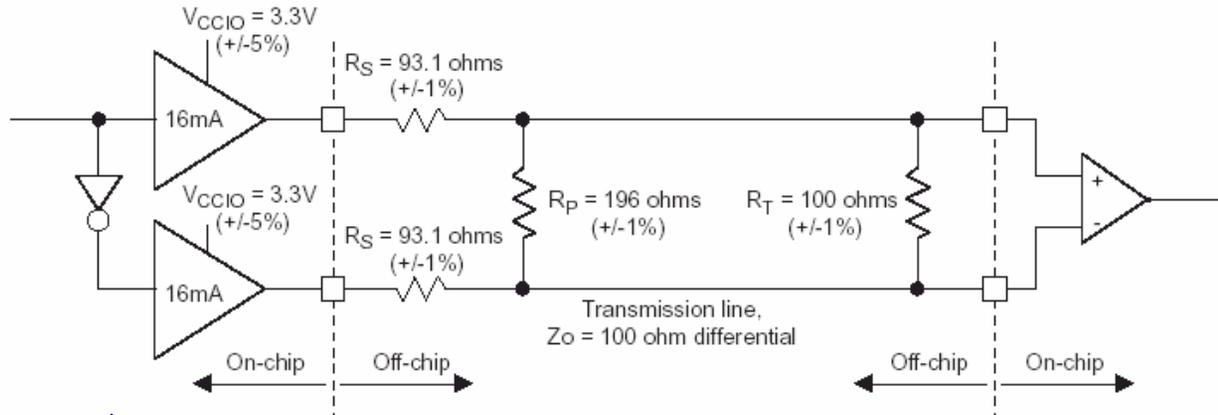
差動BLVDSブロック図

* 詳細はデータシートをご覧ください。



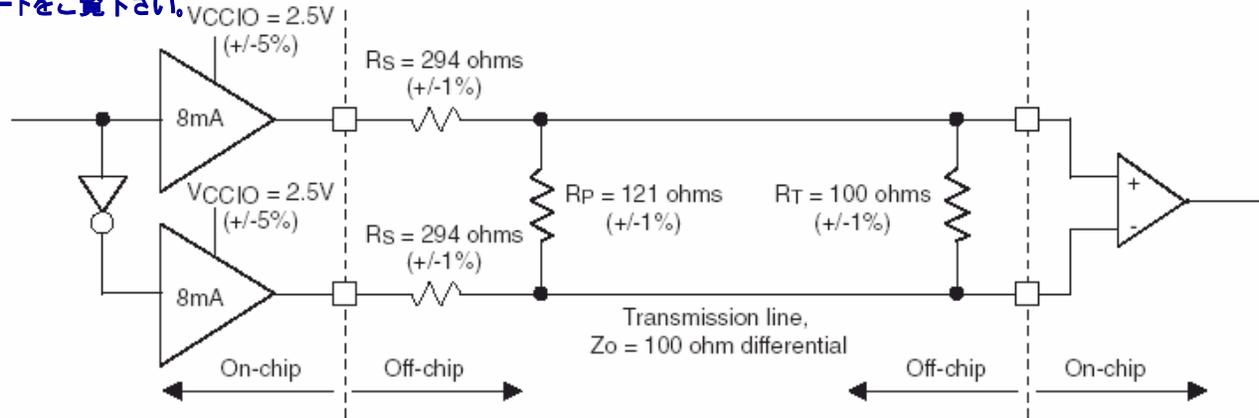
差動LVPECLブロック図

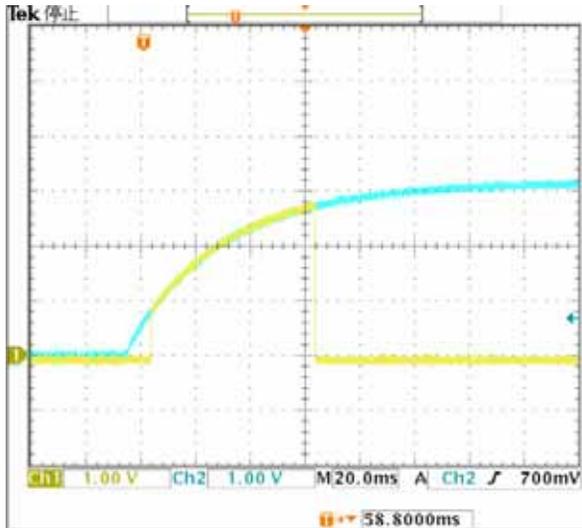
* 詳細はデータシートをご覧ください。



差動RSDSブロック図

* 詳細はデータシートをご覧ください。





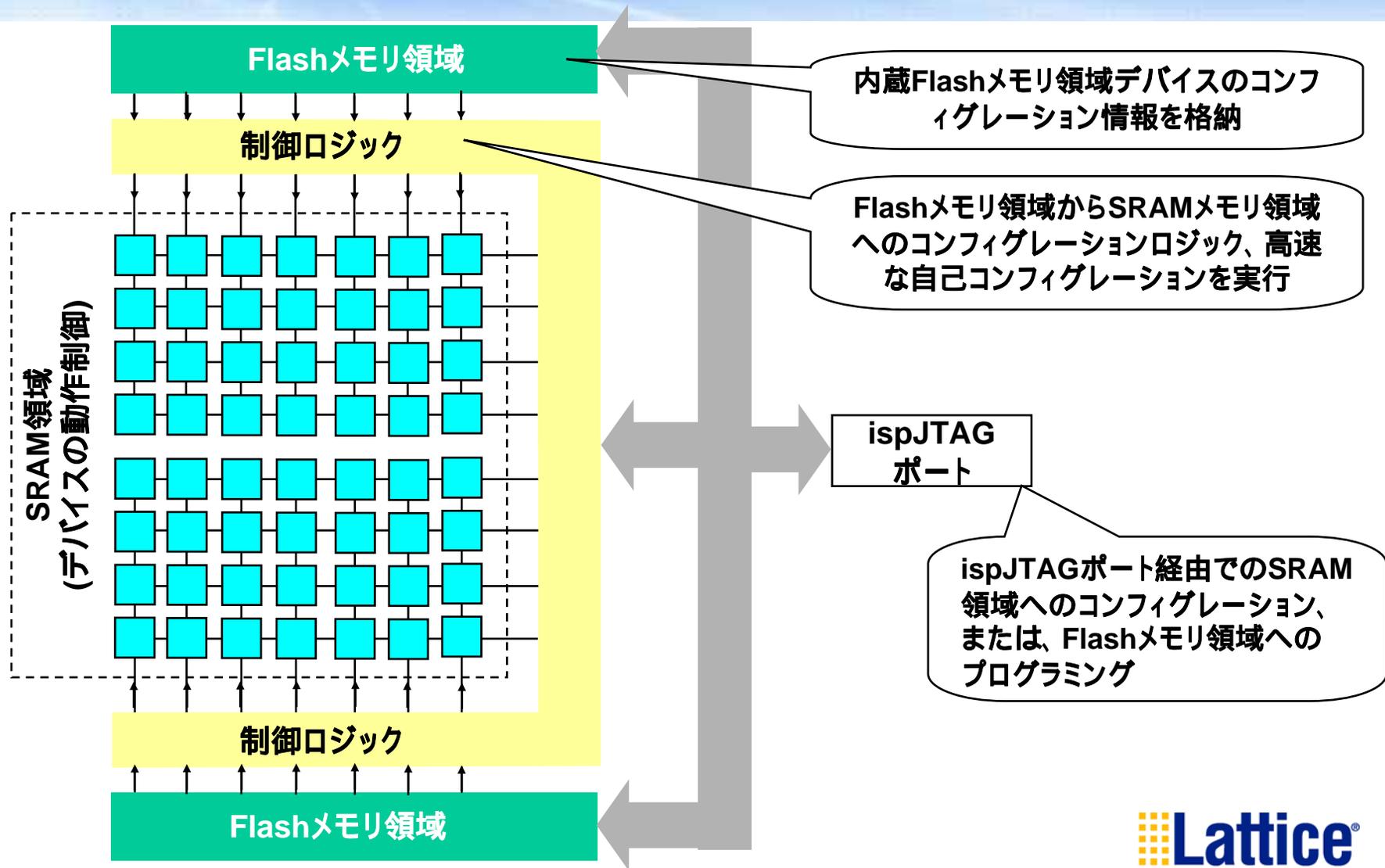
左波形はMachXOデバイスにおける電源ON時($VCC=VCCIO=VCCAUX$)のI/Oピンの挙動を示しております。注意すべき点は…

電源ON時(まだコンフィグレーションされていない状態)には、I/Oピンは必ず内部プルアップでハイインピーダンスの状態になります。^{*1}
 よってコンフィグレーションが完了するまでの間は(DONEがHigh)、上記のように電源の立ち上がりにつられて内部プルアップ抵抗の影響で、Highパルスが観測されます。
 よって、もし、Low極性を期待しており、このHighパルス無くしたい場合は、少なめの抵抗(1k 等)で外部プルダウン処理を施すようにして下さい。

Ch1(黄): Low出力設定のI/O
 Ch2(青): $Vcc=Vccaux=Vccio(3.3V)$

電源ON時、Low極性したいI/Oピンに関して、内部Pull-Down設定や、I/Oピンに繋がるFFの極性をReset(PowerOnReset)時、Lowにしておいても上記の事が影響して必ずHighが出力されますのでご注意ください。

MachXOのコンフィグレーションについて



内蔵Flashメモリ領域デバイスのコンフィグレーション情報を格納

Flashメモリ領域からSRAMメモリ領域へのコンフィグレーションロジック、高速な自己コンフィグレーションを実行

ispJTAG
ポート

ispJTAGポート経由でのSRAM領域へのコンフィグレーション、または、Flashメモリ領域へのプログラミング

内蔵Flashメモリ領域からセルフダウンロード

電源投入時に内蔵Flashメモリ領域からSRAMメモリ領域にコンフィグレーションを行います。
事前に、ispJTAGポート経由で内蔵Flashメモリ領域にプログラミングを行う必要があります。

ispJTAGポートからダウンロード

ispJTAG(IEEE1149.1)ポートを介してコンフィグレーションを行います。

ispJTAGピンは標準のIEEE1149.1TAPピンです。MachXOデバイスがパワーアップされる時、ispJTAGピンは専用のピンであり、常にアクセスできます。

TDO

テストデータ出力ピンTDOは、シリアルテスト命令とデータをシフトアウトするのに用いられます。TDOが内部回路によってドライブされていないとき、ピンはハイインピーダンス状態にあります。

TDI

テストデータ入力ピンTDIは、シリアルテスト命令とデータをシフトインするのに用いられます。TDIピンには内部プルアップ抵抗があります。

TMS

テストモード・セレクト・ピンTMSはTAPコントローラのテスト動作を制御します。TCKの立ち下がりエッジで、TMSがHighかLowかによって、TAPコントローラ・ステート・マシンの状態遷移が行われます。TMSピンには内部プルアップ抵抗があります。

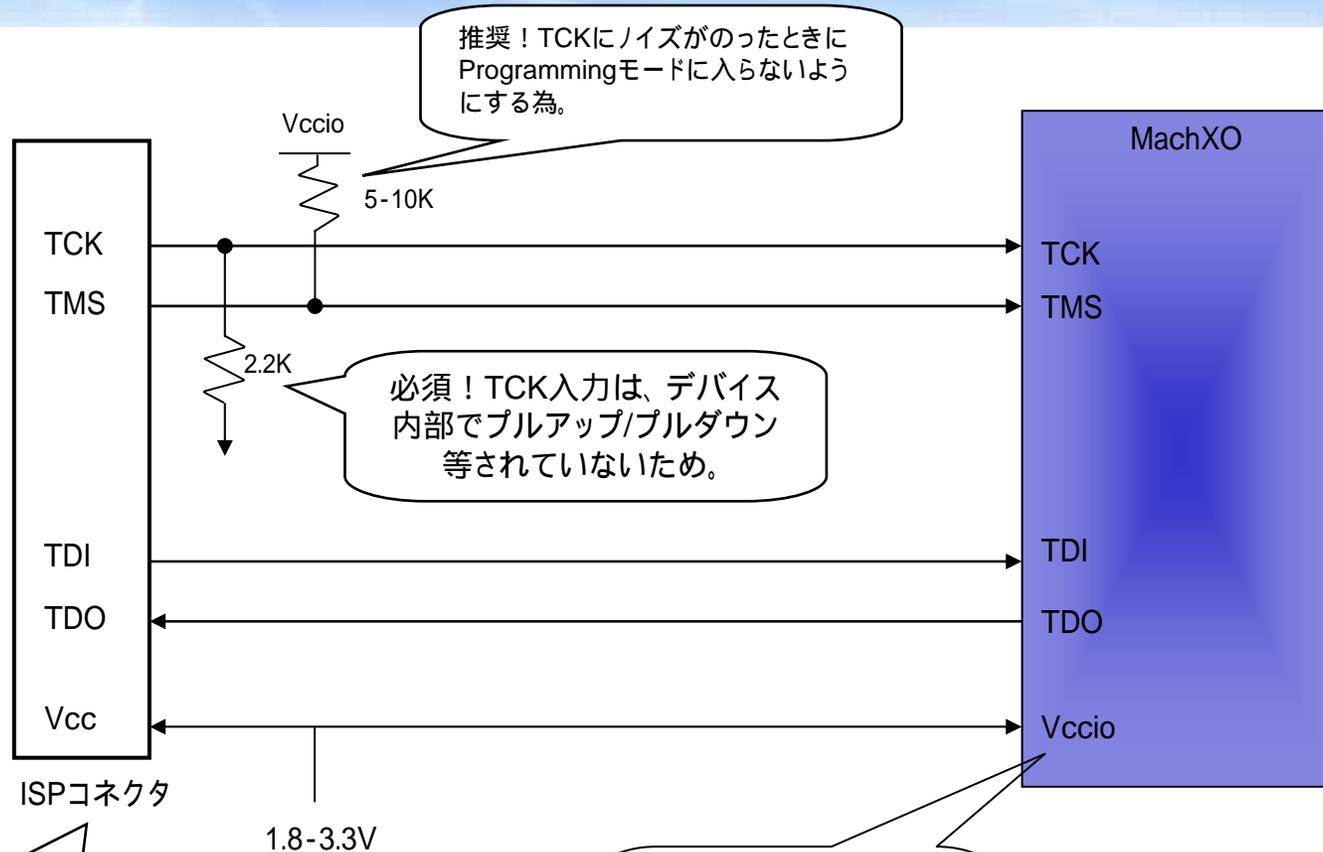
TCK

テストクロック・ピンTCKは、TAPコントローラを走らせ、データをおよび命令レジスタへのロード、リロードのためのクロックを提供します。TCKはHighまたはLow状態で止めることができ、デバイス・データシートで示される周波数まで動作させることができます。TCKピンはデータシートのDCパラメータ・テーブルに示される値でヒステリシスをサポートします。

TDI	入力	内部プルアップ	JTAG
TDO	出力	内部プルアップ	JTAG
TCK	入力	ヒステリシス	JTAG
TMS	入力	内部プルアップ	JTAG

内部プルアップ抵抗値は、該当するVccioが3.3V時: 22K R 110K、1.8V時: 12K R 60K を目安としてください。

3-4 JTAG参考回路(XO単体)



推奨！TCKにノイズがのったときに Programmingモードに入らないようにする為。

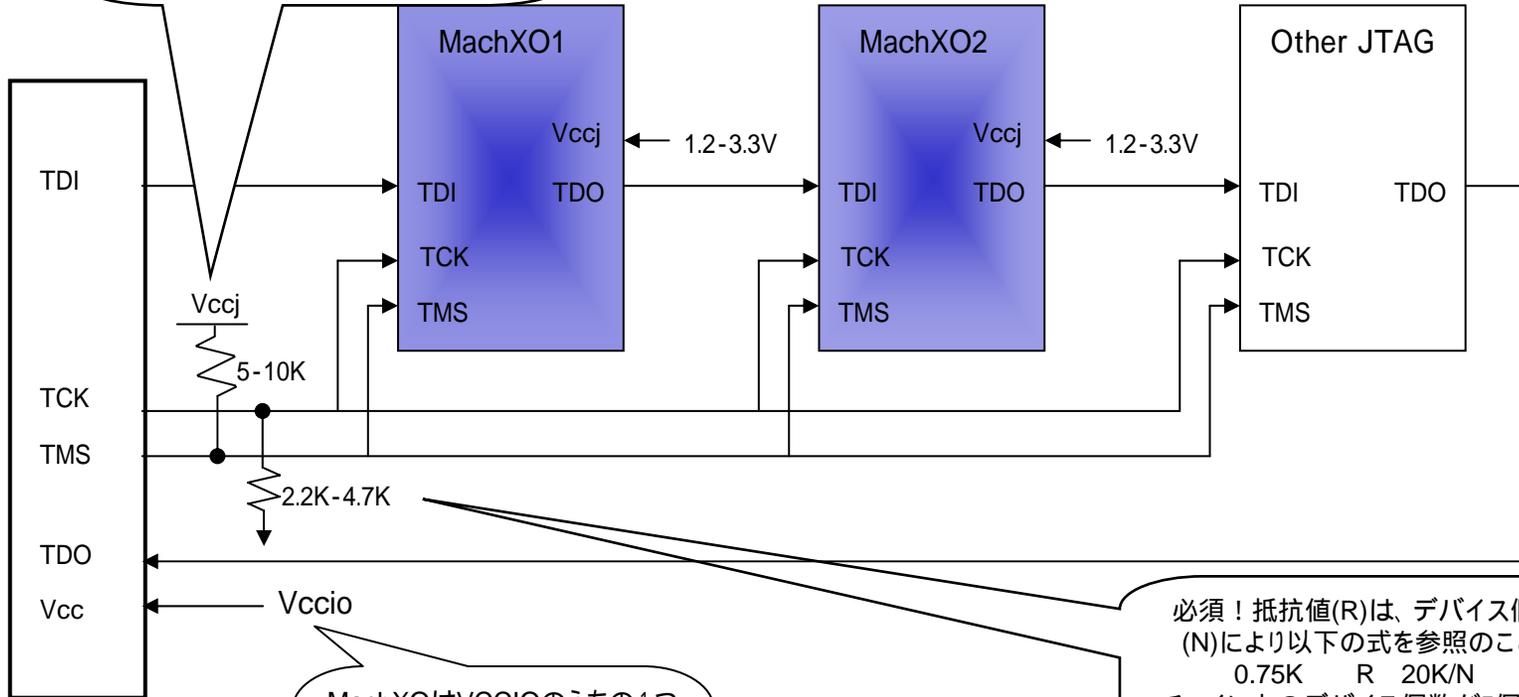
必須！TCK入力は、デバイス内部でプルアップ/プルダウン等されていないため。

ISPコネクタは、
Ver1,2ならば、3.3/2.5Vでのみ対応可能。
Ver2A,3以降ならば、3.3/2.5/1.8V対応可能。

MachXOはVCCIOのうちの1つがJTAGピン用電源として使用されます。
MachXO256: Bank1
MachXO640: Bank2
MachXO1200: Bank5
MachXO2280: Bank5

3-5 JTAG参考回路(複数デバイス)

推奨！TCKにノイズがのったときに Programmingモードに入らないようにする為。



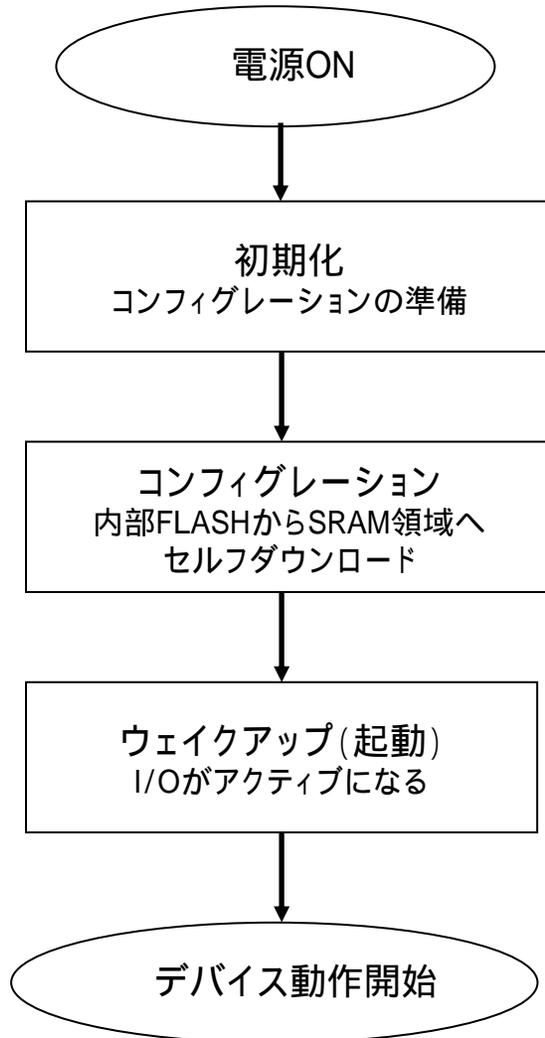
ISPコネクタ

MachXOはVCCIOのうちの1つがJTAGピン用電源として使用されます。
 MachXO256: Bank1
 MachXO640: Bank2
 MachXO1200: Bank5
 MachXO2280: Bank5

ISPコネクタは、
 Ver1,2ならば、3.3/2.5Vでのみ対応可能。
 Ver2A,3以降ならば、3.3/2.5/1.8V対応可能。

必須！抵抗値(R)は、デバイス個数(N)により以下の式を参照のこと。
 $0.75K \leq R \leq 20K/N$
 チェイン上のデバイス個数が5個以下ならば、2.2K-4.7K で問題なし。

JTAG電圧レベル(XOではVccioにて指定)は、JTAGチェーンで統一すること。
 JTAG電源レベルは、JTAGチェーンで統一してください。
 もし、チェーン上に3.3Vデバイスと1.2Vデバイスが混在している場合などは、3.3VデバイスのTDOと1.2VデバイスのTDIのI/Fを取るために3.3Vにする必要があります。
 その他、詳細につきましては、弊社作成のマニュアルJTAG基板設計時資料をご覧ください。



Start

電源投入時のパワーオンリセット(POR)が解除される。

初期化

I/Oはトリステート状態になります。
SRAM領域がクリアされます。

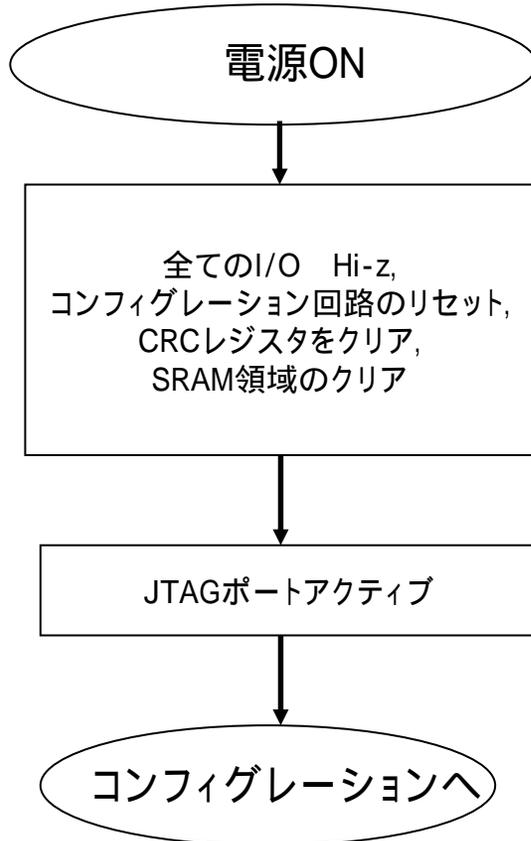
コンフィグレーション

コンフィグレーションが開始されると内部FLASH ROMにプログラムされたビット・ストリームをロードします。コンフィグレーションが完了するとウェイクアップシーケンスに移ります。

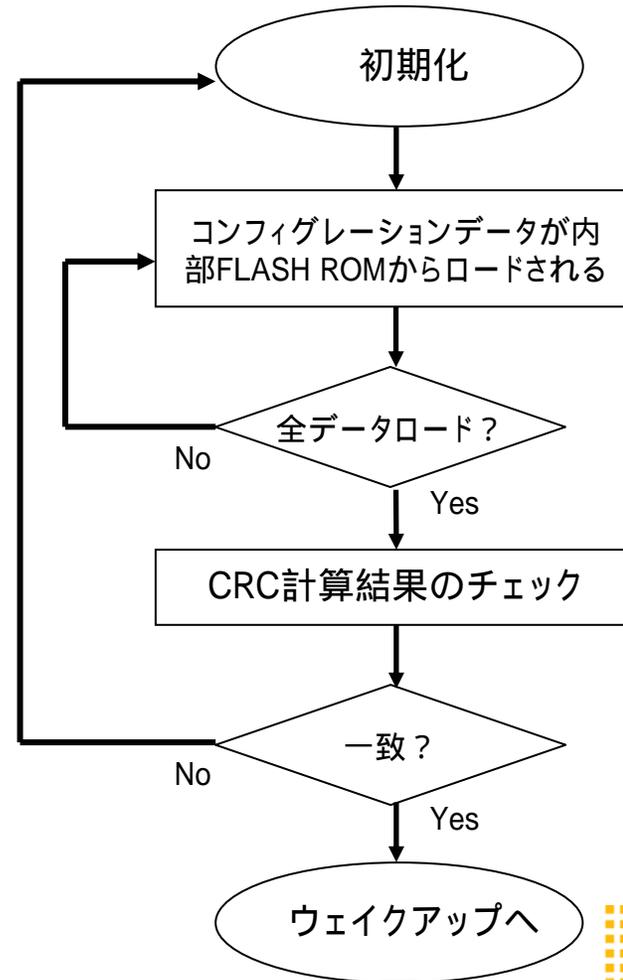
ウェイクアップ(起動)

ウェイクアップ・シーケンスは、コンフィグレーションの完了後にデバイスを機能モードに投入します。
適切なウェイクアップ・シーケンスを選ぶことは、信号の衝突を防ぐために重要です。

初期化シーケンス



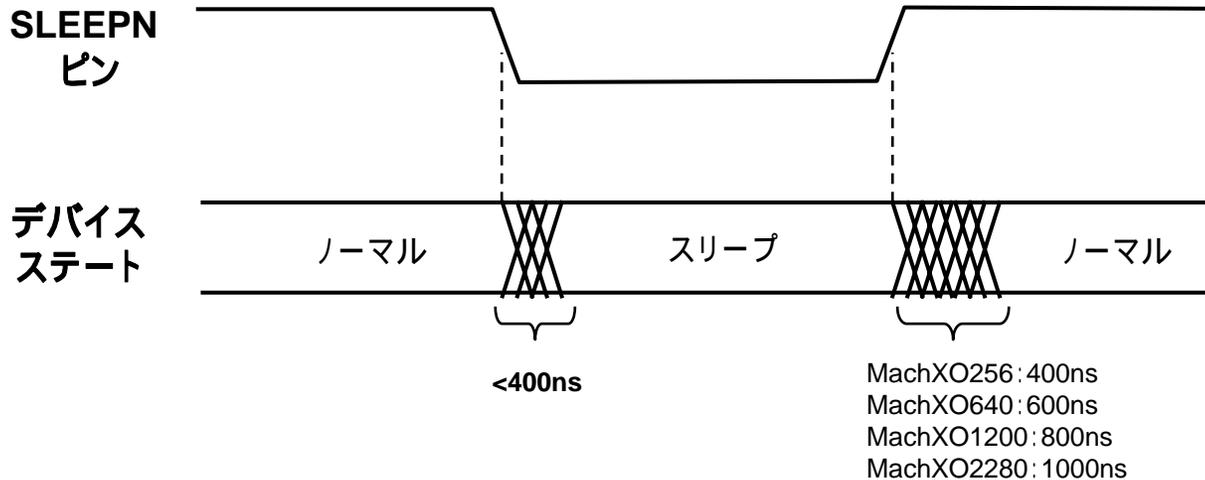
コンフィグレーションシーケンス



スリープモードについて

MachXOのC品(1.8/2.5/3.3V品)にはスリープモードが用意されています。デバイスの動作中にSLEEPNピンをLowに落とすことで、デバイスがスリープモードになり、消費電流を大幅に下げることが可能です。

SLEEPNピンをLowに落としてから400ns以下でデバイスの状態がスリープ状態になります。スリープ状態についての詳細は次頁を参照してください。SLEEPNピンをHighに戻すことでスリープ状態から復帰します。復帰の際には再コンフィグレーションが行われ、デバイスに依存した復帰時間がかかります。



モード	ノーマル	オフ	スリープ
SLEEPNピン	High	-	Low
スタティック電流	<10mA	0	<100uA
I/Oリーク電流	<10uA	<1mA	<10uA
供給電圧	通常範囲	0	通常範囲
ロジック動作	ユーザ定義	非動作	非動作
I/Oステート	ユーザ定義	トライステート	トライステート

スリープモードではI/Oがトライステートになり、ロジック動作が停止します。

ピンマイグレーションについて

Device	LCMX0256	LCMX0640	LCMX01200	LCMX02280
LUTs	256	640	1200	2280
Dist. RAM (Kbits)	2.0	6.0	6.25	7.5
EBR SRAM (Kbits)	0	0	9.2	27.6
Number of EBR SRAM Blocks (9 Kbits)	0	0	1	3
V _{CC} Voltage	1.2/1.8/2.5/3.3V	1.2/1.8/2.5/3.3V	1.2/1.8/2.5/3.3V	1.2/1.8/2.5/3.3V
Number of PLLs	0	0	1	2
Max. I/O	78	159	211	271
Packages				
100-pin TQFP (14x14 mm)	78	74	73	73
144-pin TQFP (20x20 mm)		113	113	113
100-ball csBGA (8x8 mm)	78	74		
132-ball csBGA (8x8 mm)		101	101	101
256-ball ftBGA (17x17 mm)		159	211	211
324-ball ftBGA (19x19 mm)				271

- 100TQFPにおいて、マイグレーション可能なのは、256と640間、および1200と2280間です。例えば、640と1200間ではマイグレーションはありません。
- 256と640の100TQFPパッケージと100csBGAにおいて、ピンマイグレーションを採用する際は注意が必要です。256では78I/Oですが、640では74I/OとI/O数が4つ減っています。これは、640の方がバンク数が多くなるので、V_{CCIO}とGND_{IO}が2つずつ増えてしまうためです。256から640へ変更する可能性がある場合には、640のV_{CCIO}とGND_{IO}のピンに注意してピン固定する必要があります。

Signal	132 csBGA	256 ftBGA
VCC	H3, P6, G12, C7	G7, G10, K7, K10
VCCIO0	LCMX0640: B11, C5 LCMX01200/2280: C5	LCMX0640: F8, F7, F9, F10 LCMX01200/2280: F8, F7
VCCIO1	LCMX0640: L12, E12 LCMX01200/2280: B11	LCMX0640: H11, G11, K11, J11 LCMX01200/2280: F9, F10
VCCIO2	LCMX0640: N2, M10 LCMX01200/2280: E12	LCMX0640: L9, L10, L8, L7 LCMX01200/2280: H11, G11
VCCIO3	LCMX0640: D2, K3 LCMX01200/2280: L12	LCMX0640: K6, J6, H6, G6 LCMX01200/2280: K11, J11
VCCIO4	LCMX0640: None LCMX01200/2280: M10	LCMX0640: None LCMX01200/2280: L9, L10
VCCIO5	LCMX0640: None LCMX01200/2280: N2	LCMX0640: None LCMX01200/2280: L8, L7
VCCIO6	LCMX0640: None LCMX01200/2280: K3	LCMX0640: None LCMX01200/2280: K6, J6
VCCIO7	LCMX0640: None LCMX01200/2280: D2	LCMX0640: None LCMX01200/2280: H6, G6
VCCAUX	P7, A7	T9, A8
GND ¹	F1, P9, J14, C9, A10, B4, L13, D13, P2, N11, E1, L2	A1, A16, F11, G8, G9, H7, H8, H9, H10, J7, J8, J9, J10, K8, K9, L6, T1, T16
NC ²	—	LCMX0640: E4, E5, F5, F6, C3, C2, G4, G5, H4, H5, K5, K4, M5, M4, P2, P3, N5, N6, M7, M8, N10, N11, R15, R16, P15, P16, M11, L11, N12, N13, M13, M12, K12, J12, F12, F13, E12, E13, D13, D14, B15, A15, C14, B14, E11, E10, E7, E6, D4, D3, B3, B2 LCMX01200: None LCMX02280: None

- 256fpBGAにおいて640は1200,2280に比べてバンク数が少ないため、I/O数が少なくNC(ノン・コネクション)ピンが多く存在しています。従って256fpBGAで1200,2280から640にピンマイグレーションを行う際には、予めNCピンを考慮したピン固定が必要となります。NCピンに関するの詳細はデータシートでご確認下さい。

ツールデフォルト設定について

	Type	Name	Bank	IO_TYPE	PULLMODE	DRIVE
1	AllPORTS		N/A	LVC MOS25	UP	N/A
2	Input Port	SoftResReg...		LVC MOS25	UP	NA
3	Input Port	SoftResReg...		LVC MOS25	UP	NA
4	Input Port	SoftResReg...		LVC MOS25	UP	NA
5	Input Port	SoftResReg...		LVC MOS25	UP	NA
6	Input Port	SoftResReg...		LVC MOS25	UP	NA
7	Input Port	SoftResReg...		LVC MOS25	UP	NA

MachXOはデフォルトでI/O TypeがLVC MOS2.5に設定されています。I/OのIFとしてLVC MOS2.5以外を使用する場合は必ず変更してください。

また、PULLMODEはデフォルトでPullUpに設定されています。PullUpの他にPullDown、PullOff、BusKeeperが選択でき、これらは各ピン毎に設定が可能です。

- **DRIVE**

- ドライブ電流値の設定欄です。デフォルトでは12mAに設定されています。入力ピンに関してはN/Aとなります。設定できる値はI/OのI/Fによって異なりますので、詳しくは「2-4 サポートする標準出力I/Fに関して」の項を参照して下さい。

- **SLEWRATE**

- デフォルトではFASTに設定されています。FASTとSLOWの2種類から選択できます。

- **OPENDRAIN**

- デフォルトではOFFに設定されています。

- **OUTLOAD**

- 後段のデバイスの負荷容量を設定します。デフォルトでは0pFに設定されているため、見かけ上、後段にデバイスが無い状態になります。この状態でT_{co}の解析を行うと、負荷容量による出力データの鈍りが計算されないため、実際のタイミングより速く計算されてしまうので注意が必要です。設定は0~100pFの間で可能です。

